

单片集成低功耗神经信号检测 CMOS 放大器 *

王余峰¹ 王志功^{1,†} 吕晓迎² 王惠玲²

(1 东南大学射频与光电集成电路研究所, 南京 210096)

(2 东南大学生物电子学国家重点实验室, 南京 210096)

摘要: 采用 CSMC 0.6 μm CMOS 工艺设计了可用于植入式神经信号检测的放大器芯片. 电路适用于卡肤电极系统, 包括低噪声前置放大级、由电流模拟表放大器构成的主放大级、输出缓冲级和恒跨导偏置级. 电路工作于 2.5V/ $\pm 1.25\text{V}$, 功耗 180 μW . 为满足体内植入式神经信号检测的要求, 通过电路改进以避免使用片外元件, 实现了单片集成. 根据神经信号的特点, 电路频率响应带宽设计为 59Hz ~ 12.8kHz, 增益 80dB. 采用时域方法测试, 芯片达到设计目标, 有望用于体内神经信号检测. 依据测试结果分析了电路特性并提出改进方法.

关键词: 神经信号检测; 神经功能信号再生; 卡肤电极; CMOS 工艺

EEACC: 1220; 7510D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2006)08-1490-06

1 引言

神经损伤后的信号再生与功能重建是生命科学领域的重要课题之一. 神经损伤后, 损伤面上下两端的神经元虽然仍可能存活, 但因神经信息的信道已经中断, 使生物体丧失了相关的运动、感觉功能. 利用神经元的电特性, 可以构思采用植入体内、与中断的神经相联接的电子装置, 实现神经信道功能的有源(即具有信号放大和处理的)再生^[1-4]. 对于脊髓神经, 其意义更大, 因为哺乳动物脊髓神经再生极其困难, 利用干细胞等生物学方法修复中枢神经虽然取得进展, 但至少是对完全中断的神经修复还需要走过一段很长的路.

随着 MEMS 工艺的发展, 神经微电极已经发展到多维阵列水平, 与之对应所需的检测电路也成几何级数增加, 芯片尺寸、功耗和集成度愈发重要, 对电路设计提出了挑战^[5,6]. 在神经信道功能有源再生前期研究中, 研究组已设计制作了 PCB 电路^[4], 并在体外动物实验中成功实现了神经信号检测、功能激励和信号有源再生. 本设计即以前期研究的 PCB 电路为参考, 采用 CMOS 工艺设计未来可能植入体内的神经信号放大器.

2 神经信号检测系统的设计

生物神经信号是低频微弱信号, 其能量谱主要在 100Hz ~ 10kHz 频段. 活体记录的神经信号幅度

受手术操作影响较大, 一般在 10 μV 量级, 有时接近 mV 级. 电极与神经接口有高达 1 ~ 2V 的偏移电压. 体内存在强干扰的肌电信号及生物背景噪声、神经电极热噪声和放大器的 1/f 噪声, 神经信号输入信噪比约为 -60dB. 因此神经信号检测电路需具有低噪声、高共模抑制的特点, 如果用于体内植入, 还需要有较低的供电电压和功耗.

已有文献报道了数种神经信号放大器芯片^[7-9]. 由于神经信号处于低频, 往往只能使用片外无源器件进行模拟信号处理, 才足以实现所需的时间常数, 这极大地限制了集成度. 本设计着眼于电路单片集成, 采用低功耗设计, 对电路噪声性能也进行了优化.

神经信号检测系统结构与所采用的电极相关. 前期已经获得了德国弗朗霍夫生物医学工程研究所的 12 触点中型卡肤(Cuff)电极并用于体外动物实验. 该电极与神经接触面展开为矩形, 植入体内后卷成圆筒状. 电极 12 个触点分为四组, 每组触点可以构成一路神经信号检测通道. 单只卡肤电极构成四路通道从四个角度检测神经纤维的信号.

如图 1 所示, 单通道神经信号检测电路包括以下部分: 前置放大级、主放大级、缓冲级和偏置级. 电极两端的触点接到电路两个输入端, 中间触点作为参考电位. 前置级提供适当的增益并提高信噪比, 具有带通频率响应以滤除干扰信号. 传统结构所需用到的 nF 级分立电容^[4,8,9], 在此通过采用改进的电路结构, 只需要 pF 级, 即可以方便地集成于 CMOS

* 国家自然科学基金重大研究计划资助项目(批准号: 90377013)

† 通信作者. Email: zgwang@seu.edu.cn

2006-01-04 收到, 2006-03-24 定稿

©2006 中国电子学会

工艺. 由于该前置级电路结构一般只能实现几十倍的增益(在此为 20 倍), 因此需设计主放大级以补足系统增益. 本设计中主放大级采用了电流模式仪表放大器, 增益 500 倍, 其优点是具有极高的共模抑制比. 最后是接成单位增益形式的运算放大器缓冲级.

电路偏置级采用了恒跨导偏置技术, 其优点是对供电电压变化不敏感, 十分适用于体内植入器件. 神经信号检测电路工作于 $2.5V/ \pm 1.25V$, 功耗 $180\mu W$, 总增益 10000 倍, 通频带为 $59\text{ Hz} \sim 12.8\text{ kHz}$.

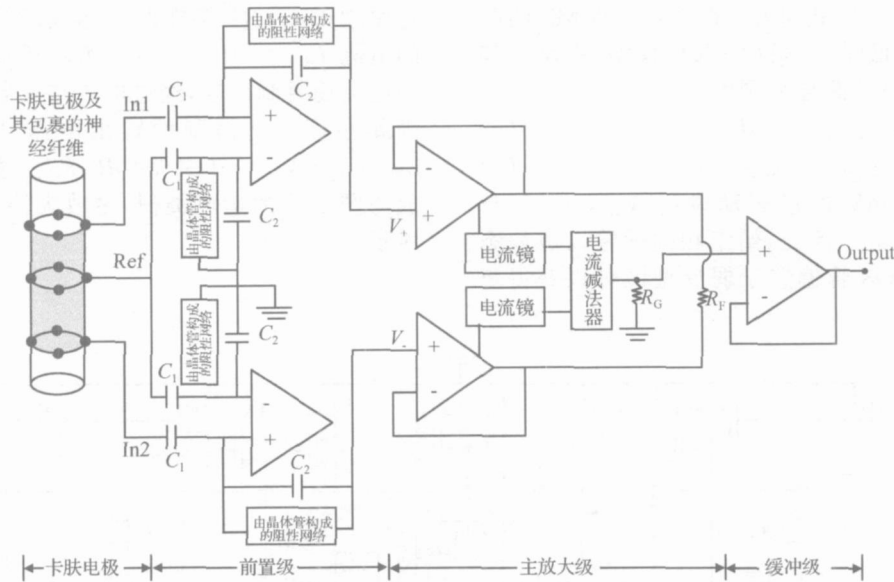


图 1 单通道神经信号检测电路

Fig. 1 Single channel neural signal recording circuit

3 具体电路设计

电路的设计难点是前置级和主放大级. 前置级是低噪声带通放大器, 电路结构见图 1 中前置级部分, 其包括两个并联的放大单元, 每个放大单元包括运算放大器及其反馈网络. 运算放大器结构如图 2 所示, 采用了调零电阻和密勒补偿的两级运放. 运放 DC 增益 74dB, 单位增益带宽 3.9MHz, 相位裕度 83° , 共模抑制比 82dB, 电源抑制比 78dB, 输入偏移电压 $25\mu V$. 偏置级采用了恒跨导偏置, 其优点是偏置与电源无关. 该偏置电路存在“简并”偏置点问题, 当电源上电时可能所有晶体管均为零电流. 为此设计了启动电路, 在电源上电时驱动电路摆脱简并偏置点.

前置级采用了电容反馈和 MOSFET-Bipolar 伪电阻技术^[7]. 电路中最大的电容值为 2.5 pF , 中频增益 G_{mid} 由 C_1 和 C_2 的比值决定. 高频拐点频率为运放跨导 G_m 与负载电容之积再除以中频增益, 低频拐点频率为 C_1 与阻性网络等效电阻之积的倒数, 带通频率可以通过改变运放跨导和阻性网络调节. 阻性网络由偏置在截止区的 pMOS 有源电阻构成, 实际上是利用沟道漏电特性形成的高值电阻(一般

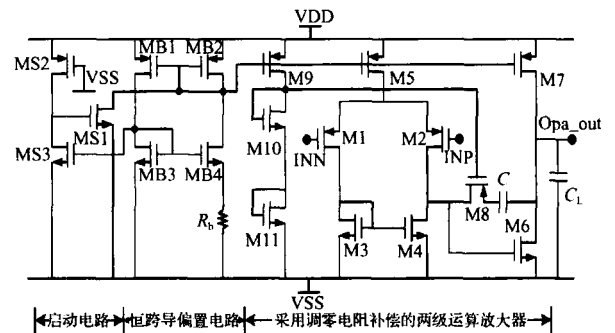


图 2 运算放大器电路图

Fig. 2 Diagram of the operational amplifier

在 10^{13} 以上). 这样大的电阻与 C_1 形成的低频拐点一般在 mHz 级, 通过适当并联晶体管可以将拐点移至所需的频率.

前置级噪声性能的改进主要通过优化运放输入级^[10]. 图 2 中所示的运放输入级等效噪声电压谱密度为

$$e_{eq}^2 = 2e_{n1}^2 [1 + (g_{m3}/g_{m1})^2 (e_{n3}/e_{n1})^2] \quad (1)$$

$1/f$ 噪声和热噪声的噪声谱密度为:

$$e_{flick-ni}^2 = B/f W_i L_i \quad (2)$$

$$e_{thermal-ni}^2 = 8kT/3g_m \quad (3)$$

将(2), (3)式代入(1)式, 得到

$$e_{cq}^2 = 2e_{n1}^2 [1 + (K_N B_N / K_P B_P) (L_1 / L_3)^2 + (K_N W_3 L_1 / K_P W_1 L_3)^{1/2}] \quad (4)$$

由(4)式可见,输入差分对管 M1 和 M2 应选用在噪声方面更有优势的 pMOS,其沟道面积 $W_1 L_1$ 应适当增加,这样可以减小 e_{n1} . M3 和 M1 的栅长之比 L_3 / L_1 应适当加大,这样可以同时减小热噪声和 $1/f$ 噪声.此外,由(1)式可见,增加 M1 和 M2 的跨导也可以有效降低噪声.采用 EKV 模型,强反型和弱反型的 MOSFET 跨导分别为

$$g_{m, strong} = 2nI_D / V_{eff} \quad (5)$$

$$g_{m, weak} = I_D / nV_T \quad (6)$$

对于典型的 300mV 的过驱动电压 V_{eff} , $g_{m, weak}$ 与 $g_{m, strong}$ 之比约为 5.6,因此,给定相同的输入级静态电流,将输入 MOS 管偏置于弱反型区可以获得更

好的噪声性能.本设计中,输入级晶体管电流为 $9\mu A$,相对跨导 g_m / I_D 为 $21.4V^{-1}$,与文献中的低噪声放大器相当^[7].

主放大器是电流模式仪表放大器^[11,12],由两个接成单位增益的运放、两个电流镜、一个电流减法器 and 两只电阻组成,如图 1 中主放大级部分所示.其工作原理如下, R_F 接在两个运放的输出级,流过 R_F 的电流 $I_{RF} = (V_+ - V_-) / R_F$,运放输出级的电流由电流镜复制出来,经过电流减法器后输出其差值,因此在 R_G 上得到的输出电压 $V_{out} = I_{RG} R_G = 2k(V_+ - V_-)$,其中 $k = R_G / R_F$.主放大器中的运放与图 2 中的运放类似.主放大器具体电路如图 3 所示.

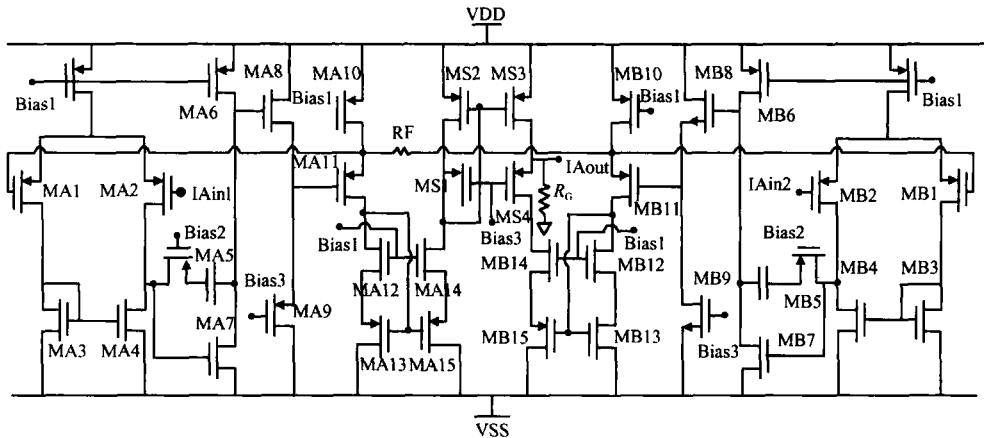


图 3 电流模式仪表放大器主放大级电路图

Fig. 3 Diagram of the current-mode instrumentation amplifier

通过电阻开关网络可以进一步实现可编程增益控制.电流模式仪表放大器的突出优点是共模抑制性能.传统三运放仪表放大器需要采用激光切割对反馈网络中的匹配电阻精确调校才能保证共模抑制比.电流模式仪表放大器中电阻值仅决定增益,共模抑制通过电流镜的匹配实现.在 CMOS 工艺中采用共源共栅电流镜,电流复制的误差相当小,可以大幅提升共模抑制.也就是说在具体实现方法上,使用了工艺一致性很高的匹配共源共栅电流镜,替代了传统结构中工艺一致性较差的多晶硅电阻网络,共模抑制由此得以提高.

针对低功耗设计,主要采取了以下技术方法:
(1)采用 CMOS 工艺,在实现相同电压信号放大功能的条件下 CMOS 电路具有比其他工艺更低的功耗;
(2)降低工作电压是实现低功耗最直接的电路设计手段,本设计中工艺标准电压为 5V,我们将电路设计为工作在 $2.5V / \pm 1.25V$,就可以在相同工作电流情况下将功耗降至 1/4;
(3)因为所需带宽不

大,对运放单位增益带宽的要求不高,设计中可以适当降低工作电流,使之恰好满足系统带宽要求即可;
(4)前置级电路设计中采用了弱反型技术,这是实现低功耗 CMOS 模拟电路主要的设计手段之一^[10].

电路采用无锡 CSMC 公司 $0.6\mu m$ DPDM 混合信号标准 CMOS 工艺设计.图 4、图 5 分别是神经信号检测放大器频域、时域仿真波形.仿真结果显示,电路频率响应带宽为 $59Hz \sim 12.8kHz$,中频增益

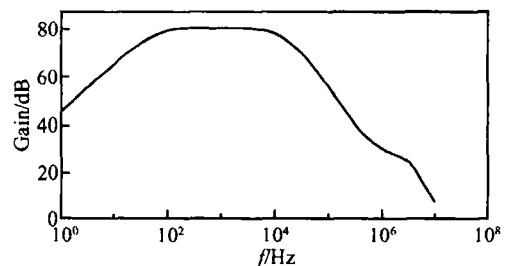


图 4 神经信号检测放大器频域仿真波形

Fig. 4 Frequency domain simulation of the amplifier

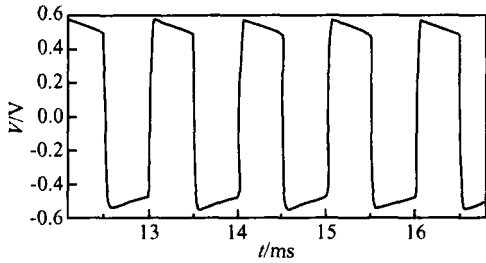


图 5 神经信号检测放大器时域仿真波形
Fig. 5 Time domain simulation of the amplifier

80dB,共模抑制比 177dB @100Hz,138dB @10k Hz, 99dB @100kHz,输入偏移电压 82.4μV,在 1Hz ~ 100kHz 频段内等效输入噪声电压谱密度为 34.6nV/√Hz(因工艺未给出 1/f 噪声 SPICE 模型参数,此处仿真结果不包含 1/f 噪声).时域仿真输出方波顶部和底部出现斜坡的原因是信号中的直流分量被滤除.

4 版图设计和芯片制造

电路仿真达到设计要求后,采用华大九天系统和东南大学射频与光电集成电路研究所自行开发的版图设计元件库进行了版图设计与验证,通过 ICC (上海集成电路设计研究中心)多项目晶圆计划投片.考虑到电路结构比较复杂,为了便于比对测试结果,除了整体电路,将前置级和主放大级也分解出来单独流片.整体电路芯片照片如图 6 所示.三颗芯片面积分别为 0.86mm ×1.2mm,0.43mm ×0.6mm 和 0.42mm ×0.7mm.

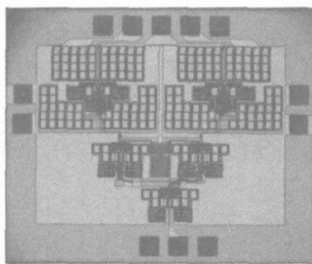


图 6 芯片照片
Fig. 6 Chip photo

5 芯片测试及其分析

受到测试设备限制,芯片仅通过测试时域响应波形进行验证.测试输入波形选择方波,因为方波对于低频微弱信号检测电路测试是最为“苛刻”的,能最敏感地反映电路性能.芯片测试仪器包括:Cascade Microtech 公司的芯片测试台、Agilent 公司 33220A 任意波形发生器和 Tektronix 公司

TDS5104 示波器.

以上测试方案也存在一定的局限性.首先是波形发生器能够产生的方波信号最小幅度为 20mV_{pp} (如果外接衰减器,测试发现得到的信号质量较差),当待测电路增益较高时,其输出将处于限幅状态,无法直接从输入输出信号幅值得到电路增益.其次,由于函数发生器仅能输出单端信号,因此测试中电路差分输入级中的一端将不得不交流接地,这在一定程度上将破坏电路的对称性,影响了输出波形质量.最后,时域测试可以验证电路但不能完全取代频域参数的量化测量.测试方法还需要进一步完善,并且还需要进一步地考虑芯片封装后植入动物进行实验.

5.1 整体电路

增益 10000 倍,由于增益较大,在以最小信号输入时即已工作于限幅状态,因此进行的是大信号状态下的电路测试,改变输入信号幅度对输出摆幅的影响较小.整体电路测试波形示例如图 7 所示.

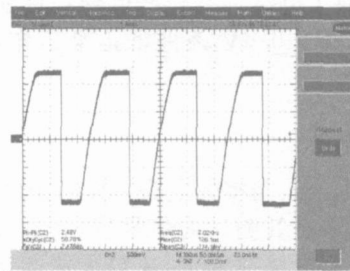


图 7 输入 2kHz,20mV_{pp} 方波信号的整体电路输出波形
Fig. 7 Output of the amplifier with a 2kHz,20mV_{pp} square-wave input

测试结果表明:(1)正负电源和单电源供电均能正常工作,输出波形质量较好.(2)电路处于限幅输出,带来一定的非线性失真和工作点偏移.(3)输出波形占空比和直流电位的变化反映了非线性失真造成的影响.(4)输出信号顶部和底部的波形轨迹比较重,这是由两种原因造成,即噪声和非线性失真,在这里非线性失真起主导作用.(5)输出信号上升沿、下降沿时间差别较大,这是由于电路的正反向摆率不同造成的.(6)由测试数据可知,高频 3dB 拐点出现在输出幅度 1.9V 时(其频率略低于 10kHz),与设计值 12.8kHz 有一定差距,反映出运算放大器增益带宽积稍低于设计值.

5.2 前置级

增益 20 倍,呈带通特性,可以进行小信号测试.通过改变输入信号频率检测电路通频带.通过改变输入信号幅度检测中频增益一致性.前置级测试波

形示例如图 8 所示。

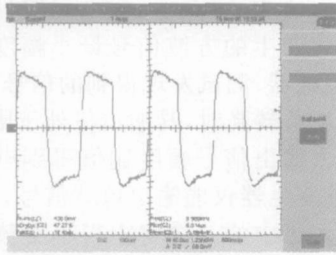


图 8 输入 10kHz, 50mV_{pp} 方波信号的前置级输出波形
Fig. 8 Output of the preamp with a 10kHz, 50mV_{pp} square-wave input

测试结果表明:(1)前置级增益适中,在测试条件下工作于小信号状态,可以直接从输入输出信号幅度比值得到其增益.正负电源和单电源供电下均正常工作.在通频带内电路中频增益一致,增益线性度较好,测试结果与时域仿真结果吻合。(2)输出波形的顶部和底部形成斜坡(与之前分析的一致),是由于直分量被滤除造成的。(3)输出波形清晰,较少毛刺,反映了电路具有较好的噪声性能。(4)电路可以在最低至 $\pm 0.6V$ 条件下正常工作,具有超低压工作潜力。

5.3 主放大级

增益 500 倍.与整体电路一样由于增益较大,是在限幅状态下对其测试大信号特性.通过改变输入信号频率检测电路通频带.主放大级测试波形示例如图 9 所示。

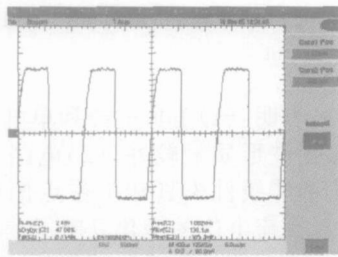


图 9 输入 1kHz, 20mV_{pp} 方波信号的主放大级输出波形
Fig. 9 Output of the main amplifier stage with a 1kHz, 20mV_{pp} square-wave input

测试结果表明:(1)电路在大信号测试条件下能够正常工作,输出波形质量较好.电路处于限幅输出,有一定的失真和工作点偏移。(2)与前面的电路一样,由于正反方向的摆率不同,电路的上升下降时间差别较大。

5.4 测试中共性问题及改进方法

(1)非线性失真.目前测试条件下电路输出存在非线性失真,具体体现在占空比、输出直流电位和

“眼皮”厚度等测试结果中.重新仿真中按照测试情况设置仿真条件,结果与测试现象一致,可以验证失真确实来自大信号输入.实际应用中神经信号为小信号,不会造成大信号失真.现有测试条件下可以通过适当降低增益缓解非线性失真.具体来说可以将电路增益设计为可调,先在小增益情况下测得小信号时域特性,然后再测试高增益情况。

(2)正反向摆率不平衡.摆率是大信号特性,是幅度与上升沿下降沿时间的比值.测试中,方波是跳变信号,对摆率要求是最高的.对神经信号检测而言,摆率并不是一个关键指标.从测试数据看,正向摆率不够理想,且与反向的摆率很不平衡.这需从运放的结构分析原因,其输入级输出级都会成为摆率的瓶颈.如图 2 所示的运放结构,由输入级决定的摆率值为 I_{M10}/C_c ;而在输出级,输出正向电流的能力由电流镜管 M9 决定,正向摆率为 I_{M9}/G_L ,而由 nMOS 放大管 M8 吸纳的反向电流却几乎没有限制,因而反向摆率很大,波形下降沿可以很陡峭地变化.由此推断,运放输出级正向电流输出能力不够是设计中摆率的瓶颈,也是造成摆率不平衡的原因.可以采用 AB 类的输出级以改善摆率,同时可以降低静态功耗。

(3)功耗、稳定性、带宽和摆率的设计折中.单位增益带宽等于输入级跨导和密勒电容的比值,输入级摆率等于尾电流和密勒电容的比值.本设计中对功耗、稳定性关注较多,今后可以考虑适当增加电流以改善带宽、摆率,另一个更经济的途径是在保证稳定性的前提下减小密勒电容。

6 小结

采用 0.6 μm CMOS 工艺设计了具有单片集成、低功耗特点的可植入神经信号检测放大器.经过测试,芯片实现了设计目标,可望应用于神经信号检测动物实验。

参考文献

- [1] Wise KD. Wireless implantable microsystems: coming breakthroughs in health care. VLSI Circuits Digest of Technical Papers, 2002:106
- [2] Wang Z G, Lü X Y, Gu X S. Research of central nerve signal recording, processing and regeneration with microelectronics devices. 14th Conference on Neural Networks of China, Hefei, China, 2004 (in Chinese) [王志功, 吕晓迎, 顾晓松. 中枢神经信号微电子技术检测、处理与重建研究. 第十四届中国神经网络学术会议论文集, 2004]
- [3] Wang Zhigong, Lü Xiaoying, Li Wenyuan, et al. Study of microelectronics for detecting and stimulating of central neural signals. Proceedings of International Conference on Neural Interface and Control, 2005:192

- [4] Wang H L ,L ÜX Y,Wang Z G,et al. Circuit design for neural signal recording with cuff electrode. World Engineerings Convention ,Shanghai ,China ,2004
- [5] Wang Yufeng ,L Ü Xiaoying ,Wang Zhigong. Microelectrodes for neural signal recording and functional electrical stimulation. Biomedical Engineering Foreign Medical Sciences ,2005 , 28(3) :129 (in Chinese) [王余峰,吕晓迎,王志功. 神经信号检测和功能激励微电极. 国外医学生物医学工程分册,2005,28(3):129]
- [6] Wang Yufeng ,Wang Zhigong ,L Ü Xiaoying ,et al. Fully integrated and low power CMOS amplifier for neural signal recording. Proceeding of the 2005 IEEE Engineering in Medicine and Biology ,Shanghai ,China ,2005 :306
- [7] Harrison R R ,Charles C. A low-power low-noise CMOS amplifier for neural recording application. IEEEJ Solid-State Circuits ,2003 ,38 :958
- [8] Papathanasiou K ,Ehmann T L. An implantable CMOS signal conditioning system for recording nerve signal with cuff electrodes. The 2000 IEEE International Symposium on Circuits and Systems ,2000 ,5 :281
- [9] Nielsen J H ,Lehmann T. An implantable CMOS amplifier for nerve signals. The 8th IEEE International Conference on Electronics ,Circuits and Systems ,2001 ,3 :1183
- [10] Allen P E ,Holberg D R. CMOS analog circuit design. 2nd ed. New York :Oxford University Press ,2002
- [11] Harb A ,Sawan M. New low-power low-voltage high-CMRR CMOS instrumentation amplifier. Proceedings of the 1999 IEEE International Symposium on Circuits and Systems , 1999 ,6 :97
- [12] Dal Fabbro P A ,Dos Reis Filho C A. An integrated CMOS instrumentation amplifier with improved CMRR. Proceedings of 15th Symposium on Integrated Circuits and Systems Design , 2002 :57

A Single-Chip and Low Power CMOS Amplifier for Neural Signal Detection *

Wang Yufeng¹ , Wang Zhigong^{1,†} , L Ü Xiaoying² , and Wang Huiling²

(1 Institute of RF- & OE-ICs, Southeast University, Nanjing 210096, China)

(2 State Key Laboratory for Bioelectronics, Southeast University, Nanjing 210096, China)

Abstract : This paper presents an implantable amplifier for neural signal recording with cuff electrodes in CSMC 0.6 μ m CMOS technology. The amplifier consists of a low-noise preamplifier stage, a current-mode instrumentation amplifier stage, a buffer stage, and a constant- g_m bias stage. The supply voltage is 2.5/ \pm 1.25V, and the power consumption is 180 μ W. In implementing an implanted neural signal detector extra components can be avoided by using novel techniques. According to the neural signal spectrum, the pass-band of the amplifier is set to 59Hz ~ 12.8kHz and the mid-band gain is 80dB. Measurements of the amplifier's time domain performance are in agreement with the design. From the measurements, further ways to improve are determined.

Key words : neural signal recording; neural function signal regeneration; cuff electrode; CMOS technology

EEACC : 1220; 7510D

Article ID : 0253-4177(2006)08-1490-06

* Project supported by the National Natural Science Foundation of China (No. 90377013)

† Corresponding author. Email: zgwang@seu.edu.cn

Received 4 January 2006, revised manuscript received 24 March 2006

©2006 Chinese Institute of Electronics