

# 利用 RTS 噪声确定 MOSFET 氧化层中 陷阱位置的方法\*

鲍立<sup>†</sup> 包军林 庄奕琪

(西安电子科技大学微电子研究所, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

**摘要:** 强场诱发并与电场奇异性相关的边界陷阱是影响深亚微米 MOS 器件可靠性的关键因素之一. 文中研究了深亚微米 MOS 器件的随机电报信号 (RTS) 的时间特性, 提出了一种通过正反向测量器件非饱和区噪声的手段来确定边界陷阱空间分布的新方法. 对  $0.18\mu\text{m} \times 0.15\mu\text{m}$  nMOS 器件的测量结果表明, 利用该方法可以准确计算深亚微米器件氧化层陷阱的二维位置, 还为深亚微米器件的可靠性评估提供了一种新的手段.

**关键词:** RTS; 深亚微米; 边界陷阱; MOS 器件; 可靠性

**PACC:** 4350; 5225G; 7270

**中图分类号:** TN386 **文献标识码:** A **文章编号:** 0253-4177(2006)08-1426-05

## 1 引言

栅氧化层陷阱是影响 MOS 器件可靠性的关键因素之一, 研究器件中的陷阱不仅是一种可靠性的评估手段, 还可以为器件的改善提供指导<sup>[1,2]</sup>. MOS 器件低频噪声是由栅氧化层内陷阱和沟道中载流子的交换造成的<sup>[3]</sup>, 通过器件噪声来研究栅氧化层内陷阱早已成为国内外研究的热点问题<sup>[1,4,5]</sup>. 深亚微米器件中的陷阱一般为一个或几个, 其噪声表现形式为 RTS<sup>[6,7]</sup>,  $1/f$  噪声是多个 RTS 叠加的结果<sup>[1,8]</sup>. 因此, RTS 就成为研究深亚微米器件可靠性的重要手段<sup>[1]</sup>.

国内外已有大量关于 RTS 噪声和机理的研究<sup>[9]</sup>, 不仅确定了 RTS 噪声的幅度和时间参数与氧化层陷阱之间的关系<sup>[10~14]</sup>, 而且能够利用 RTS 确定陷阱能级和位置<sup>[1,4,5,15]</sup>, 还可以将数个 RTS 分离开来<sup>[16]</sup>. 虽然有对陷阱相对源漏位置的研究<sup>[17,18]</sup>, 但比较少, 且不深入.

利用正、反向测量结合确定陷阱位置的方法是 Restle 最先提出的<sup>[17]</sup>. 对沟道电压分布使用线性近似, 这种近似严重限制了漏电压的使用范围, 时间常数的变化很小, 测量误差大.

Zeynep<sup>[18]</sup> 利用沟道夹断后沟道电压不再增加, 在正、反临界饱和的 RTS 特性对比来确定陷阱位置. 对饱和区的沟道电压分布使用线性近似, 而且, 短沟道器件的饱和特性不好, 诸多因素都会产生

较大的测量误差, 还可能对需要较大栅压才能表现出 RTS 的器件造成损伤.

本文提出一种使用比较大的漏电压在器件非饱和区进行正、反向多次测量的方法, 通过对器件的沟道内电压分布的精确求解, 能够更精确地计算出栅氧化层中缺陷相对源漏的位置. 可将其用于对器件退化过程中氧化层陷阱行为的研究, 为从微观上分析失效机理和器件可靠性评估的研究提供有效、可靠的新手段.

## 2 理论

以 nMOS 为例, 热激活模型中陷阱俘获和发射载流子的时间常数<sup>[1,15,19]</sup>

$$TC = \frac{1}{n_0 v_{th}} \exp\left(-\frac{E_B}{kT}\right) \quad (1)$$

$$TE = \frac{1}{g_0 T^2} \exp\left(-\frac{E_B + E_C - E_T}{kT}\right) \quad (2)$$

式中  $n_0$ ,  $v_{th}$  分别为电子浓度、平均俘获截面和平均热速度;  $E_B$  为激活能;  $k$ ,  $T$  分别为玻尔兹曼常数和绝对温度;  $g_0$  为简并因子;  $E_T$  为陷阱能级.

研究表明, 在栅压发生变化时 RTS 噪声的时间常数  $TC$ ,  $TE$  会随着栅电压显著变化<sup>[20]</sup>. 但是若器件两次测量中, 陷阱所处位置栅压和沟道电压相同时, 陷阱和沟道处的能带关系均相同,  $TC$  和  $TE$  表达式中各参数也相同. 因此, 若器件两次测量中的 RTS 时间常数  $TC$ ,  $TE$  特征相同, 就可以得知其陷

\*国家自然科学基金资助项目(批准号:60276028)

<sup>†</sup>通信作者. Email: paulinx @163. net

2006-01-05 收到, 2006-03-13 定稿

阱所在位置的栅电压和沟道电压均相同。

求解萨方程<sup>[21]</sup>,可解得沟道电压分布为

$$V(y) = V_G - V_T - \sqrt{(V_G - V_T)^2 - y \left[ \frac{2(V_G - V_T)V_D - V_D^2}{L} \right]}$$

(3)

其中  $L$  为沟道长度; $V_G$  为栅电压; $V_T$  为器件的阈值电压; $V_D$  为漏电压。

如两次测量使用相同的栅电压,使器件产生相同 RTS 噪声时间常数的正向和反向漏电压分别为  $V_1, V_2$ ,如图 1 所示,那么在界面陷阱位置处偏置为

$$V(y_T) = V_G - V_T - \sqrt{(V_G - V_T)^2 - y_T \left[ \frac{2(V_G - V_T)V_1 - V_1^2}{L} \right]}$$

$$= V_G - V_T - \sqrt{(V_G - V_T)^2 - (L - y_T) \left[ \frac{2(V_G - V_T)V_2 - V_2^2}{L} \right]}$$

(4)

解出陷阱位置

$$y_T = L \left[ \frac{2(V_G - V_T)V_2 - V_2^2}{2(V_G - V_T)(V_1 + V_2) - V_1^2 - V_2^2} \right]$$

(5)

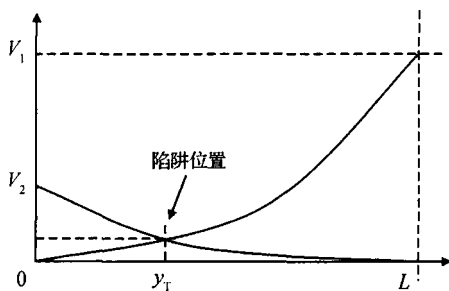


图 1 陷阱位置计算示意图

Fig. 1 Trap position calculating diagram

但是在实际测量中存在误差,以一对  $V_1, V_2$  值计算陷阱位置得出结果的误差也就比较大.因此,我们对(5)式进行整理,得出以下表达式

$$\frac{y_T}{L} (V_G - V_T - V_1)^2 - \frac{y_T}{L} (V_G - V_T)^2 = (1 - \frac{y_T}{L}) (V_G - V_T - V_2)^2 - (1 - \frac{y_T}{L}) (V_G - V_T)^2$$

(6)

两边求微分并整理得到

$$\frac{y_T}{(L - y_T)} = \frac{(V_G - V_T - V_2)^2}{(V_G - V_T - V_1)^2}$$

(7)

可以找出和相同的时间常数变化量相对应的正向和反向  $(V_G - V_T - V_D)^2$  的变化量,通过(7)式来

求  $y_T$ .也可以通过指数拟合的方法来求解以减小测量中的偶然误差,本文采用的就是拟合的方法。

### 3 实验与结果

实验中使用的样品是用 90nm CMOS 工艺生产的 nMOS 器件,沟道长度和宽度分别为 0.18 和 0.15 $\mu\text{m}$ ,栅氧化层厚度为 1.4nm.测量在室温下、屏蔽实验暗箱中进行,测量仪器使用安捷伦 4156B.测量噪声之前,先做了直流特性分析,样品阈值电压为 0.2V,有效沟道长度为 0.15 $\mu\text{m}$ ,且正向、反向转移特性相同.测量器件非饱和区的漏电流噪声,栅电压从 0.5~0.9V 间隔 20mV,漏电压从 10~200mV 间隔 10mV,对于每个栅-漏电压组合采样 10s,采样间隔 1ms.

典型的 RTS 波形如图 2 所示,漏电压为 10mV,自下而上分别为 0.50,0.56 和 0.60V 栅电压下测得的信号。

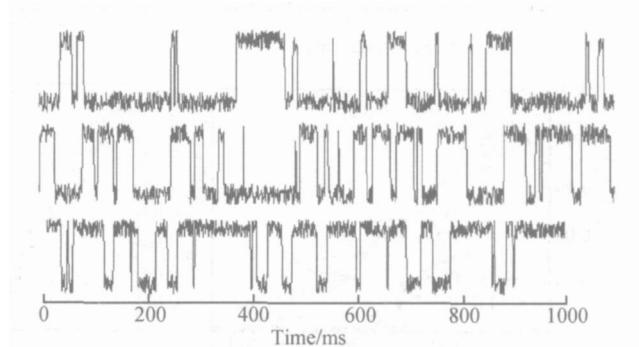


图 2 漏压 10mV 栅压分别为 0.50,0.56,0.60V 时 RTS 波形  
Fig. 2 Drain bias 10mV, RTS under gate bias 0.50, 0.56, 0.60V

固定栅压下时间常数和漏电压的关系由图 3 给出,图(a), (b), (c)的栅极电压分别为 0.5, 0.6 和 0.7V.

图 4 为栅极电压分别为 0.5 (a), 0.6 (b) 和 0.7V (c) 时的  $(V_G - V_T - V_D)^2$  和时间常数 TE, TC 的关系.三幅图中上图是对  $(V_G - V_T - V_D)^2$  和俘获时间常数 TE 的关系拟合,下图是对  $(V_G - V_T - V_D)^2$  和发射时间常数 TC 的关系拟合。

图 5 给出了不同栅极电压下陷阱位置到器件源极距离的测量值与沟道有效长度的比值.以栅电压在 0.55~0.7V 之间的部分平均值作为测量的最终结果,陷阱的位置为 0.365,陷阱位置到器件源极的距离为  $0.15 \times 0.365 + \frac{0.18 - 0.15}{2} = 0.06975$  0.070( $\mu\text{m}$ ).

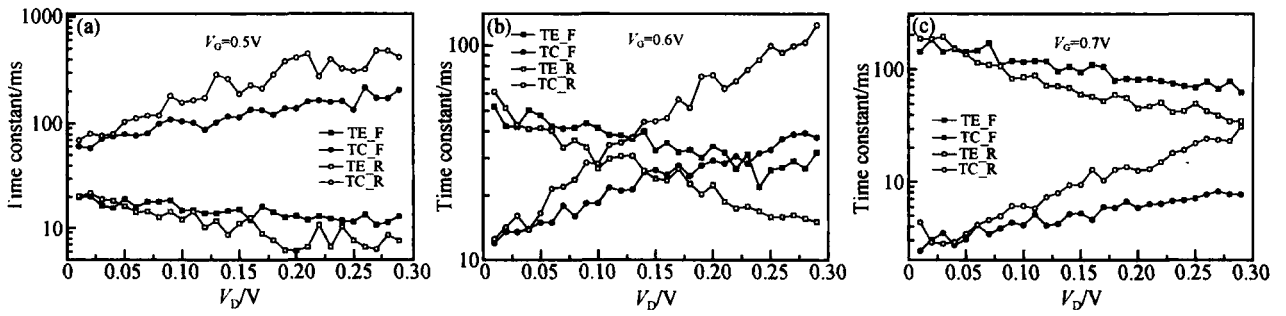


图 3 栅压分别为 0.5 (a) ,0.6 (b) ,0.7V (c) 时的时间常数和漏电压关系

Fig. 3 Time constant versus drain bias when gate bias at 0.5 (a) ,0.6 (b) ,0.7V (c) , respectively

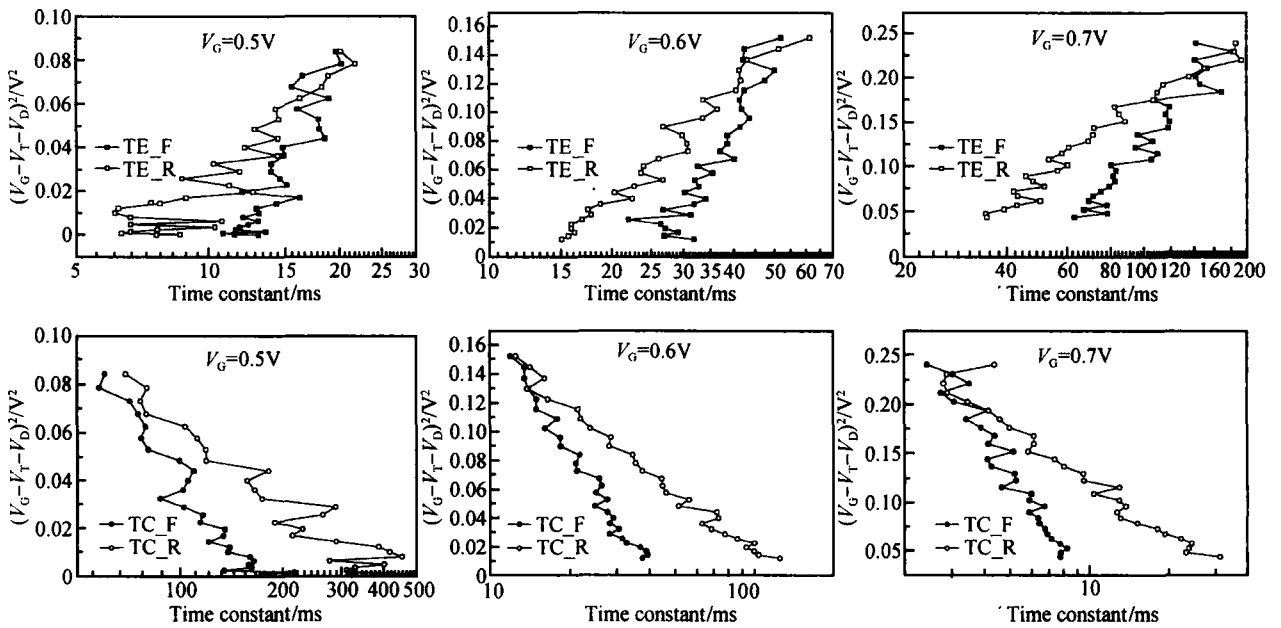


图 4 不同栅压下利用发射时间 TE 和俘获时间 TC 来估算  $y_T$

Fig. 4 Calculated trap position under different gate bias

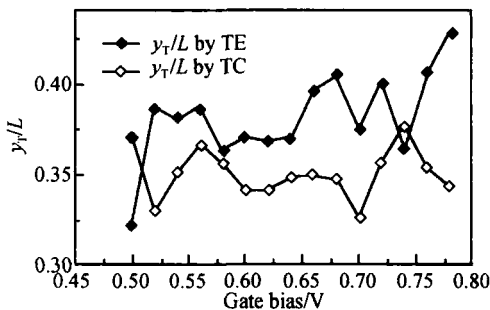


图 5 不同栅压下测得的陷阱位置

Fig. 5 Measurement result under different gate bias

### 4 分析与讨论

当漏极电压为零时,器件中没有电流,测不到 RTS 噪声. 这种状态下,器件无所谓正向和反向,因

此正向和反向的时间常数曲线的延长线应该相交于漏电压为零的点. 而图 4 中正反向曲线相交于  $(V_G - V_T)^2$ , 正与这一点相一致. 随着漏极电压增加,器件中产生电流表现出 RTS 噪声. 沟道内各处的沟道电压也增加,其增加速度和处于沟道中的位置相关. 陷阱越靠近漏极(反向时靠近源极),陷阱处的电压升高的越快,时间常数变化越剧烈. 正向时间常数变化剧烈说明陷阱靠近漏极,反之则说明陷阱靠近源极. 当陷阱在沟道中点时,正、反向时间常数变化相同. 图 4 的六幅图中,反向 RTS 的时间常数变化均比正向剧烈,一致说明该器件中陷阱处于靠近源极一侧.

由于受到测量系统的带宽限制,可能会“忽略”持续时间较短的 RTS 脉冲,因此测量误差和时间常数是相关的. 但是对文中寻找相同时间特征 RTS 的测量方法来说,只要发射和俘获时间相同,两种误差

就会相互抵消而不影响测量结果. 测量中漏电压从 10 ~ 200mV, 在某个栅压下, 如果有一个漏电压使发射和俘获时间常数相同, 误差就会抵消一部分, 测量结果将会相对准确; 如果这个电压大约是 100mV (即漏电压变化范围的中间), 误差几乎全部抵消, 结果最精确. 从图 5 可以看出, 栅压在 0.55 ~ 0.7V 之间时一致性相对较好, 误差抵消了一部分; 在 0.58 ~ 0.64V 之间的一致性最好, 误差几乎全部抵消. 考虑到样本数目对结果的影响, 本文将栅压在 0.55 ~ 0.7V 部分的平均值作为最终结果.

文中陷阱的位置在器件源极附近, 而且根据

$$\frac{d \ln \left( \frac{c}{e} \right)}{d V_{gs}} = - \frac{q}{kT} \times \frac{x_T}{T_{ox}} \quad (8)$$

计算出  $\frac{x_T}{T_{ox}} = 0.72$ , 陷阱距离 Si-SiO<sub>2</sub> 界面 1nm. 有关文献<sup>[22,23]</sup>指出, 热载流子诱发陷阱在漏极附近, 比较浅, 而工艺引入的陷阱可以在任意位置. 该陷阱比较深, 而且不在漏极附近, 文中器件是首次使用, 其中陷阱是工艺引入陷阱.

本文的方法解决了 Restle 和 Zeynep 使用线性近似所带来的偏置范围窄、不易分辨的缺点, 能够以较大漏极电压来测量, 提高了测量精度. Restle<sup>[17]</sup>的方法测量结果中, 在正向时分布在 0.82 ~ 0.98 之间, 反向时在 0.05 ~ 0.18 间, 测量结果分布宽度分别是 0.16 和 0.13. Zeynep<sup>[18]</sup>的测量结论是, 随着栅压在 0.30 ~ 0.45V 变化, 比值在 0.5 ~ 0.6 之间变化, 分布宽度 0.1. 而本文测量方法中栅压 0.55 ~ 0.70V 的分布范围是 0.33 ~ 0.40, 最精确部分(栅压 0.58 ~ 0.64V)的分布范围仅为 0.34 ~ 0.37, 远远超出 Restle 和 Zeynep 的方法. 更为重要的是, 由于使用了电压分布的精确求解, 使得不同栅压下对陷阱位置的测量结果一致, 可以拟合不同偏置下的测量结果以提高精度; 而 Restle<sup>[17]</sup>和 Zeynep<sup>[18]</sup>的方法使用线性近似, 造成不同栅压测量结果不一致, 限制了拟合方法的应用. 同时, 本方法还避免了 Zeynep 方法中对器件造成损伤的可能.

## 5 结论

本文研究了深亚微米 MOS 器件随机电报信号 RTS 时间和幅度特性, 提出了一种在器件非饱和区进行正、反向多次测量, 通过对器件的沟道内电压分布的求解, 精确地计算出栅氧化层中缺陷相对源漏的位置的方法. 对 0.18μm × 0.15μm 的 nMOS 器件的实验结果表明, 该方法可以准确计算沟道内陷阱的二维位置, 文中多次反复测量结果的一致性也进一步说明了该方法的正确性和精度. 将其用于对器

件退化过程中氧化层陷阱行为的研究, 可为从微观上分析失效机理和器件的可靠性评估提供有效、可靠的新手段.

## 参考文献

- [1] Zhuang Yiqi, Sun Qing. Noise and its minimizing technology in semiconductor devices. Beijing: National Defence Industry Press, 1993 (in Chinese) [庄奕琪, 孙青. 半导体器件中的噪声及其低噪声化技术. 北京: 国防工业出版社, 1993]
- [2] Vandamme L K J. Noise as a diagnostic tool for quality and reliability of electronic device. IEEE Trans Electron Devices, 1994, 41(11): 2176
- [3] Valenza M, Hoffmann A, Sodini D. Overview of the impact of downscaling technology on 1/f noise in p-MOSFETs to 90nm. IEEE Proc Circuits Devices Syst, 2004, 151(2): 102
- [4] Fang P, Hung K K, Ko P K. Hot-electron-induced traps studied through the random telegraph noise. IEEE Electron Device Lett, 1991, 12(6): 273
- [5] Simoen E, Claeys C, Lukyanchikova N B. Single defect studies by means of random telegraph signals in submicron silicon MOSFETs. Solid State Phenomena, 1999, 69/70: 467
- [6] Borrello S R, Celik-Butler Z. A 1/f noise model based on fluctuating defect states. Solid State Electron, 1993, 36(3): 407
- [7] Nemirovsky A. A revised model for carrier trapping-detrapping 1/f noise. Solid State Electron, 1997, 41(11): 1811
- [8] van der Wel P, Klumperink E A M, Nauta B. Switched biasing affects 1/f noise and random telegraph signals in deep submicron MOSFETs. Electron Lett, 2001, 37(1): 56
- [9] Shi Z, Mievilleville J P, Dutoit M. Random telegraph signals in deep submicron n-MOSFET's. IEEE Trans Electron Devices, 1994, 41(7): 1161
- [10] Marin M, Deen M J, de Murcia M. Effects of body biasing on the low frequency noise of MOSFETs from a 130nm CMOS technology. IEE Proc Circuits Devices Syst, 2004, 151(2): 95
- [11] Simoen E, Dierichx B, Claeys C L. Explaining the amplitude of RTS noise in submicrometer MOSFET's. IEEE Trans Electron Devices, 1992, 39(2): 422
- [12] Scofield J H, Borland N, Fleetwood D M. Random telegraph signals in small gate-area P-MOS transistors. AIP Conference Proc, 1993, 285: 386
- [13] Andersson S, Svensson C. Direct experimental verification of shot noise in short channel MOS transistors. Electron Lett, 2005, 41(15): 869
- [14] Chim W K, Leong K K, Choi W K. Random telegraphic signals and low-frequency noise in rapid-thermal-annealed silicon oxide structures. J Appl Phys, 2001, 40(1): 1
- [15] Simoen E, Claeys C. Random telegraph signal: a local probe for single point defect studies in solid-state devices. Solid State Materials for Advanced Technology, 2002, 91: 136
- [16] Kolhatkar J S, Vandamme L K J, Salm C. Separation of random telegraph signals from 1/f noise in MOSFETs under constant and switched bias conditions. ESSDERC '03. 33rd Conference on European Solid-State Device Research, 2003, 1: 549
- [17] Restle P, Gnudi A. Internal probing of submicron FETs and photoemission using individual oxide traps. IBM J RES Develop, 1990, 34(213): 227
- [18] Celik-Butler Z, Vasina P, Vibhavia A N. A method for loca-

- ting the position of oxide traps responsible for random telegraph signals in submicron MOSFET's. IEEE Trans Electron Devices, 2000, 47(3) :646
- [19] Vibhavi Amarasinghe N, Zeynep C B, Vasina P. Characterization of oxide traps in  $0.15\mu\text{m}^2$  MOSFETs using RTS. Microelectronics Reliability, 2000, 40(11) :1875
- [20] Martin S T, Li G P, Worley E. The gate bias and geometry dependence of random telegraph signal amplitudes. IEEE Electron Device Lett, 1997, 18(9) :444
- [21] Sze S M. Semiconductor devices- physics and technology. Second Edition. New York: John Wiley & Sons Inc, 2002
- [22] Doyle B S, Mistry K R, Huang C L. Analysis of gate oxide thickness hot carrier effects in surface channel P-MOSFET's. IEEE Trans Electron Devices, 1995, 42(1) : 116
- [23] Chung S S, Yang J J. A new approach for characterizing structure-dependent hot-carrier effects in drain-engineered MOSFET's. IEEE Trans Electron Devices, 1999, 46(7) :1371

## A Method for Locating the Position of an Oxide Trap in a MOSFET by RTS Noise \*

Bao Li<sup>†</sup>, Bao Junlin, and Zhuang Yiqi

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Microelectronics Institute, Xidian University, Xi'an 710071, China)

**Abstract :** The timing characteristics of random telegraph signal (RTS) in deep submicron MOS devices are investigated, and a novel method is proposed to determine the spatial distribution of the border traps by forward and backward RTS measurements in the non-saturation state. The measurements of a  $0.18\mu\text{m} \times 0.15\mu\text{m}$  nMOS device show that the two-dimension position of the trap in the oxide of a deep submicron MOS device can be precisely calculated with this method. This method can also evaluate the reliability of deep submicron MOS devices.

**Key words :** RTS; deep submicron; border traps; MOS device; reliability

**PACC :** 4350; 5225G; 7270

**Article ID :** 0253-4177(2006)08-1426-05

\* Project supported by the National Natural Science Foundation of China (No. 60276028)

<sup>†</sup> Corresponding author. Email: paulinx@163.net

Received 5 January 2006, revised manuscript received 13 March 2006

©2006 Chinese Institute of Electronics