

# 超深亚微米 CMOS 工艺参数波动的测量电路\*

杨 媛<sup>†</sup> 高 勇 余宁梅

(西安理工大学电子工程系, 西安 710048)

摘要: 分析了超深亚微米工艺参数波动对电路的影响;采用“放大”的思路设计了简单的用于测量超深亚微米工艺门延迟、动态功耗、静态功耗及其波动的电路,并提出了一种用于测量门延迟波动特性曲线的新型电路,该电路采用较短的反相器链可以得到超深亚微米工艺下门延迟波动特性曲线. 电路在 90nm CMOS 工艺下进行了流片制作,得到了 90nm CMOS 工艺下的单位门延迟波动特性曲线. 测得延迟的波动范围为 78.6%,动态功耗的波动范围为 94.0%,漏电流功耗的波动范围为 19.5 倍,其中以漏电流功耗的波动性最为严重.

关键词: 超深亚微米; 门延迟; 动态功耗; 漏电流功耗

EEACC: 2570A; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2006)09-1686-04

## 1 引言

随着工艺尺寸的进一步缩小,工艺参数、电源电压以及温度的系统性和随机性波动对系统性能的影响将成为未来高性能系统的一个主要挑战<sup>[1,2]</sup>. 90nm 及以下的工艺面临着更程度的器件参数波动,因此而引起的对电路性能的影响不可忽略. 本文首先简单讨论了超深亚微米(UDSM)工艺中主要的器件参数波动以及它们对电路性能如速度和功耗的影响,然后介绍了我们提出并设计的用于测量 90nm CMOS 工艺的门延迟、漏电流功耗、动态功耗及其变化的电路.

## 2 工艺参数波动

通常 IC 厂商用 corner 模型来描述工艺参数的波动,在 MOS 晶体管的 corner 模型中考虑的主要工艺参数为栅长、栅宽、氧化层厚度、零偏压下的阈值电压以及结电容等的波动. 由于栅电容  $C_{gate}$ 、跨导  $g_m$ 、漏电流  $I_{leak}$  等与上述主要工艺参数有着密切的函数关系,因此这些工艺参数的波动必然会给电路速度性能、漏电流功耗以及动态功耗带来影响;另一方面,由于短沟道效应和窄沟道效应等使得阈值电压  $V_{th}$  对栅长和栅宽波动很敏感,从而对电路的速度、漏电流功耗、动态功耗造成影响,尤其是对漏电流的影响是呈指数变化的关系. 对于超深亚微米器件,短沟道效应的日趋明显使得阈值电压波动越

来越严重,因此工艺参数波动对电路性能参数中的漏电流功耗影响为最大. 表 1 示出了这些主要工艺参数波动对电路的速度、漏电流功耗、动态功耗等性能影响的主要因素.

表 1 主要工艺参数波动及其对电路性能影响

Table 1 Main process parameters and its effect on circuit performance

	电路速度	漏电流功耗	动态功耗
栅长 $L_{eff}$	$C_{gate}, g_m, V_{th}$ (短沟道效应)	$I_{leak}, V_{th}$ (短沟道效应)	$C_{gate}, g_m, V_{th}$ (短沟道效应)
栅宽 $W$	$C_{gate}, g_m, V_{th}$ (窄沟道效应)	$I_{leak}, V_{th}$ (窄沟道效应)	$C_{gate}, g_m, V_{th}$ (窄沟道效应)
栅氧化层厚度 $T_{ox}$	$C_{gate}, g_m, V_{th}$	$I_{leak}, V_{th}$	$C_{gate}, g_m, V_{th}$
零偏压下的阈值电压 $V_{th0}$	$V_{th}$	$V_{th}$	$V_{th}$
结电容	$C_j$		$C_j$

## 3 测量电路

为了获得 90nm 工艺线的单位门延迟、动态功耗、漏电流功耗及这些电路性能参数的波动,我们基于“放大”的思路设计了图 1 所示的简单测量电路. 该电路采用环形振荡器与反相器链将单位门延迟、静态功耗等放大到我们所能测量的范围.

图中控制信号 Control 用于控制电路工作在反相器链状态或者环形振荡器状态(后面简称为 Rosc/Inv 电路),Control 为 0 时,电路为反相器链,此时测量出的电路功耗为电路的漏电流功耗  $P_{leak}$ ;

\* 西安应用材料创新基金资助项目(批准号:XA-AM-200514)

<sup>†</sup> 通信作者. Email: yangyuan @xaut.edu.cn

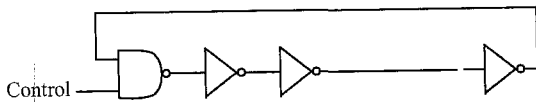


图 1 基本测量电路

Fig. 1 Basic measurement circuit

Control 为 1 时,电路为环形振荡器,此时可以测量电路的门延迟  $t_{inv}$  和动态功耗  $P_{dyn}$ ,动态功耗为测量出来的总功耗减去漏电流功耗即

$$P_{dyn} = P_{tot} - P_{leak} \quad (1)$$

测出电路的振荡周期后,令与非门的延迟时间约为反相器延迟时间的两倍,即

$$t_{nand} = 2 t_{inv} \quad (2)$$

则反相器的延迟时间

$$t_{inv} = \frac{t_c}{2(n+2)} \quad (3)$$

式中  $t_c$  为环形振荡器的振荡周期;  $n$  为反相器的个数 ( $n$  必须为偶数)。

为了测量电路性能参数的波动,我们采用如图 2 所示的电路测量该基本电路的门延迟、动态功耗和静态功耗的波动.电路由 63 个 500 阶的  $Rosc/Inv$  电路 (500 个反相器 + 1 个与非门) 并联而成,在输入和输出端各增加了一个选择器作为控制电路.值得注意的是,被测电路和控制电路的电源是分开的.采用 6 位控制信号  $A \sim F$  控制 63 路  $Rosc/Inv$  中的一路作为环形振荡器而其他各路作为反相器链工作.  $A \sim F$  为全 0 时,电路进入睡眠模式,即所有

63 路电路均作为反相器链工作,此时测量出来的功耗为电路的漏电流功耗.当第  $i$  个电路作为振荡器工作时,其动态功耗为当时测出的总功耗与漏电流功耗之差.

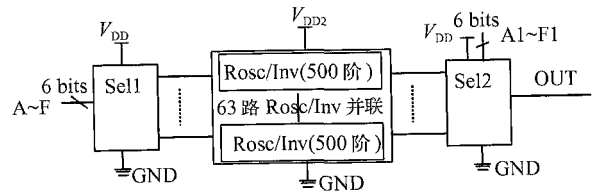


图 2 电路性能参数波动测量电路

Fig. 2 Measurement circuit for circuit performance parameter variation

另外,在我们的测试芯片中,提出了如图 3 所示的电路来测量延迟时间波动特性,利用该电路可以采用较短的反相器链获得电路的单位门延迟波动特性.被测电路为 64 路并联的 200 阶反相器链,电路由压控振荡器 VCO 发出频率可调的时钟信号, VCO 电路由 24 级电压可调的反相器级联构成压控环形振荡器.  $Q1$  和  $Q2$  点的波形如图 3 中间所示,两者相差一个 VCO 的振荡周期.设第  $i$  个反相器链的延迟时间为  $T_{delay,i}$ ,则信号在路径  $i$  上的总延迟时间  $T_{tot}$  为缓冲器的延迟时间  $T_{buff,i}$  与反相器链的延迟时间,即

$$T_{tot,i} = T_{buff,i} + T_{delay,i} \quad (4)$$

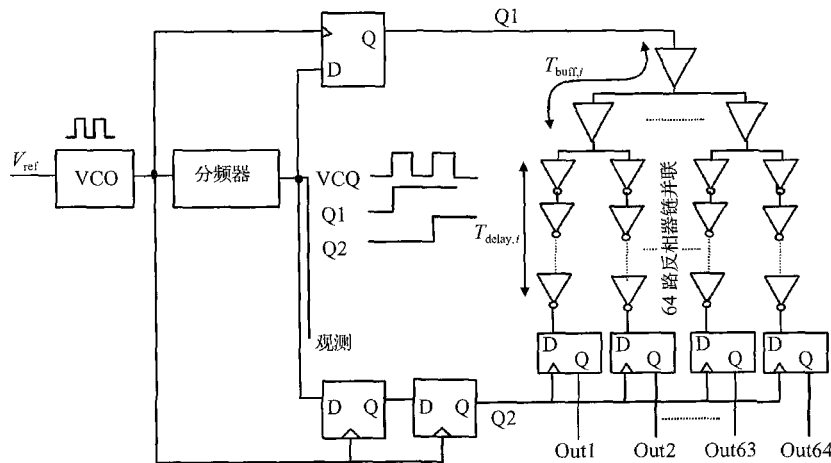


图 3 延迟时间波动特性测量电路

Fig. 3 Measurement circuit for gate delay variation

在实际版图中,各路径上的缓冲器及布线保持平衡以尽量减小  $T_{buff,i}$  的差异,由于  $T_{buff,i}$  相对于  $T_{delay,i}$  来说较小,因此其波动相对  $T_{delay,i}$  的波动来说也很小,从而使得  $T_{tot,i}$  的波动近似于  $T_{delay,i}$  的波动.如果路径上的总延迟时间  $T_{tot,i}$  大于 VCO 的振

荡周期,则  $Q1$  端的高电平信号在输出端触发器的时钟信号到来时还来不及传输到其数据输入端,因此输出信号保持低电平,反之则为高电平.因此通过改变 VCO 的参考电压  $V_{ref}$  测量在不同振荡频率下输出端 1 的个数则可以得到电路延迟特性的波动曲

线图.理想情况下,当VCO的振荡周期小于某一个值时,所有输出均为0,当其达到某一个临界值时,所有输出同时跳变为1,随着波动程度的增加,曲线的过渡期加长,曲线与工艺参数标准偏差值的关系如图4所示.

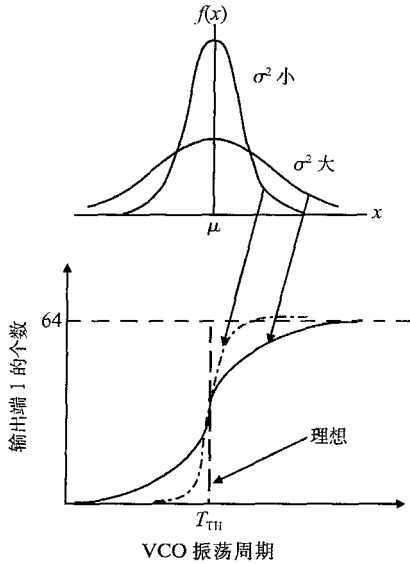


图 4 测量曲线与工艺参数标准偏差的关系

Fig. 4 Relationship between measurement curve and process parameter standard variation

通常,由于单位门延迟的变化量较小,采用一般的测量仪器难以测量出来,因此需要足够的规模来“放大”延迟才能使得被测量在可测范围之内.例如500阶的反相器链,其总的平均延时为12.6ns,假设测量仪器的分辨率为0.2ns,则只有当门延迟达到1.6%以上的波动量时才能被测量出来.而在图3所示测量电路中,采用200阶的反相器链只要总的门延迟波动量为1个门延迟以上则可以被测量出来,因此其波动量分辨率可达0.5%,若将反相器链增加到500阶,则波动量分辨率可达0.2%,其灵敏度远高于常规测量电路.

### 4 实验结果

在日本的90nm CMOS 1P6M工艺线上制作了测量电路,本版图如图5(a)所示,为整个芯片的一部分.流片得到36片可用芯片,在电源电压1.0V(I/O电源为2.5V)的条件下,采用KENWOOD DL-2050万用表和Tektronix TDS3054B示波器进行芯片测试.测得其基本门的平均延时(反相器)为25.1ps,最大值为32.5ps,最小值为18.2ps,波动范围为78.6%.一路环形振荡器的动态功耗为94.2μW(电源电压1.0V),最大值为132.7μW,最小值为68.4μW,波动范围为94.0%.所有被测电路

(500阶×63列)漏电流功耗为24.5μW,最小值为10.8μW,最大值为210.4μW,波动范围为19.5倍.可见在这三个性能参数中,漏电流功耗的波动最大.采用图3电路得到的延时波动曲线如图5(b)所示,当控制电压在0.54~0.62V之间变化时,输出端1的个数从0变化到64个,VCO的振荡周期通过从分频器输出观测得到.图6(a)为测得的36片样片的总漏电流功耗和单位门延迟的统计分布图,图6(b)为采用图2电路测得的电路门延迟分布曲线.图中将门延迟进行了分段处理,即将在18~19ps之间的延迟归整为19ps,19~20ps之间的延迟归整为20ps,其余依此类推.其与图5(b)对应的关系正如图4中两曲线的对应关系.

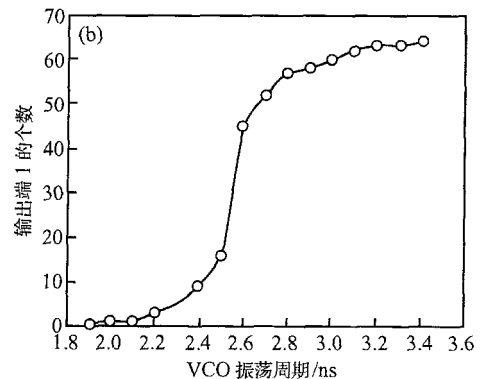
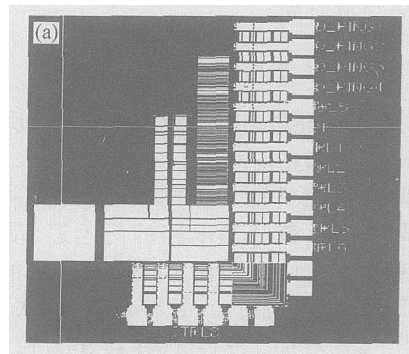


图 5 电路版图及测试曲线 (a)电路版图;(b)门延迟波动特性曲线

Fig. 5 Layout (a) and gate delay variation curve (b)

### 5 结论

对90nm CMOS工艺的主要工艺参数对电路门延迟、静态功耗、动态功耗的影响进行了简要分析;设计了简单的用于测量超深亚微米工艺单位门延迟、静态功耗、动态功耗及其波动特性的电路;提出了一种获得门延迟波动特性曲线的新型测量电路,并在90nm CMOS工艺下制作了测量电路,得到了90nm CMOS工艺的门延迟波动特性曲线.实验结果测出电路延迟的波动范围为78.6%,动态功耗的波动范围为

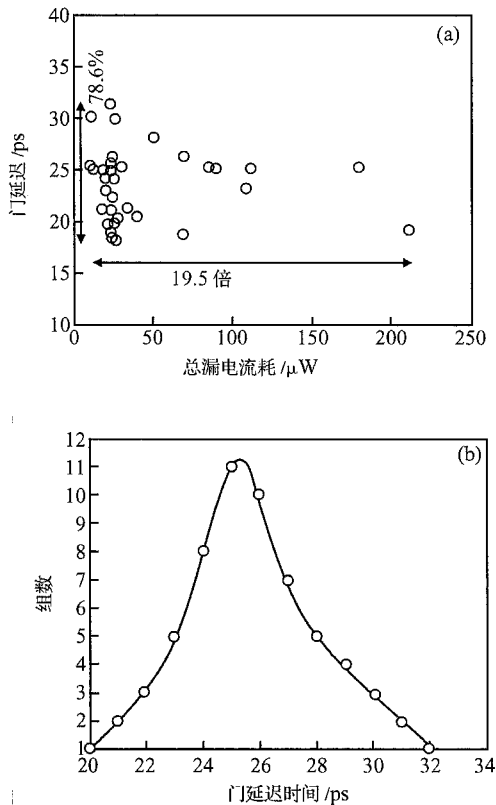


图 6 漏电流功耗、门延迟统计分布图 (a)漏电流功耗与门延迟统计分布;(b)门延迟统计分布  
Fig. 6 Leakage power and gate delay distribution curve (a) Leakage power and gate delay distribution; (b) Gate delay distribution curve

94.0 % , 漏电流功耗的波动范围为 19.5 倍. 可见对于 90nm 工艺, 工艺参数波动引起的电路性能参数变化已经相当严重, 尤其是漏电流功耗, 因此对于 UDSM IC 设计, 对工艺参数不敏感的鲁棒性<sup>[3-6]</sup>设计显得尤为重要.

致谢 感谢日本九州大学情报科学研究院情报工学部安浦研究室提供实验条件和机会, 感谢研究生室山、坂本等的合作.

参考文献

- [ 1 ] Borkar S, Karnik T, Narendra S, et al. Parameter variations and impact on circuits and microarchitecture. Proc DAC, 2003:338
- [ 2 ] Bowman K, Duvall S, Meindl J. Impact of die-to-die and within-die parameter fluctuations on the maximum clock frequency distribution for gigascale integration. IEEE J Solid-State Circuits, 2002, 37(2) :183
- [ 3 ] Chen T, Naffziger S. Comparison of adaptive body bias (ABB) and adaptive supply voltage (ASV) for improving delay and leakage under the presence of process variation. IEEE Trans VLSI, 2003, 11(5) :888
- [ 4 ] Tschanz J W, Narendra S, Nair R, et al. Effectiveness of adaptive supply voltage and body bias for reducing impact of parameter variations in low power and high performance microprocessors. IEEE J Solid-State Circuits, 2003, 38(5) :826
- [ 5 ] Gupta P, Kahng A B, Kim Y, et al. Self-compensating design for focus variation. Proc DAC, Anaheim, California, USA, 2005:365
- [ 6 ] Gupta P, Fook-Luen H. Toward a systematic-variation aware timing methodology. Proc DAC, 2004:321

## Research on a Measurement Circuit for UDSM CMOS Process Parameter Variation \*

Yang Yuan<sup>†</sup>, Gao Yong, and Yu Ningmei

(Department of Electronic Engineering, Xi'an University of Technology, Xi'an 710048, China)

**Abstract :** The main device parameter variations for UDSM processes are discussed briefly. Based on the “amplifying” idea, simple circuits for measuring the gate delay, dynamic power, leakage power, and their variations for a 90nm process are designed. A novel circuit that can get the gate delay variation curve for a UDSM process using shorter inverter link is presented. The circuits are fabricated using 90nm CMOS technology, and the variation curve for the 90nm CMOS process is obtained. The results show that the variation range is 178.6 %, 194.0 % for dynamic power, and 19.5 times for leakage power. Thus the leakage power variation is the most serious.

**Key words :** ultra deep sub-micron; gate delay; dynamic power; leakage power

**EEACC :** 2570A; 2570D

**Article ID :** 0253-4177 (2006) 09-1686-04

\* Project supported by the Xi'an Applied Materials Innovation Fund (No. XA-AM200514)

<sup>†</sup>Corresponding author. Email: yangyuan@xaut.edu.cn