

温度补偿的 30nA CMOS 电流源及在 LDO 中的应用

王 忆[†] 何乐年 严晓浪

(浙江大学超大规模集成电路研究所, 杭州 310027)

摘要: 设计了一种新型的用于低功耗 LDO 线性稳压器的 CMOS 高精度参考电流源. 通过亚阈值设计方法得到 30nA 与电源电压无关的基准电流. 利用 MOS 管寄生二极管反向电流的高温特性, 对各支路的镜像电流进行了温度补偿, 在 -40~130 范围内的 30nA 的基准电流精度从 $\pm 1.5\text{nA}$ 提高到 $\pm 0.9\text{nA}$. 用这种参考电流源设计的 LDO 的静态电流在 -40~130 范围时减小到 4 μA . 用 Cadence 公司的 Spectre 软件以及 CSMC 的 0.5 μm CMOS 混合信号模型对电路进行了仿真与芯片设计. 芯片测试结果验证了以上设计.

关键词: 30nA; 静态电流; 寄生二极管; LDO

EEACC: 2570D

中图分类号: TN401

文献标识码: A

文章编号: 0253-4177(2006)09-1657-06

1 引言

LDO (low dropout) 线性稳压器由于具有低噪声、低功耗、结构简单及封装尺寸较小的优点, 在便携式电子产品中作为电源转换电路得到了广泛的应用. 便携式电子产品要求功耗低且电池续航时间长. 这对电源的转换效率提出了更高的要求. LDO 的电源转换效率定义为^[1]:

$$\eta = \frac{I_o V_o}{(I_o + I_q) V_i} \times 100\% \quad (1)$$

其中 I_o 是输出电流; V_o 为输出电压; I_q 为静态工作电流; V_i 为输入电压. 要提高效率, 必须降低静态电流 I_q 和输入输出压差 V_{Dropout} . 一般设计中, 静态电流的典型值为 40~100 μA , 压差为 200~400mV^[2], 其中基准电流值一般为 1 μA 左右. 图 1 是 LDO 的基本结构图. 从图中可以发现, 参考电流源为误差放大器提供了偏置电流, 是决定 LDO 静态功耗的主要因素. 另外, 由于便携式电子产品功能的增加, 要求 LDO 输出电流增大, 因此, 芯片的耐高温特性也成为芯片设计的关键问题.

在本文中为了达到 LDO 低功耗的目的, 采用亚阈值设计方法, 首次设计了 30nA 的 CMOS 高精度参考电流源. 从而将 LDO 芯片的静态电流降低为 4 μA , 并且利用 MOS 管寄生二极管反向电流的高温特性, 对各支路的镜像电流进行温度补偿, 得到在 -40~130 范围内稳定的基准电流. 芯片的仿真与测试结果验证了本文的设计方法.

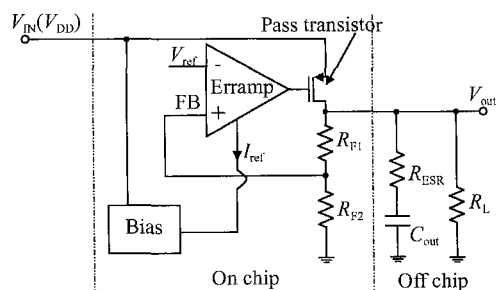


图 1 LDO 的基本结构图

Fig. 1 Typical low dropout regulator topology

2 经典的与电源无关的偏置电流电路

图 2 是经典的与电源电压无关的偏置电流电路^[3]. 该电路中 M6C 提供了启动时的电路通路. 电路正常工作时, M6C 关断, 同时 M1C~M5C 管工作于饱和区, I_{ref} 是基准电流. 为了使基准电流和电源无关, 需要 M1C 和 M2C 的漏电流 I_{D1} , I_{D2} 相等^[3]. 通过 MOS 管的小信号模型, M1C 和 M2C 的漏电流可表达为:

$$I_D = g_m V_{GS} + \frac{V_{DS}}{r_o} \quad (2)$$

由于一般情况下 $g_m V_{GS} \gg V_{DS}/r_o$, 因此可忽略 V_{DS} 对漏电流的影响.

但是, 当要产生 30nA 的漏电流时, $g_m V_{GS}$ 的值很小, 成为与 V_{DS}/r_o 相比拟的量, 因此需要考虑沟道调制效应. 图 3 是基于 CSMC 公司 0.5 μm CMOS 混合信号模型, 用 Cadence 公司的 Spectre 软件的仿真结果. 如图所示, 由于 $|V_{DS1}|$ 和 $|V_{DS2}|$ 之间较大

[†]通信作者. Email: wangyi@vlsi.zju.edu.cn

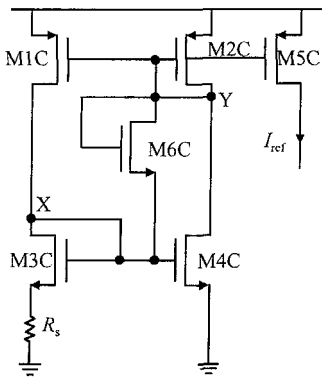


图 2 经典的与电源电压无关的偏置电流电路

Fig. 2 Traditional supply voltage independent current reference circuit

的差异,造成流过 M1C 和 M2C 管的漏电流的大小有较大的区别,并且随着电源电压的增加,漏电流显著增加.因此,在 nA 级漏电流条件下,传统的电路无法产生与电源无关的电流基准.这种情况可以通过添加运算放大器,强制使得 X 点和 Y 点的电位相同来消除^[4,5],但这是通过牺牲芯片面积来达到的.在下面的章节中,将介绍一种只使用简单结构,就能使得 $I_{D1} = I_{D2}$,从而提供稳定的和输入电压无关的基准电流电路.

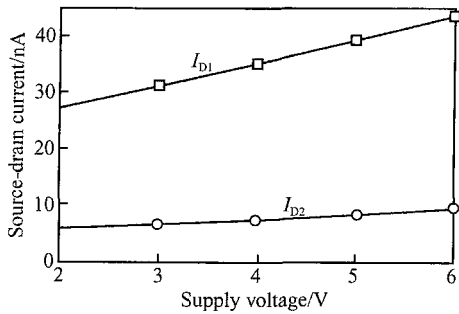


图 3 经典偏置电流电路中 M1C 和 M2C 的漏电流 I_{D1} 和 I_{D2} 随电源电压的变化曲线

Fig. 3 Source-drain currents of M1C and M2C, I_{D1} and I_{D2} , in the traditional supply voltage independent current reference

3 本文提出的电流基准电路

静态工作电流主要是电路中各支路到地的偏置电流之和,为了减小静态功耗,必须降低偏置电流的大小.本文设计的偏置电流值为 30nA.图 4 是本文提出的一种新型高精度、低温漂、与电源电压无关的 30nA 参考电流源.由于传统电路在产生 nA 级的基准电流时,无法做到与电压源无关.为了消除电压源对基准电流的影响,需要尽量减小由于 M1C 和 M2C 管的漏源电压不等造成的电流差值,从而使

I_{ref} 的值与电源电压无关.为了保证 $I_{D1} = I_{D2}$,必须使得 M1C 和 M2C 管各端的电压偏置一致.改进后的结构如图 4 所示, pMOS 管 M1, M2, M5 构成电流镜, MS1 ~ MS3, C_1 和 C_2 构成启动电路.为了在

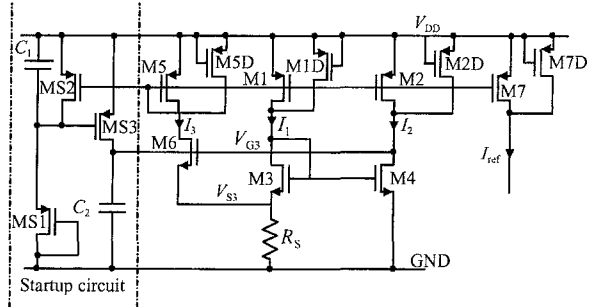


图 4 新型的高精度、低温漂偏置电流电路

Fig. 4 Topology of a novel supply voltage, temperature independent current reference with high precision

30nA 漏电流情况下,仍然保持合适的宽长比, nMOS 管 M3, M4, M6 工作在亚阈值区,从而减小了芯片面积.其电路工作原理如下:通过取消 M2 管的二极管连接方式,释放了 M2 管的漏端,调整 M6 的宽长比和 M5 管的漏电流,使得 $V_{GS6} = V_{GS3}$.由于 $V_{D4} = V_{G6} = V_{S3} + V_{GS6} = V_{S3} + V_{GS3} = V_{D3}$,因此 $V_{D1} = V_{D2}$.由于 M1, M2 管的源端、栅端和衬底都分别直接相连,所以 M1 和 M2 管的工作状态完全一样,因此 M1 和 M2 管的漏电流相等:

$$I_1 = I_2 \quad (3)$$

图 5 是本文提出的参考电流源中 M1 和 M2 漏电流与电源电压关系的仿真结果.如图所示, M1 和 M2 漏电流的值完全相同,并随电源电压的变化较小.

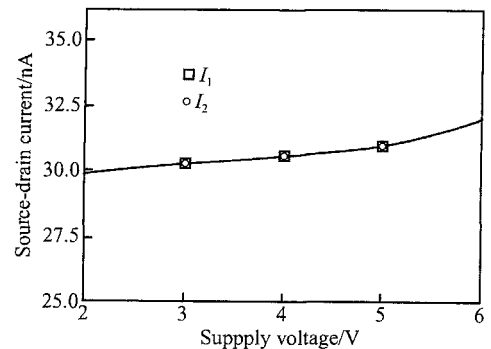


图 5 改进参考电流源中 M1 和 M2 漏电流,与电源电压关系的仿真结果

Fig. 5 Source-drain currents of M1 and M2 in the improved supply voltage independent current reference

M3, M4 管工作在亚阈值区域,则流过 M3 和 M4 的电流可以表示为^[6]:

$$I_3 = I_1 = K_3 I_{D0} \exp\left(\frac{V_{G3} - V_{S3}}{V_T}\right) \times \left[1 - \exp\left(-\frac{V_{DS3}}{V_T}\right)\right] \quad (4)$$

$$I_4 = I_2 = K_4 I_{D0} \exp\left(\frac{V_{G4}}{V_T}\right) \times \left[1 - \exp\left(-\frac{V_{DS4}}{V_T}\right)\right] \quad (5)$$

其中 I_{D0} 为单位饱和电流; $V_{T0} = k T_0 / q$; 是亚阈值斜率因子, K_3, K_4 为 M3 和 M4 的宽长比. 因为 M3 管采用二极管连接, 所以 $V_{DS3} = V_{GS3}$. 在图 4 所示电路结构中, 流过 M3 的电流保持在 30nA. 该电流与 V_{DD} 的变化无关, 由 (4) 式计算可得, $V_{DS3} = V_{GS3} = 640\text{mV}$, 这一电压值远大于 V_T . 另外 $V_{DS4} = V_{DS3} + V_{S3}$, $V_{GS3} \gg V_T$, 因此 (4), (5) 式中 $\exp\left(-\frac{V_{DS3,4}}{V_T}\right)$ 项可以忽略. 由 (3) 式和近似后的 (4), (5) 式以及 $V_{G3} = V_{G4}$ 可以得到:

$$V_{S3} = V_T \ln\left(\frac{K_3}{K_4}\right) \quad (6)$$

在参考电流源中, V_{S3} 对偏置电流的稳定起决定作用. 一般的设计中用运放来构成负反馈, 从而稳定 V_{S3} . 为简化设计, 本设计用 M5, M6 和 M3 所在支路构成负反馈电路, 用来稳定 M3 与 M6 的 S 端电位 V_{S3} . 其原理为: 启动后, 电容 C_2 上积累一定的电荷, 会稳定 M6 的栅极电压 V_{G6} , 假设 V_{S3} 增大, 由于 V_{G6} 在 C_2 的作用下, 电压不能突变, 所以流过 M6 的电流 I_3 将随 V_{S3} 的增大而减小; 又由于 I_1 镜像 I_3 , 可知 I_1 也会减小. V_{S3} 可由 I_1 和 R 表示为:

$$V_{S3} = I_1 R_s \frac{K_1 + K_5}{K_1} \quad (7)$$

其中 K_1, K_5 是 M1 和 M5 管的宽长比. 由 (7) 式可知, V_{S3} 会随着 I_1 减少而减少, 所以 V_{S3} 始终会稳定在一个固定值上, 以保证输出电流的稳定. 把 (6) 式代入 (7) 式可得:

$$I_1 = \frac{V_T}{R_s} \times \frac{K_1}{K_1 + K_5} \times \ln\left(\frac{K_3}{K_4}\right) \quad (8)$$

由 (8) 式可以看出, 基准电流的表达式中包含 V_T 和 R_s 两个与温度相关的量. 如果让 R_s 具有正的温度系数, 就可以抵消温度对 V_T 的影响, 而使电流基准与温度无关. 由 (8) 式可得:

$$R_s = \frac{V_T}{I_1} \times \frac{K_1}{K_1 + K_5} \times \ln\left(\frac{K_3}{K_4}\right) \quad 776k \quad (9)$$

$$\frac{R_s}{T} = \frac{V_T}{T} \times \frac{1}{I_1} \times \frac{K_1 \ln(K_3 / K_4)}{K_1 + K_5} = 1732 / \quad (10)$$

因此从 (9), (10) 式得 R_s 的一次温度系数为:

$$\frac{1732 /}{776k} = 2.23 \times 10^{-3} /$$

表 1 是 CSMC 的 0.5μm CMOS 混合信号模型中电阻模型的温度系数. 可以看出除了 n 型阱电阻

外, 其余类型电阻的一次温度系数都小于 $2.23 \times 10^{-3} /$. 但是由于 n 型阱电阻的正温度系数远大于所需要的正温度系数, 使得 R_s 无法同时满足产生 30nA 基准电流所需要的阻值和抵消 V_T 的正温度系数这两个条件. 为此, 本文在 R_s 电阻中同时引入具有负温度系数的多晶硅高阻电阻 2k 和具有正温度系数的 n 型阱电阻, 使 R_s 一次温度系数的和抵消 V_T 的正温度系数. 与 V_T 只有一次温度系数不同, 多晶硅高阻电阻和 n 型阱电阻具有二次温度系数, 并且在 CSMC 0.5μm 工艺下, 他们的二次温度系数十分接近, 分别为 $9.56 \times 10^{-6} / ^2$ 和 $1.15 \times 10^{-5} / ^2$. 这就造成了基准电流的温度特性, 主要由两种电阻的二次温度系数决定. 电流值与温度的关系是一个曲率基本固定的抛物线. 在这种情况下, 在一定温度范围内抛物线两端相等时, 基准电流的温度漂移系数达到最小. 本文中在 -40~130 的范围内, 5V 的输入电压下, 基准电流为 $30 \pm 1.5\text{nA}$.

表 1 CSMC 的 0.5μm CMOS 混合信号模型中电阻模型的温度系数

Table 1 Temperature coefficients of resistance models in CSMC 0.5μm mix-signal Technology

电阻类型	一次温度系数, Ptc1	二次温度系数, Ptc2
n 阱	5.24×10^{-3}	9.56×10^{-6}
n 扩散	1.73×10^{-3}	-6.17×10^{-7}
p 扩散	9.40×10^{-4}	1.40×10^{-7}
多晶硅 1	7.75×10^{-4}	-3.42×10^{-7}
多晶硅 2	7.08×10^{-4}	-2.53×10^{-7}
多晶硅高阻 5k	-4.68×10^{-3}	1.58×10^{-5}
多晶硅高阻 2k	-3.042×10^{-3}	1.15×10^{-5}

由于 n 型阱电阻的最小、典型和最大值分别为: 850, 1000 和 1150, 最大偏差为 15%; 多晶硅高阻电阻的最小、典型和最大值分别为: 1750, 2100 和 2450, 最大偏差为 19%. 因此 R_s 电阻的一次温度系数最大误差为:

$$\begin{aligned} |Ptc1_{R_s}| &= \left| Ptc1_{R_{\text{nwell}}} \frac{R_{\text{nwell}}}{R_s} \right| + \left| Ptc1_{R_{\text{highpoly}}} \frac{R_{\text{highpoly}}}{R_s} \right| \\ &= 5.24 \times 10^{-3} \times 15\% \times 0.81 + 3.042 \times 10^{-3} \times 19\% \times 0.19 \\ &= 7.46 \times 10^{-4} / ^\circ\text{C} \end{aligned}$$

由于基准电流的温度特性可以近似为: $I = I_0 [1 - 1 \times 10^{-5} (T - 40)^2]$, 其中 I_0 为基准电流的最大值; “ 1×10^{-5} ” 为二次项系数, “40” 是基准电流达到最大时的温度. 考虑 R_s 一次温度系数最大误差后, 拟合公式变为:

$$\begin{aligned} I &= I_0 [1 - 1 \times 10^{-5} (T - 40)^2 + 7.46 \times 10^{-4} T] \\ &= I_0 [1 - 1 \times 10^{-5} (T^2 - 80T - 74.6T + 1600)] \\ &= I_0 [1 - 1 \times 10^{-5} (T^2 - 154.6T + 5975.29) + 4375.29 \times 10^{-5}] \\ &= I_0 [1 + 0.044 - 1 \times 10^{-5} (T - 77.3)^2] \end{aligned}$$

由此可以看出,由工艺误差引入的最大电流温度漂移约为 4.4%.

R_s 电阻值的工艺误差,可以通过在版图设计时加入选择串并联电阻来消除.在流片测试后,通过测量 R_s 实际阻值,加入或去掉选择电阻,使得 R_s 最终电阻值与设计匹配,则获得所需要的基准电流.

为了进一步改善基准电流的温度特性,在镜像电流的 pMOS 管处,分别并联栅源短接的 pMOS 管 M1D, M2D 和 M5D. 由于 pMOS 的漏电流值随高温的增加而降低,通过 M1D, M2D 和 M5D 管的寄生二极管的反向电流的高温特性对基准电流进行温度补偿,使基准电流在高温下不再按抛物线特性随温度升高而下降^[7],而是升高.图 6 是 $V_{DD} = 5V$ 时,带二极管补偿和不带二极管补偿的基准电流随温度变化的关系.如图所示,通过精确设计温度补偿二极管,使得基准电流大于 110 后没有降低,而有所上升,而且在 130 时没有超过抛物线的顶点.根据前面的分析,由于抛物线的跨度减小,温漂系数也减小,使基准电流的温度特性得到改善.补偿后的基准电流为 $30 \pm 0.9nA$,精度提高了 40%.图 7 是静态

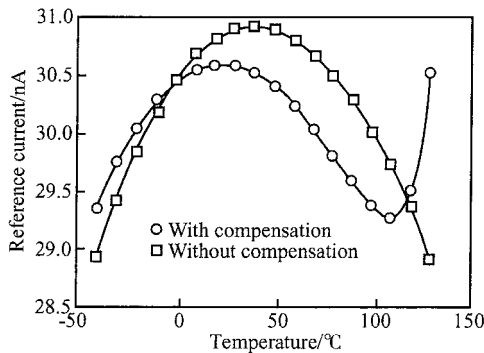


图 6 $V_{DD} = 5V$ 时,带二极管补偿和不带二极管补偿的基准电流随温度变化的曲线

Fig. 6 Temperature characteristic of bias current with and without the parasitic diode compensation under 5V supply voltage

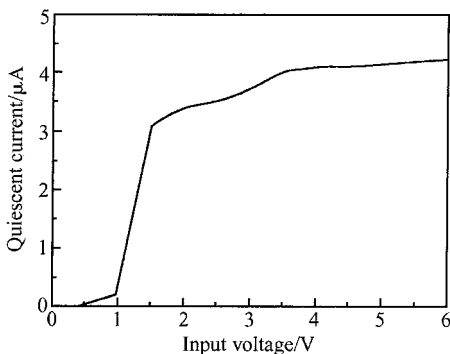


图 7 芯片静态电流随电源电压变化的曲线

Fig. 7 Simulation result of the quiescent current versus the supply voltage

电流随输入电压变化的仿真结果.如图所示当输入电压超过 2V 后,静态电流约为 $4\mu A$.

4 基准电流的动态范围

最小输入电压由 M3 所在支路决定,因为 $V_{DS3} = V_{GS3}$,当电路正常工作后, M3 流过的电流为 $30nA$,通过 (4) 式解得: $V_{DS3} = V_{GS3} = 640mV$. 因此 V_{DD} 需要满足下列不等式:

$$V_{DD} > V_{S3} + V_{DS3} + |V_{DS1, min}| \quad (11)$$

因此在 CSMC 0.5μm CMOS 混合信号工艺下,最小输入电压为 1.1V. 最大输入电压由 MOS 管所能承受的最大源漏电压所决定,表示为:

$$V_{DD} < V_{S3} + V_{DS6} + |V_{DS5, max}| \quad (12)$$

因为在 CSMC 0.5μm CMOS 混合信号工艺下, MOS 管所能承受的最大源漏电压为 8V,因此最大输入电压为 8.7V.

5 测试结果与分析

采用 CSMC 的 0.5μm CMOS 混合信号模型进行 LDO 的电路仿真和芯片设计.图 8 是芯片照片,整个芯片的尺寸为 $960\mu m \times 770\mu m$,其中偏置电流部分的面积为 $246\mu m \times 198\mu m$. LDO 的输入电压范围为 2~6V,输出电压为 1.2~3.5V,输出电流的最大值可达 300mA.表 2 是芯片的特性参数.

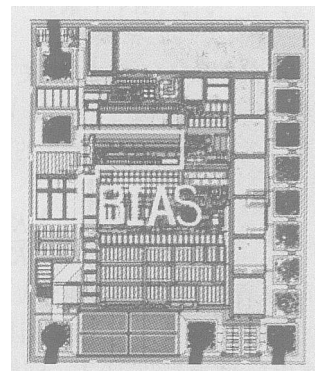


图 8 芯片照片

Fig. 8 Photo of the chip layout

为了验证 LDO 的温度特性,分别测试了芯片的输出电压和静态电流随温度变化的曲线.本 LDO 设计中,大量采用镜像电流源做为偏置和各种放大器的负载,总的镜像电流为基准电流的 126 倍.故静态电流中有 $30nA \times 126 / 4\mu A = 94.5\%$ 的分量是和基准电流直接相关的.因此静态电流的温度特性反映了基准电流的温度特性.

表 2 LDO 特性参数

Table 2 Summary of measured performance

工艺	CSMC 0.5μm CMOS 2P2M
芯片面积	960μm × 770μm
温度范围	- 40 ~ 130
输入电压	2 ~ 6V
输出电压	1.2 ~ 3.5V
静态电流	4μA
输入输出压差	170mV @150mA
线性调整 ^[8]	2mV @V _{OUT} +0.5V < V _{IN} < 6V
负载调整 ^[8]	14mV @0 < I _{OUT} < 150mA
温度系数	20ppm/
输出噪声	150μV _{RMS} @f = 22Hz to 80kHz
电源抑制比	- 50dB @1kHz, V _{IN} = 2V, I _{OUT} = 10mA

在测试时,输入输出电容各为一个 1μF 的陶瓷电容,负载使用 3.3k 电阻代替.用直流电源(Agilent E3631A)设定输入电压,输出电压和静态电流值用微安表(Agilent 34401A)测定.其中 Agilent 34401A Millimeter 的测量精度为 100μV (电压),100nA (电流).温度测试方案分为高温测试和低温测试两个部分.高温测试采用油浴电炉加热,在 10 ~ 130 的范围内,每隔 10 采样一次.低温测试通过使用结晶氯化钙冰盐混剂和冰水混合物获得 - 40 和 0 时芯片输出电压和静态电流的值.图 9 是电源电压(输入电压)分别为 4,4.5 和 5V 条件下,LDO 的输出电压以及静态电流随温度的变化关

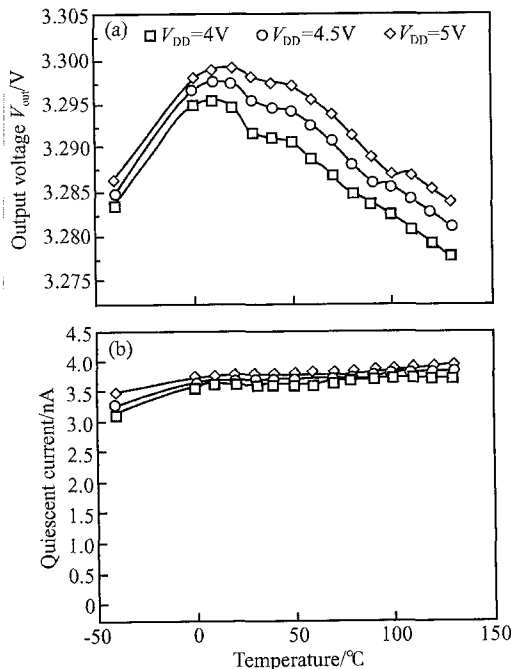


图 9 LDO 芯片输出电压 (a) 和静态电流 (b) 在电源电压为 4, 4.5 和 5V 时随温度变化的曲线
Fig.9 Output voltage (a) and quiescent current (b) of LDO versus the temperature ,when supply voltage is 4, 4.5 ,and 5V

系.如图所示,在 5V 电压下,当温度从 - 40 增加到 130 时,输出电压为 3.2845 ~ 3.292V;静态工作电流为 3.45 ~ 3.9μA.测试结果与仿真结果基本符合,达到了芯片的低静态电流与宽温度范围的要求.

通过 FIB 和探针台,将基准电流从芯片中引出,测得 - 40,27 和 130 基准电流值如表 3 所示.基准电流温度特性的仿真和测试结果相符,基准电流的测试值比仿真值偏小 6%,造成这一误差的原因是 R_s 阻值的工艺误差,可通过调整 R_s 的选择电阻进行修正.

表 3 基准电流测试与仿真结果比较

Table 3 Comparison of testing reference currents and simulation results

Temperature/	- 40	27	130
I _{ref} (测试) / nA	27.3	28.9	29.4
I _{ref} (仿真) / nA	29.3	30.6	30.5

6 总结

本文设计了一种新型的用于低功耗 LDO 线性稳压器的 CMOS 高精度参考电流源.通过亚阈值设计方法得到 30nA 与电源电压无关的基准电流,使 LDO 的静态工作电流减小到 4μA;利用 MOS 管寄生二极管反向电流的高温特性,对各支路的镜像电流进行温度补偿,得到在 - 40 ~ 130 的范围内 30nA 的基准电流.用这种参考电流源设计的 LDO 的静态电流在 - 40 ~ 130 范围时减小到 4μA.仿真与芯片测试结果验证了以上设计.

参考文献

[1] Liu Qigui ,Li Jianzhong ,Guo Zhendong ,et al. Design of a one-chip LDO voltage regulator. Journal of Circuit and System, 2002,7(4) : 5 (in Chinese) [刘其贵,李建中,郭振东,等. CMOS 单片 LDO 线性稳压器的设计. 电路与系统学报, 2002,7(4) :5]

[2] Rincon-Mora G A, Allen P A. A low-voltage ,low quiescent-current ,low drop-out regulator. IEEE J Solid-State Circuits , 1998 ,33(1) :36

[3] Razavi B. Design of analog CMOS integrated circuits. Boston , MA :Mc Graw- Hill ,2001 :311

[4] Nissinen I, Kostamovaara J. A low voltage CMOS constant current-voltage reference circuit. ISCAS '04 ,Vancouver ,Canada ,2004 :381

[5] Liu Chihpeng ,Huang Hanpang. A CMOS voltage reference with temperature sensor using self-PTAT current compensation. IEEE International SOC Conference Proceedings ,2005 : 37

[6] Allen P E, Holberg D R. CMOS analog circuit design. 2nd ed. Beijing :Publishing House of Electronics Industry ,2002 :79

[7] Obreja V V N. An experimental investigation on the nature of reverse current of silicon power pn-junctions. IEEE Trans E-

lectron Devices, 2002, 49(1): 155
[8] Leung K N, Mok P K T. A capacitor-free CMOS low-dropout

regulator with damping-factor-control frequency compensation. IEEE J Solid-State Circuits, 2003, 38(10): 1691

A 30nA Temperature-Independent CMOS Current Reference and Its Application in an LDO

Wang Yi[†], He Le 'nian, and Yan Xiaolang

(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract: A high-precision CMOS current reference circuit is proposed for using in low-dropout (LDO) voltage regulators with low power. A current reference of 30nA, independent of supply voltage, is obtained with the sub-threshold region design method. In the high temperature region, taking advantage of the reverse current of the parasitic diode in the MOS transistor, every branch current in the current mirror is compensated, so that the precision of the 30nA current reference is improved from $\pm 1\text{nA}$ to $\pm 0.6\text{nA}$ in the range of $-40 \sim 130$. Using this current reference, the total quiescent current of the LDO is around $4\mu\text{A}$ in the range of $-40 \sim 130$. The proposed circuit is simulated using Spectre from Cadence, and the chip is implemented in CSMC $0.5\mu\text{m}$ mixed-signal technology. The designed circuit is validated by the results of the chip test.

Key words: 30nA; quiescent current; parasitic diode; LDO

EEACC: 2570D

Article ID: 0253-4177(2006)09-1657-06

[†]Corresponding author. Email: wangyi@vlsi.zju.edu.cn