

反馈式 ECL 记忆门的记忆性能和移位计数器*

刘莹^{1,†} 方倩² 方振贤¹

(1 黑龙江大学电子工程学院, 哈尔滨 150080)

(2 同济大学电子与信息工程学院, 上海 201804)

摘要: 经过数学论证表明,改进反馈式 ECL(MFECL)门可在二个状态中任一态保持稳定,所以认为 MFECL 门就是一种 ECL 记忆门或 D 锁存器.提出了一种由两个 ECL 记忆门组成的 ECL 主从 D 触发器.在上述理论基础上,利用此主从 D 触发器设计出 5 进制移位型计数器.经过计算机模拟上述电路,验证了理论和电路的正确性.

关键词: 反馈式 ECL 记忆门的记忆性能; D 锁存器; 主从 D 触发器; 5 进制移位型计数器

PACC: 0660J

中图分类号: TN431

文献标识码: A

文章编号: 0253-4177(2006)12-2184-06

1 引 言

双极型电路之一的发射极耦合逻辑(ECL)门主要用于高速电路,在巨型计算机等高速系统中应用非常广泛^[1~9],典型的基本门是或/或非门,近来出现反馈式 ECL (FECL) 门及其改进型 ECL (MFECL)^[3]取消了直流参考电压,并仍用单端输入.然而迄今为止,一个 ECL 门只能作为组合电路的逻辑单元,需要用二个 ECL 门构成一个传统 ECL 记忆单元(即一个 ECL 锁存器,又称为同步 ECL 触发器).本文提出将一个 ECL 门改变为一个 ECL 记忆门(记忆单元)的方法,着重提高 ECL 记忆单元的速度.

双极型电路结构通常都是直观定性描述,为了定量描述 ECL 元件级内部结构,引入文献[9,10]已证明的定理 1 和定理 2.定理 1 是运算转换定理,描述布尔运算和开关运算间的转换关系,作运算的转换: $+ \rightarrow \parallel, \cdot \rightarrow \uparrow, 1 \rightarrow *, 0 \rightarrow \epsilon$,且布尔变量 a, b, \dots 改为开关变量 $\langle a \rangle, \langle b \rangle, \dots$,则将定理 1 等式左边的布尔函数变为等式右边的开关函数,也可从等式左边向右边作相反的转换.定理 2 (网络转换定理)描述元件级和门级网络间的转换关系.

定理 1: $\langle F(a, b, \dots, +, \cdot, 1, 0) \rangle = F(\langle a \rangle, \langle b \rangle, \dots, \parallel, \uparrow, *, \epsilon)$.

定理 2: $Y = \bigvee_{i \in K} F_i(\langle a \rangle, \langle b \rangle, \dots, \parallel, \uparrow) |_{\epsilon} =$

$\sum_{i \in K} x_i F_i(a, b, \dots, +, \cdot) + \epsilon \sum_{i \in K} F_i(a, b, \dots, +, \cdot), \forall i, j \in K, \text{若 } x_i \neq x_j, \text{则 } F_i F_j = 0.$

定理 2 最简单的例子是: $x \langle \phi \rangle |_{\epsilon} = x\phi + \epsilon \bar{\phi}$,其中 $x \langle \phi \rangle = x \uparrow \langle \phi \rangle$,指数运算 \uparrow 描述源信号 x 经开关 $\langle \phi \rangle$ 的传输, ϵ 表示负载参数. $\epsilon = 1$ 是开路 1 电平负载(经电阻 R 接 V_{DD}), $\epsilon = 0$ 为开路 0 电平负载(经电阻 R 接地), $\epsilon = \text{'空'}$ 为真开路负载(负载为 ∞).定理 2 等式右边有二项,类似复数形式 $A + \epsilon B$,第一项含源信号 x_i 和控制信号 F_i ,第二项 ϵ 的系数中仅含控制信号 F_i (不含源信号 x_i),第一项的控制信号全体总和取反,就等于第二项 ϵ 的系数.

2 双极型 ECL 或与门和元件级单元电路表达式

双极型元件级电路结构内部各点输出(1 和 0)高低电平常常不完全相同,因为高低电平是根据它所驱动的下级开关性能来决定的,能使下级开关导通就是高电平,能使下级开关截止就是低电平,所以电路结构内部各点开关位置不同,高低电平值也随之不相同. ECL 元件级电路设计步骤是:

(1) 写出函数的门级表达式,如非门为 $y_1 = \bar{a}$,见(1)式最左边.

(2) 展开门级表达式为类似复数形式 $A + \epsilon B$,即变换为 $y_1 = 0 \cdot a + \epsilon \cdot \bar{a} (\epsilon = 1)$.

(3) 根据定理 2 转化为元件级电路结构表达式,得出 $Y_1 = {}_0 \langle a \rangle |_{\epsilon = 1}$.

(4) 画出元件级电路图,如图 1(a) 所示,其中 $\langle a \rangle$ 表示控制信号为 a 的开关, $\langle a \rangle$ 左下标的 0 为接地, $\langle a \rangle$ 右边直线下标的 $\epsilon = 1$ 为开路 1 电平负载(经负载 R 接 V_{DD}),这便是非门.若源信号 0 带有内阻

* 黑龙江省高校重点实验室基金(批准号:ZDDZ2006-10)和黑龙江省科技攻关计划(批准号:GC02A121)资助项目

† 通信作者. Email: yingliu4808@sina.com

2006-02-24 收到, 2006-07-25 定稿

R , 则左下标源信号 0 改为 $0 \uparrow R$ (与 R 串联), 于是得出图 1(c).

$$Y_1 = \bar{a} = 0 \cdot a + 1 \cdot \bar{a} = 0 \cdot a + \epsilon \cdot \bar{a} (\epsilon = 1) = 0 \langle a \rangle |_{\epsilon=1} = 0 \uparrow R \langle a \rangle |_{\epsilon=1} \quad (\text{反相器}) \quad (1)$$

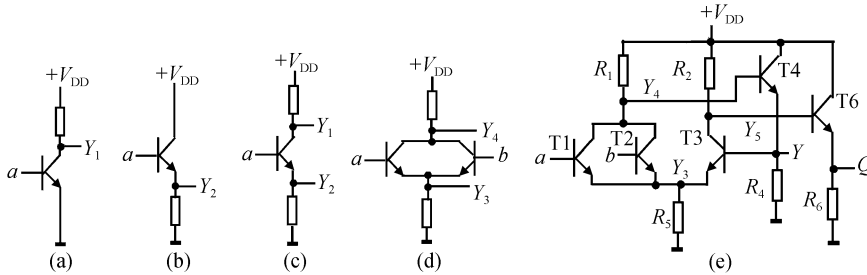


图 1 双极型 ECL 门电路 (a) 非门; (b) 跟随器; (c) 非门/跟随器; (d) 或/或非门; (e) 改进反馈式 ECL 或/或非门
Fig.1 Bipolar ECL gate (a) NOT; (b) Follower; (c) NOT/Follower; (d) OR/NOR; (e) OR/NOR of modified feedback ECL

同样方法设计跟随器, 见 (2) 式, 得出 $Y_2 = 1 \langle a \rangle |_{\epsilon=0}$. 画出跟随器电路图, 如图 1(b) 所示, $\epsilon = 0$ 为开路 0 电平负载 (经负载 R 接地), 再将左下标改为 $1 \uparrow R$, 于是同样得出图 1(c). 类似方法设计或门 (3) 式和或非门 (4) 式, 并画出电路图, 如图 1(d) 所示.

$$Y_2 = \bar{a} = 1 \cdot a + 0 \cdot \bar{a} = 0 \cdot a + \epsilon \cdot \bar{a} (\epsilon = 0) = 1 \langle a \rangle |_{\epsilon=0} = 1 \uparrow R \langle a \rangle |_{\epsilon=0} \quad (\text{跟随器}) \quad (2)$$

$$Y_3 = a + b = 1(a + b) + \epsilon \overline{(a + b)} (\epsilon = 0) = 1 \uparrow R (\langle a \rangle \parallel \langle b \rangle) |_{\epsilon=0} \quad (\text{或门}) \quad (3)$$

$$Y_4 = \overline{a + b} = 0(a + b) + \epsilon \overline{(a + b)} (\epsilon = 1) = 0 \uparrow R (\langle a \rangle \parallel \langle b \rangle) |_{\epsilon=1} \quad (\text{或非门}) \quad (4)$$

图 1(e) 为改进反馈式 ECL 或/或非门, 按图 1(d) 结果有 $Y_3 = a + b$ 和 $Y_4 = \overline{a + b}$; Y_4 送射极跟随器 T4 的基极, T4 射极输出 Y 与 Y_4 同相变化, 即 $Y = \overline{a + b}$; 而 T3 的基极接 Y , T3 的射极接 Y_3 , 于是 Y 经 T3 反相后, 在 T3 集电极输出 $Y_5 = a + b$; Y_5 送射极跟随器 T6 的基极, 在 T6 射极输出与 Y_5 同相变化的 $Q = a + b$; 由此得出反馈式 ECL 或/或非门输出 Y 和 Q 表示为

$$Y = Y_4 = \overline{a + b}, \quad Q = Y_5 = a + b \quad (5)$$

3 将反馈式 ECL 门改变为 ECL 记忆门或锁存器

至今, 一个传统 ECL 记忆单元需要用二个由图 2(a) 所示的 ECL 门构成, 如图 2(b) 所示, 设一个 ECL 门图 2(a) 的传输延迟时间为 t_{pd} , 则图 2(b) 的传输延迟时间为 $2t_{pd}$, 是前者的二倍. 本文将组合电路的逻辑单元 ‘ECL 门’ 改变为一个时序电路的逻辑单元 ‘ECL 锁存器’, 如图 2(c) 所示. 即一个 ECL

记忆门就是一个 ECL 记忆元件, 它的传输延迟时间为 t_{pd} , 是传统 ECL 记忆单元的一半, 所以速度提高近一倍. 图 2(c) 用单端输入, 而不是二端差分输入. 为此首先要研究 MF ECL 门的记忆性能及记忆门电路结构.

本文认为一个 MF ECL 门图 1(e) 常存在二个稳定状态, 具有记忆功能, 因此可修改此门电路结构, 将一个 MF ECL 门改变为时序电路的一个记忆单元 (称为 ECL 记忆门, 即 D 锁存器), 如图 2(c) 所示. 图中 V_d 为直流电源, cp 为周期性变化的时钟脉冲, cp 接 T1 管集电极电阻 R_1 , 其中 cp 是 ‘功率时钟’, 它是参考绝热电路^[10] 引入的, 接管集电极 (下节将改用接基极的常规时钟 cp_1). 为描述该电路的记忆特性, 现在假设 cp 恒为高电平 cp_m , 此时图 2(c) 和图 1(e) 都类似施密特电路, 存在二个稳定状态. 令 T1 管的基极电压 v_{b1} 输入三角波, 三角波开始 v_{b1} 较低 ($v_{b1} < V_{be1}$), 使得 T1 管截止和 T2 管导通 (稳定状态 1), T3 为射极跟随器 (始终导通). 记 T1, T2 和 T3 三管基射导通电压为 V_{be1} , V_{be2} 和 V_{be3} (相等), 基射导通电流为 i_{b1} , i_{b2} 和 i_{b3} , 截止时基流为 0. 大写字母为直流量, 小写字母为交流量, 其他符号类似. 由图 2(c) 得出:

$$R_1 i_{b3} + V_{be3} + V_{be2} + R_3 i_{e2} = cp_m \quad (6)$$

$$R_2 \beta i_{b2} + v_{ce2} + R_3 i_{e2} = V_d \quad (7)$$

此时 v_{b1} 低于 v_{b2} , 若 v_{b1} 由低向高连续上升, 一旦 T1 管导通 (基射电压到达 V_{be2}), 则 $v_{b1} = V_{be1} + v_{e2} = V_{be2} + v_{e2} = v_{b2}$, 即 v_{b1} 几乎等于 v_{b2} , 电路进行雪崩式翻转, 翻转到 T2 管截止和 T1 管导通 (稳定状态 2), 若 v_{b1} 继续上升, 仍保持该状态 2. 由此得出上翻转电平 V_{T+} 近似为:

$$V_{T+} = V_{be2} + R_3 i_{e2} = cp_m - V_{be3} - R_1 i_{b3} \quad (8)$$

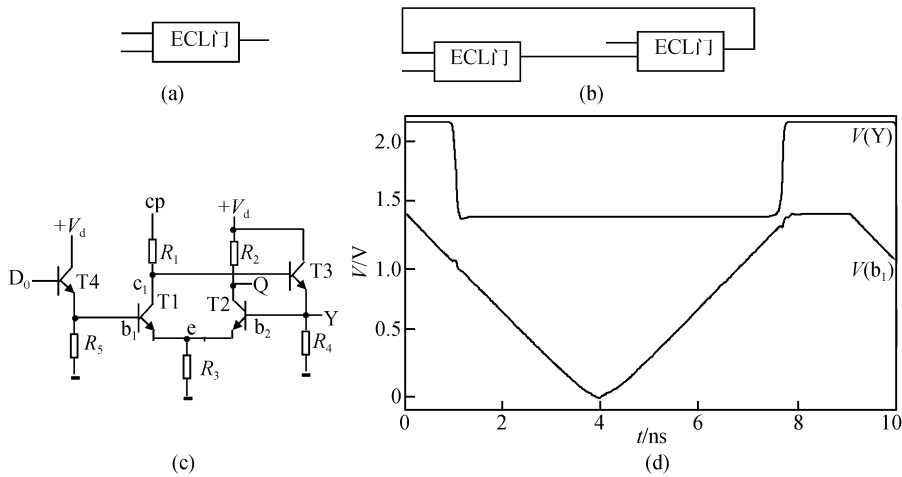


图 2 反馈 ECL 记忆单元和回差电压模拟曲线 (a) 一个 ECL 门; (b) 由二个 ECL 门组成的 ECL 记忆单元; (c) 反馈 ECL 记忆单元; (d) 反馈 ECL 回差电压模拟曲线

Fig. 2 Feedback ECL memorial unit and simulation for hysteresis voltage (a) An ECL gate; (b) An ECL memorial unit consisting of two ECL gate; (c) Feedback ECL memorial unit; (d) Simulation for hysteresis voltage of feedback ECL gate

因 T3 为射极跟随器, 上述翻转过程中 v_{b2} 下降幅度几乎等于 v_{c1} 的下降幅度, 使 T2 有一定的截止深度, 下降后 v_{be2} 低于导通电压 V_{be2} 一定值. 由图 2 (c) 得出:

$$v_{b1} = V_{be1} + R_3 i_{c1} = V_{be1} + R_3 i_{c1} + R_3 i_{b1} (1 + \beta)$$

$$i_{b1} = (v_{b1} - V_{be1}) [R_3 (1 + \beta)]^{-1} \quad (9)$$

$$v_{b2} = cp_m - V_{be3} - R_1 (i_{c1} + i_{b3})$$

$$= cp_m - V_{be3} - R_1 i_{b3} - R_1 \beta i_{b1} \quad (10)$$

当 v_{b1} 连续下降时, v_{c1} 连续上升, v_{b3} 也连续上升, 开始有一段时间仍保持该状态 2, 但 T2 向导通方向靠近. 一旦 T2 管导通, T2 管基射电压到达 V_{be2} 时, 则 v_{b1} 几乎等于 v_{b2} , 电路又一次进行雪崩式翻转, 返回到 T1 管截止和 T2 管导通 (稳定状态 1), 此刻的 v_{b1} 就是 V_{T-} , v_{b1} 继续下降仍保持该状态 1. 下面计算下翻转电平 V_{T-} , 将 (9) 式中的 i_{b1} 代入式 (10)①, 先得出:

$$v_{b1} = v_{b2} = cp_m - V_{be3} - R_1 i_{b3} - \beta R_1 (v_{b1} - V_{be1}) [R_3 (1 + \beta)]^{-1}$$

将上式中的 v_{b1} 整理出来, 则得出 V_{T-} 近似为:

$$V_{T-} = v_{b1} = [cp_m - V_{be3} - R_1 i_{b3} + V_{be1} \beta R_1 / R_3 (1 + \beta)] \cdot [1 + \beta R_1 / R_3 (1 + \beta)]^{-1} \quad (11)$$

用 (8) 式减 (11) 式, 由于 β 很大, β^{-1} 可忽略, 因此得出回差电压 ΔV 近似为:

$$\Delta V = V_{T+} - V_{T-} = (cp_m - V_{be3} - V_{be1} - R_1 i_{b3}) \times [1 + (1 + \beta^{-1}) R_3 / R_1]^{-1}$$

$$= (cp_m - V_{be3} - V_{be1} - R_1 i_{b3}) R_1 / (R_1 + R_3) \quad (12)$$

由上述理论得出结论: (1) 工作在回差电压范围

内, MFECCL 电路有两个稳定状态, 具有记忆功能, 可记忆代码 0 和 1. (2) 为使 ΔV 大, cp_m 应较大 (必须 $cp_m > V_{be3} + V_{be1} = 1.54V$), 而且 R_3 / R_1 比值应较小. 设 $R_1 = 400\Omega$, $R_2 = 300\Omega$, $R_3 = 250\Omega$, $R_4 = 3000\Omega$, $V_d = 1.95V$, $V_{be1} = V_{be2} = V_{be3} = 0.77V$, $i_{b3} = 5\mu A$, 若取 $cp_m = 2.2V$ (高电平期间), 代入 (12) 式得出 $\Delta V = 0.352V$ (若取 $cp_m = 1.8V$, 得出 $\Delta V = 0.134V$). 按硅双极型电路工艺用 PSPICE 对 MFECCL 进行模拟得出高电平期间回差曲线 (器件参数^[3]取 $R_B = 99.4\Omega$, $R_E = 7.8\Omega$, $C_{JE} = 22.5fF$, $C_{JC} = 10.7fF$, $C_{JS} = 45.2fF$, $\tau_F = 5.2ps$), 如图 2 (d) 所示. 图中 T1 管基极输入三角波 v_{b1} , 当电路翻转时, 在线性上升和线性下降的曲线上出现很小的波折线, 由此得出回差电压 ΔV . 当 $cp_m = 2.2V$ 时, $\Delta V = 0.32V$ (当 $cp_m = 1.8V$ 时, $\Delta V = 0.11V$), 与理论计算的结果 $\Delta V = 0.352V$ ($\Delta V = 0.134V$) 接近.

用 PSPICE 对图 2 (c) 进行模拟, 得出该单元各点波形, 如图 3 所示. 图 3 (a) 是 cp 波形, 当 cp 为高电平 2.2V 时呈现双稳态, 该状态取决于 cp 上升沿时刻 T1 管基极 b_1 的值. b_1 信号取自跟随器 T4 射极, T4 基极输入信号 D_0 (图 3 (b)). D_0 出现负脉冲时, b_1 也出现负脉冲 (图 3 (e)), 并使 T1 管截止. 在 T1 管截止期间, 首次 cp 上升沿来到, 使 T1 管集电极 c_1 电压指数上升到近 2.2V (图 3 (d)), 同时 T2 管基极 b_2 也随之指数上升 (见图 3 (f)). b_2 指数上

① (6) 和 (9) 式中 i_{b3} 本不完全相同, 而是靠近, 因为 $R_1 i_{b3}$ 是很小的修正数, 按近似相同处理 ($i_{b3} \approx 5\mu A$).

升使状态输出 Q (即 T2 管集电极 c_2) 指数下降 (图 3 (c)). 由此图看出, b_1 负脉冲过去后, Q 仍保持低电平状态 (记忆 0). 第二次 cp 上升沿来到时, 因 b_1 为高电平, T1 管导通, 则 c_1 和 b_2 只上升到中间电平, 选取 R_1 值, 使 b_2 中间电平仍满足 T2 截止条件, 于是 Q 仍保持高电平状态 (记忆 1). cp 下降沿 (降到 1.2V) 的工作过程与 cp 上升沿相反, 从略. 底部是共射极 e 的波形, 当 Q 为低电平时 e 偏高. b_2 下降开始较快, 以后 T_2 截止, 下降较慢, 后期慢下降并不影响速度. 显然图 2(a) 可作为 D 锁存器. 锁存器 Q 输出幅度为 0.75V; 二传输延迟时间为 $t_{pd\text{hl}} = 72\text{ps}$, $t_{pd\text{lh}} = 38\text{ps}$; Q 输出上升时间 $t_r = 68\text{ps}$, 下降时间 $t_f = 52\text{ps}$; 时钟源功率 $P_{cp} = 1.88\text{mW}$, 直流电源功率 $P_{vd} = 2.36\text{mW}$.

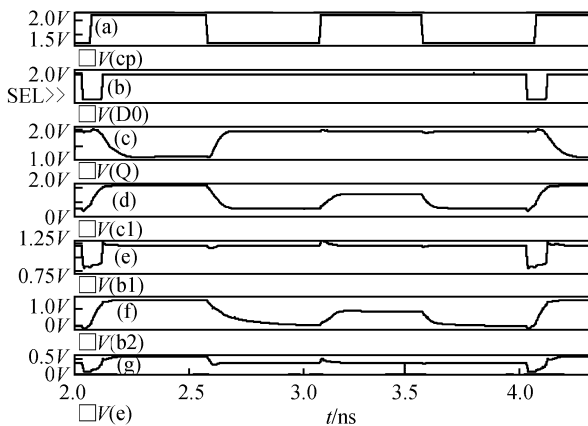


图 3 MFECL 记忆单元各点波形

Fig. 3 Waveform in memorial unit MFECL

4 反馈式 ECL 主从 D 触发器和移位计数器

在图 2(c) 所示的 ECL 记忆门 (或 D 锁存器) 中 cp 是 ‘功率时钟’, ‘功率时钟’ 虽可用于绝热电路^[10], 因 ECL 电路工作在高速状态下, cp 接三极管集电极, 要求能提供较大的集电极电流, 当很多 D 锁存器组成一个整体电路时, 高速大电流的 ‘功率时钟’ 实现很困难. 为此对每一个图 2(c) 所示 D 锁存器附加一个射极跟随器, 由射极跟随器的射极输出形成 cp , 而射极跟随器的基极输入接常规时钟 cp_1 , 由此避免 ‘功率时钟’ 实现的困难. 图 4(a) 是 ECL 主从 D 触发器, 它由二个 ECL 记忆门 (附加射极跟随器) 构成^①, 图中左边 ECL 记忆门是主锁存器, 右边 ECL 记忆门是从锁存器, 主锁存器和从锁存器各自有 T_{5a} , R_{5a} 和 T_5 , R_5 组成的附加射极跟随器, T_5 基极接时钟 cp_1 , T_{5a} 基极接时钟 $\overline{cp_1}$, 二时钟相互反相, 其中 $R_5 = R_{5a} = 2\text{k}\Omega$, $V_{CC} = 2.7\text{V}$. 工作原理与

常规主从 D 触发器类似: 首先在 $cp_1 = 0$ 期间, 主锁存器 Q_a 接收 D 输入代码, 并保持 (存储) 该信号到整个 $cp_1 = 0$ 期间; 接着在 $cp_1 = 1$ 期间, 从锁存器 Q 接收主锁存器 Q_a 持有的信号, 并在整个 $cp_1 = 1$ 期间保持 (存储) 下来, 实际上 Q 存储的是先前 D 代码. 图 4(b) 是主从 D 触发器的符号.

图 4(c) 是 ECL 五进制移位计数器, 它由三个主从 D 触发器 Q_0 , Q_1 和 Q_2 组成, 移位功能满足: $D_2 = Q_1$, $D_1 = Q_0$; 为实现五进制, 采用反馈电路 $D_0 = \overline{Q_1 Q_2}$. 因 $\overline{Q_1 Q_2} = \overline{Q_1} + \overline{Q_2}$, 反馈信号 D_0 可用图 4(d) 反馈 ECL 或门实现. 图 4(d) 是由图 1(f) 反馈 ECL 或/或非门修改得出: 增加 T4 管集电极电阻 R_5 , 输出 f 取自该管集电极, 满足 $f = a + b$, 实现或门功能; 除 R_2 仍接 V_d 外, R_1 和 R_5 改接 T5 射极, T5 基极接 cp_1 , 使 $f = a + b$ 仅在 $cp_1 = 1$ 时有效, 满足 D_0 脉冲输入的要求. 因 Y_1 和 Y_2 各自是 Q_1 和 Q_2 的非, 所以在图 4(c) 或门输入应接 Y_1 和 Y_2 , 以此实现 $D_0 = Q_1 Q_2$. 理论分析表明图 4(c) 是五进制移位型计数器.

用 PSPICE 对图 4(c) 进行模拟得出图 5. 图 5 上部三小图是 Q_0 , Q_1 和 Q_2 的波形图, 按 $cp_1 = 1$ 看, $Q_0 Q_1 Q_2$ 的状态由 011 \rightarrow 001 \rightarrow 100 \rightarrow 110 \rightarrow 111 \rightarrow 011, 满足理论计算的结果. 底部倒数第二是 D_0 的波形, 对 $Q_1 = Q_2 = 1$, 在 $cp_1 = 1$ 时出现 $D_0 = 0$, 其他时刻 $D_0 = 1$, 正好是 $Q_1 Q_2$ 的非. 图 5 中部三小图是主锁存器 Q_{0a} , Q_{1a} 和 Q_{2a} 的波形图, 它和 Q_0 , Q_1 和 Q_2 波形形状相同, 但提前半个 cp_1 周期, 在 $cp_1 = 0$ 时出现, 表明紧接的下半个 cp_1 周期将 Q_{0a} , Q_{1a} 和 Q_{2a} 的信息各自传送到 Q_0 , Q_1 和 Q_2 . 图 5 底部是 cp_1 波形, cp_1 周期是 0.5ns, cp_1 从 2~3V 作周期性变化.

对于双极型电路和 MOS 电路, 半导体器件内存在非线性参数 (器件电阻和电容值是电压或电流的函数), 拉氏变换、叠加原理和戴维南原理已失效, 整体电路耗损功率计算公式很难推出, 即使推出, 也存在很大的近似. 可根据普遍适用的能量守恒定律推出, 能量守恒定律在任何情况下都成立, 不受非线性影响, 由此推出有效耗损功率 P_{eff} 计算公式表达如下:

$$P_{\text{eff}} = \frac{1}{kT} \int_0^{kT} V(t) I(t) dt \quad (13)$$

① 参照图 1(e), 可将图 4(a) 最左边 D 输入的射极跟随器 (T4a, R4a) 各自改画到射极跟随器 (T3, R3) 的右边, 这样主锁存器和从锁存器都与图 1(e) 的输出结构类似, 用跟随器射极输出改作为 Q 输出, 并将主触发器 T1a 管的基极 b1a 改作为 D.

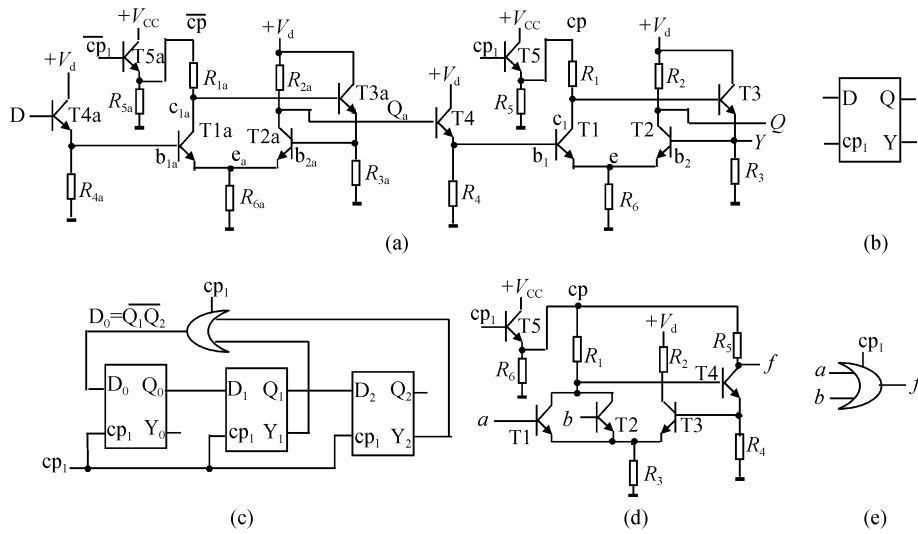


图 4 反馈 ECL 主从 D 触发器和五进制移位计数器 (a) 反馈 ECL 主从 D 触发器;(b) D 触发器符号;(c) 反馈 ECL 五进制移位计数器;(d) 反馈 ECL 或门;(e) 或门符号
 Fig. 4 Master-slave D flip-flop of feedback ECL and five-value shift counter (a) Master-slave D flip-flop of feedback ECL;(b) Symbol of master-slave D flip-flop;(c) Five-value shift counter;(d) OR gate of feedback ECL;(e) Symbol of OR gate

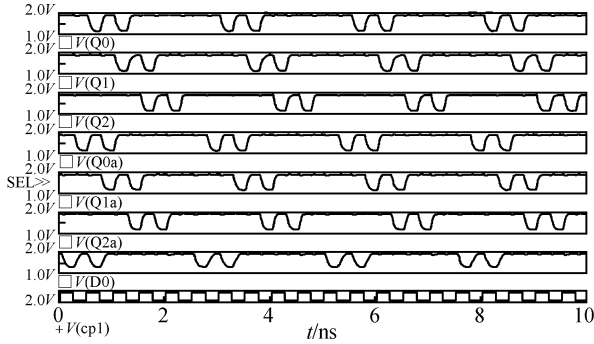


图 5 ECL 五进制移位计数器模拟波形

Fig. 5 Simulation for ECL five-value shift counter

(13)式有广泛适用性,不必编程,直接用函数 $AVG(x)$ 测量.通常存在较大的起始功耗,为使起始功耗影响接近 0(或到达读数允许的误差范围内),可取很大的 $t = kT$,曲线最右趋于平坦,读数很方便.图 6(b),(c)是反馈 ECL 移位计数器的二个直流电源 V_d 和 V_{cc} 的有效功耗曲线;图 6(a)是总功耗曲线. cp_1 周期是 0.5ns.从最右边平坦部分读数得出各自的有效功耗: $P_{V_d} = 13.4mW$, $P_{V_{cc}} = 34.7mW$,总功耗为 $P = 48.1mW$.将 cp_1 周期改为 0.2ns 时,得出: $P_{V_d} = 12.45mW$, $P_{V_{cc}} = 35.8mW$,总功耗为 $P = 48.25mW$.

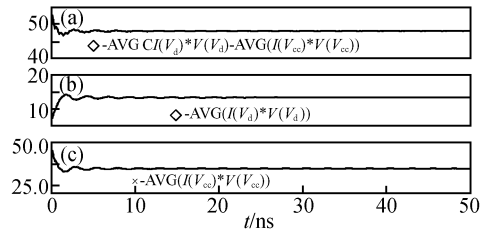


图 6 移位计数器有效功耗曲线

Fig. 6 Simulation for efficient power dissipation of five-value shift counter

参考文献

[1] Jouppi N P, Sidiropoulos S, Menon S. A speed, and supply noise evaluation of ECL driver circuits. IEEE J Solid-State Circuits, 1996, 31(1): 38
 [2] Oklobdzija V G. An ECL gate with improved speed and low power in a BiCMOS process. IEEE J Solid-State Circuits, 1996, 31(1): 77
 [3] Ramakrishnan V, Albers J N, Nottenbrug R N. Modified feedback ECL gate for Gb/s applications. IEEE J Solid-State Circuits, 1999, 34(2): 205
 [4] Shen Jizhong, Chen Huahua, Yao Maoqun. Design of low-voltage and low-power ECL circuits. Research & Progress of Solid State Electronics, 2003, 23(2): 219(in Chinese) [沈继忠, 陈华华, 姚茂群. 低电压低功耗 ECL 电路设计. 固体电子学研究与进展, 2003, 23(2): 219]
 [5] Wu Xunwei, Qiu Q, Pedram M. A synthesis methodology for ECL circuits based on mixed voltage-current representa-

- tion. *Journal of Electronics*, 1999, 21(3): 384 (in Chinese)
[吴训威, Qiu Q, Pedram M. 基于电压-电流的 ECL 电路综合方法. *电子科学学刊*, 1999, 21(3): 384]
- [6] Rabaey J M. *Digital integrated circuits*. Beijing: Tsinghua University Press, 1999: 150 (in Chinese) [Rabaey J M. 数字集成电路. 北京: 清华大学出版社, 1999: 150]
- [7] Rashed M H. *Microelectronic circuits: analysis and design*. Beijing: Science Press, 2002: 630 (in Chinese) [Rashed M H. 微电子电路分析与设计. 北京: 科学出版社, 2002: 630]
- [8] Martin K. *Digital integrated circuits design*. Beijing: Publishing House of Electronics Industry, 2002: 325 (in Chinese)
[Martin K. 数字集成电路设计. 北京: 电子工业出版社, 2002: 325]
- [9] Fang Zhenxian, Liu Ying. Theory of three essential circuit elements and failure analysis of Boolean algebra. *Journal of Electronics*, 1999, 21(6): 806 (in Chinese) [方振贤, 刘莹. 电路三要素理论和布尔代数失效原因分析. *电子科学学刊*, 1999, 21(6): 806]
- [10] Fang Zhenxian, Wang Pengjun, Liu Ying. Universal circuits theory for binary, multiple-value and adiabatic circuits. *Acta Electronica Sinica*, 2003, 31(2): 303 (in Chinese) [方振贤, 汪鹏君, 刘莹. 二值、多值和绝热电路通用的电路理论. *电子学报*, 2003, 31(2): 303]

Memory Property of a Feedback ECL Memory-Gate and ECL Shifting Counter*

Liu Ying^{1,†}, Fang Qian², and Fang Zhenxian¹

(1 College of Electronic Engineering, Heilongjiang University, Harbin 150080, China)

(2 College of Electronic and Information Engineering, Tongji University, Shanghai 201804, China)

Abstract: By mathematical proof, we identify a modified feedback emitter-coupled logic (MFECL) gate with an ECL memory-gate or D latch, because the MFECL gate is able to keep steady either of two states. Then we present a D master-slave flip-flop that consists of two ECL memory-gates. On the basis of the above theory, a five-carry shifting counter is designed using such D master-slave flip-flops. The above theory and circuits are verified through computer simulation.

Key words: memory property of feedback ECL memory-gate; D latch; D master-slave flip-flop; five-carry shifting counter
PACC: 0660J

Article ID: 0253-4177(2006)12-2184-06

* Project supported by the Key Research Fund for Electronic Engineering of Heilongjiang Province (No. ZDDZ2006-10) and the Key Technologies Research and Development Program of Heilongjiang Province (No. GC02A121)

† Corresponding author. Email: yingliu4808@sina.com

Received 24 February 2006, revised manuscript received 25 July 2005

©2006 Chinese Institute of Electronics