

# 宽带低相位噪声锁相环型频率合成器的 CMOS 实现

陈作添<sup>†</sup> 吴 炬 唐守龙 吴建辉

(东南大学国家专用集成电路系统工程技术研究中心, 南京 210096)

**摘要:** 用 0.25 $\mu\text{m}$  标准 CMOS 工艺实现了单次变频数字有线电视调谐器中的频率合成器. 它集成了频率合成器中除 LC 调谐网络和有源滤波器外的其他模块. 采用 I<sup>2</sup>C 控制三个波段的 VCO 相互切换, 片内自动幅度控制电路和用于提升调谐电压的片外三阶有源滤波器, 实现 VCO 的宽范围稳定输出. 改进逻辑结构的双模 16/17 预分频器提高了电路工作速度. 基于环路的行为级模型, 对环路参数设计及环路性能评估进行了深入的讨论. 流片测试结果表明, 该频率合成器的锁定范围为 75~830MHz, 全波段内在偏离中心频率 10kHz 处的相位噪声可以达到 -90.46dBc/Hz, 100kHz 处的相位噪声为 -115dBc/Hz, 参考频率附近杂散小于 -90dBc.

**关键词:** 频率合成器; 相位噪声; 锁相环; 压控振荡器; 预分频器

EEACC: 2570D

中图分类号: TN74

文献标识码: A

文章编号: 0253-4177(2006)10-1838-06

## 1 引言

数字电视具有十分庞大的市场容量, 数字电视调谐器是数字电视接收机的前级部件, 在数字电视技术中占有十分重要的地位. 目前很多电视调谐器都采用单次变频架构, 其工作原理是将 VHF 和 UHF 频段的电视信号经过单次变频降为 36MHz, 然后进行模/数转换、解调、解码等. 本文所设计频率合成器就是为单次变频数字有线电视 (DVB-C) 调谐器提供高频谱纯度的本振信号. 由 DVB-C QAM 解调要求, 本振信号频率步长为 62.5kHz, 相位噪声需低于 -85dBc/Hz@10kHz. 虽然已经有不少成熟的这类芯片, 但是它们都是基于双极工艺. 本文采用 0.25 $\mu\text{m}$  标准 CMOS 工艺实现了该频率合成器.

第 2 部分介绍了频率合成器的总体结构和主要特征. 第 3 部分对频率合成器中一些重要模块进行了设计, VCO 和预分频器是模块设计的重点, 同时由于 PFD/CP 对带内相位噪声和杂散影响重大, 本文也对此进行了分析. 第 4 部分讨论了环路参数的设计及性能仿真评估. 第 5 部分给出了芯片测试结果及分析比较. 第 6 部分对所做工作进行了总结, 并给出了全文的结论.

## 2 频率合成器总体结构

频率合成器总体结构如图 1 所示. 根据所需合成的频率范围, 由平衡式低阻抗 4MHz 的晶体振荡器经参考分频比为 64 分频后可得参考频率 62.5kHz, 主分频器由 16/17 双模预分频器与 11 位

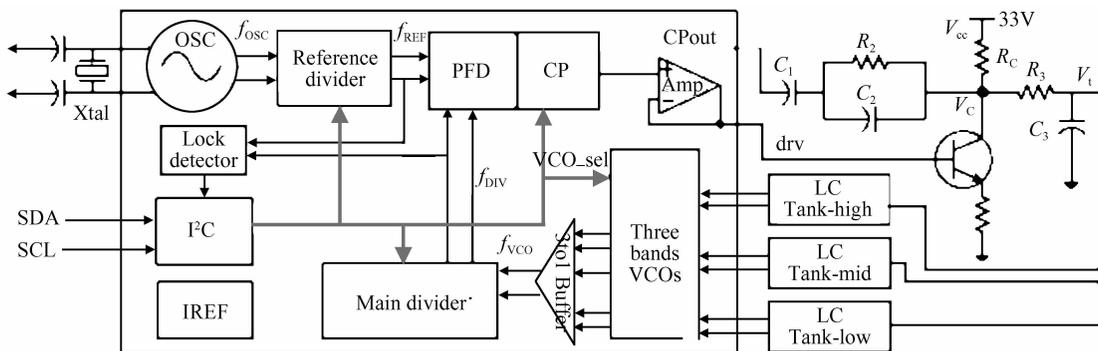


图 1 锁相环型频率合成器的总体结构

Fig.1 Block diagram of the PLL frequency synthesizer

<sup>†</sup> 通信作者. Email: chenzuotian@sina.com  
2006-03-12 收到, 2006-04-11 定稿

可编程计数器及 4 位吞咽计数器组成,其分频比范围为 256~32767. 根据所需接收射频输入信号频率,调谐系统自动切换 I<sup>2</sup>C 中 VCO 波段选择控制字,控制三波段 VCO 相互切换,并通过三到一缓冲器输出信号给主分频器. 片外有源滤波器提升调谐电压,实现 VCO 的宽范围调谐. 为了实现全波段相位噪声的最优化和补偿环路增益在不同频率下的变化,通过 I<sup>2</sup>C 的三位控制字控制电荷泵产生 60~600 $\mu$ A 的 8 组电流输出. 参考电流源 IREF 为各模块提供高电源电压稳定性与高温稳定性的参考电流.

### 3 PLL 组成模块

#### 3.1 VCO

VCO 结构框图如图 2(a) 所示,它由三个结构相同的 VCO 及 AAC<sup>[1]</sup> 电路组成,图 2(b) 是任一波段 VCO 核心电路及片外谐振网络. 工作时任一时刻,图 2(a) 中 VCO 波段选择控制字 L\_sel, M\_sel, H\_sel 只有一个有效,对应图 2(b) 中 VCO\_sel 为高电平,共接尾电流流向该波段核心电路,产生振荡输出,而其他两个波段由于尾电流开关管 PM0 关断不产生振荡输出. 在宽带 LC VCO 的设计中,由于谐振网络的 Q 值随频率的改变有较大的变化,为使其在整个带宽范围内保持稳定的幅度输出,需要通过调整 VCO 的工作电流以补偿谐振网络 Q 值的变化对振荡幅度的影响. 本文 AAC 电路实现了这一目的. 幅度检测电路检测压控振荡器输出信号的摆幅,并输出一个对应其大小的直流电平 V<sub>amp</sub>. 通过两个比较器、与非门、或非门,当 V<sub>amp</sub> 大于 V<sub>reth</sub> 时, Up 和 Dn 均为高电平,电荷泵对片外大电容 C<sub>3</sub> 放电;当 V<sub>amp</sub> 小于 V<sub>refl</sub> 时, Up 和 Dn 输出均为低电平,电荷泵对 C<sub>3</sub> 充电;而当 AAC 环路稳定时, V<sub>amp</sub> 在 V<sub>reth</sub> 和 V<sub>refl</sub> 之间, Up 为高电平, Dn 为低电平,电荷泵输出高阻, VCO 偏置电压完全由 C<sub>3</sub> 上的电荷量决定, AAC 环路对 VCO 偏置电压噪声没有贡献,因此该 VCO 具有更低的相位噪声. 其中 V<sub>reth</sub> 略高于 V<sub>refl</sub>. 此外 AAC 环路通过得到稳定的幅度输出,抑制了幅度噪声向相位噪声的转化.

图 2(b) 所示 VCO 核心电路,采用平衡 CMOS 互补交叉耦合结构<sup>[2]</sup>. 当工作在电流限制区时,这种结构较单 MOS 型结构在同样工作电流和谐振网络的前提下,摆幅是单 MOS 型 VCO 摆幅的两倍,同时提供更高的跨导,使交叉耦合管具有更快的切换速度. 通过设计 n, p 两种管子的宽长比为 1:2,使输出波形趋于对称,抑制了闪烁噪声对相位噪声的影响. 采用长沟道的 pMOS 管提供尾电流,尾电流管漏端结点 A 处 10pF 电容滤除该点处的二次倍频

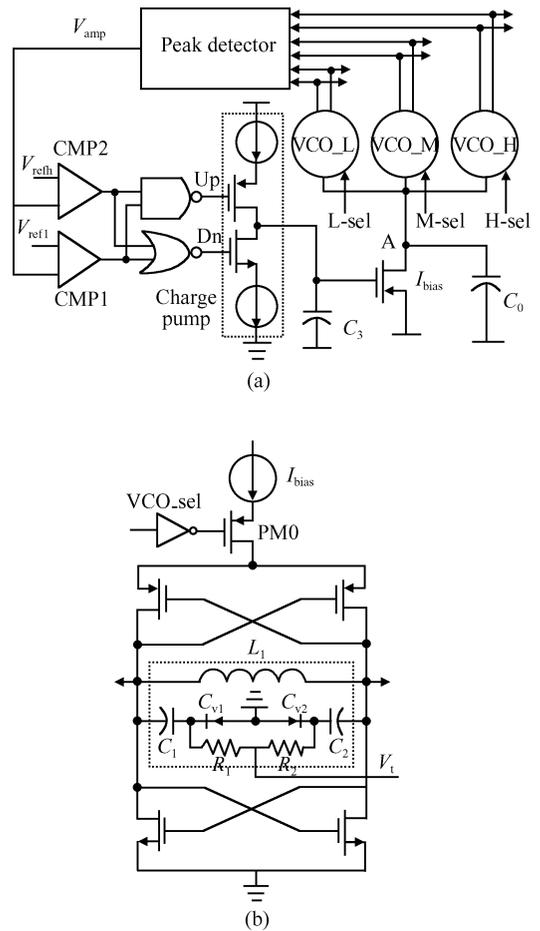


图 2 (a) 三波段 VCO 及自动幅度控制电路框图; (b) 任一波段 VCO 核心电路及片外谐振网络  
Fig.2 (a) Three bands VCO with AAC circuit; (b) One of the VCO core schematic and LC tank

信号,从而减小尾电流管噪声对相位噪声的影响. 考虑到相对低频下的宽范围调谐,集成 LC 网络很困难,且片外电感 Q 值较高,可提高 VCO 相位噪声,本文三波段调谐网络均放在片外,如图 2(b) 所示. C<sub>1</sub> 和 C<sub>2</sub> 各为 4.7nF 的隔直电容,防止 V<sub>i</sub> 上的高电压降到芯片的管脚上;电阻 R<sub>1</sub>, R<sub>2</sub> 各为 10k $\Omega$  的高电阻,防止变容二极管 C<sub>v1</sub>, C<sub>v2</sub> 两端短接. 根据振荡频率要求, L<sub>1</sub> 在高、中、低三个波段的电感值分别选择为 10, 39 和 286nH, 变容二极管 C<sub>v1</sub>, C<sub>v2</sub> 均选择 BB659C, 其电容变化范围约为 3~40pF.

#### 3.2 双模预分频器

常规 16/17 双模预分频器如图 3 所示. 它由同步上升沿触发 4/5 双模分频器、异步上升沿触发除 4 分频器和逻辑控制三部分组成. 图 4(a) 给出了常规结构 5 分频状态附近的时序图,其关键路径是在 T<sub>0</sub> 时刻 CLK 上升沿到来后,要求在下一个 CLK 上升沿 T<sub>2</sub> 到来之前 t<sub>su2</sub> (触发器建立时间) 时间内, OR2OUT 由高变为低,以使 T<sub>2</sub> 上升沿后, Q2 正确

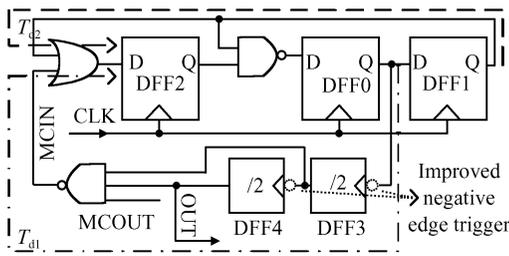


图 3 双模 16/17 预分频器框图  
Fig. 3 Dual-modulus prescaler

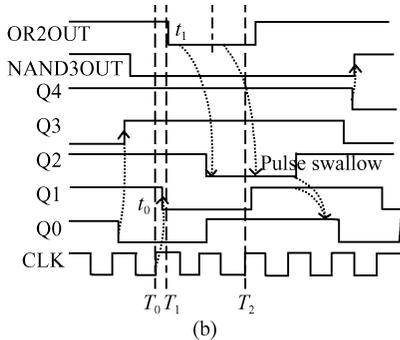
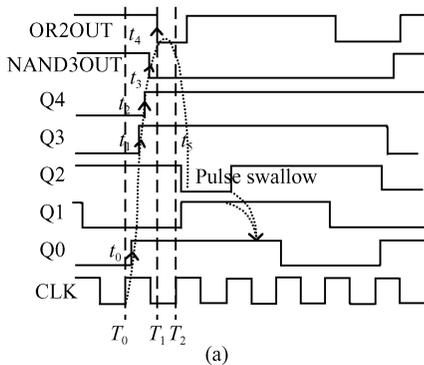


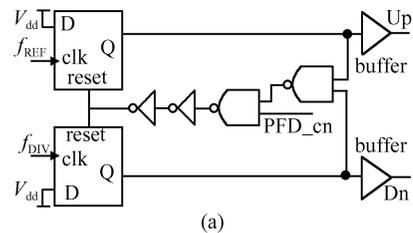
图 4 (a) 常规结构在 5 分频状态附近时序图; (b) 改进结构在 5 分频状态附近时序图  
Fig. 4 (a) Timing diagram of conventional structure around pulse-swallow signal; (b) Timing diagram of improved structure around pulse-swallow signal

采样 OR2OUT, 而产生吞脉冲信号, 完成 5 分频, 其中经历的延迟时间  $T_{d1} = t_0 + t_1 + t_2 + t_3 + t_4$ . 在此过程中, 要求 Q4Q3 状态组合从 00 变为 11, 这大大限制了 17 分频时分频器的输入频率. 为了消除异步除 4 电路反馈对关键路径的限制, 本文同步分频器采用上升沿触发, 而异步分频器采用下降沿触发, 见图 3 标示. 从图 4(b) 的时序图可以看出, 这种结构产生 Q2 吞脉冲信号所需的 OR2OUT 低电平状态在  $T_2$  上升沿之前一个上升沿就已经存在, 所以吞脉冲信号的产生不再是逻辑的关键路径. 分析得知, 改进结构的关键路径是  $T_0$  时刻上升沿到来时, Q1 状态由高变低, 进而使 OR2OUT 由高变低, 以使下

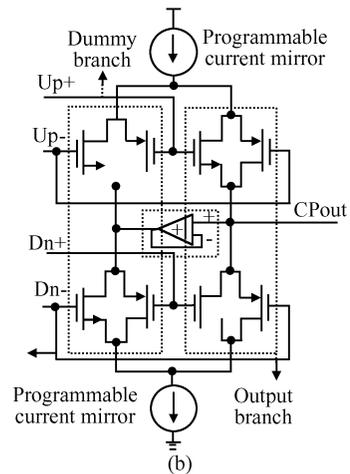
一时钟上升沿到来时, Q2 正确采样 OR2OUT, 而由高变低. 在这一过程中, 与异步分频器状态变化无关, 其经历的延迟时间仅为  $T_{d2} = t_0 + t_1$ , 大大减小了最小输入时钟周期, 提高了 17 分频时的最高输入频率, 达到与 16 分频时的速度相当. 单元电路采用全差分 CMOS SCL 结构<sup>[3]</sup>, 在同步电路中将二输入与非门(或门)和主锁存器做了集成, 以减小电路功耗和提高速度.

### 3.3 PFD/CP

PFD 以全差分 SCL<sup>[3]</sup> D 触发器为基础, 如图 5 (a) 所示. 通过由两级反相器延迟组成的复位延迟单元, 避免了 PFD 的“死区”问题, 同时考虑了尽量减小锁定状态下 CP 输出电流支路的上下导通时间, 以减小 CP 输出电流噪声. 最后所设计的 PFD/CP 在锁定状态下复位重合脉冲时间为 4.1 ns. CP 电路如图 5(b) 所示<sup>[4]</sup>, 其中伪电流支路及在伪电流支路与 CP 输出电流支路之间跨接的电压跟随器保证了在任何情况下电流镜本身都是导通的, 消除了控制电压开关所引起的电流镜漏端电压的变化, 减小电荷注入、共享引起的毛刺. 最后有源滤波器的设计为 CP 输出提供了一个最佳的输出电压范围, 在此输出电压范围内, CP 上下两路输出电流失配最小. 通过  $I^2C$  控制电流镜参考电流支路数, 使 CP 输出电流可编程.



(a)



(b)

图 5 (a) 鉴频鉴相器电路框图; (b) 电荷泵电路图  
Fig. 5 (a) Schematic of PFD; (b) Schematic of charge pump

### 4 环路参数设计及性能仿真评估

图 6(a) 所示为环路线性时不变相位域模型<sup>[5]</sup>, 除了环路滤波器采用晶体管级模型外, 其他模块都是 Verilog-A 描述的带相位噪声的相位域模型, 其中  $I_{CP}$  为电荷泵电流,  $K_{VCO}$  为 VCO 的调谐系数,  $N$  为主分频器分频比,  $M$  为参考分频比. 在用 spectreRF 单独提取各个模块相位噪声的基础上, 锁相环等效带内相位噪声平台如(1)式所示:

$$\phi_{bandin}^2(f_m) = N^2(\phi_{fdn}^2(f_m) + \phi_{fdm}^2(f_m) + \phi_{in}^2(f_m)/M^2 + i_{det}^2(f_m)/(I_{CP}/2\pi)^2) \quad (1)$$

选取环路带宽  $f_c$ , 使得  $\phi_{bandin}^2(f_c) = \phi_{VCO}^2(f_c)$ , 在此条件下可以保证锁相环均方根相位误差最小. 同时, 在各个波段内根据  $K_{VCO}$  与  $N$  值变化配置合适的 CP 电流值, 以补偿环路增益的变化. 据此可进一步获得滤波器参数<sup>[6]</sup>. 本文设计环路带宽约为 1kHz, 相位裕度约为  $60^\circ$ , 环路滤波器各元件的数值为:  $R_1 = 22k\Omega$ ,  $C_1 = 33nF$ ,  $C_2 = 0.8nF$ ,  $R_3 = 1k\Omega$ ,  $C_3 = 17nF$ . 图 6(b) 给出了仿真所得闭环 VCO 输出单边带相位噪声谱密度及各部分噪声源对输出相位噪声的贡献, 可见, 带内噪声平台主要由除 VCO 及环路滤波器外其他各模块所贡献, 而带外噪声则主要是 VCO 所贡献.

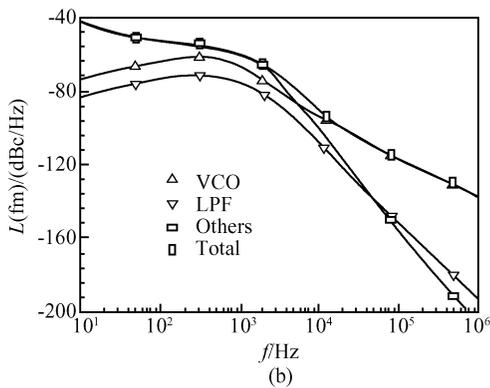
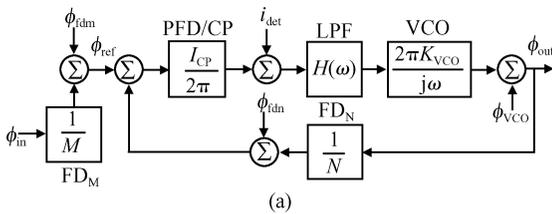


图 6 (a) 带噪声源的频率合成器相位域模型; (b) 单边带相位噪声功率谱密度及各部分噪声源对输出相位噪声的贡献图  
Fig.6 (a) Phase-domain model of the synthesizer with representative noise sources added; (b) SSB phase noise power density depicting the contribution from the different phase noise sources

对环路锁定过程中的动态特性和锁定后的杂散, 本文用时域模型进行了评估. 由于 PFD/CP 的非理想因素对环路的瞬态特性及杂散影响较大, 模型中 PFD/CP 及环路滤波器采用晶体管级模型, 而其他模块则是时域的 Verilog-A 模型. 为加快仿真速度, 将分频器和 VCO 做了集成, 改变 VCO 模型中输出频率  $f_{VCO}$  为  $f_{VCO}/N$ , 以包含分频比信息, 仿真时间由十几个小时缩短到了不足两小时. 集成分频器的 VCO Verilog-A 模型用三次多项式拟合了各波段控制电压与 VCO 输出频率的非线性, 同时描述了分频器输出的延迟时间、上升、下降沿时间等非理想因素. 图 7 给出了从 0 时刻任意频率锁定到 210MHz, 然后再从 210MHz 切换到 420MHz 的锁定过程中 VCO 控制电压波形, 其切换时间小于 4ms. 进一步分析锁定状态下控制电压随参考频率的周期波动图, 对其进行傅里叶分析可获取环路杂散信息.

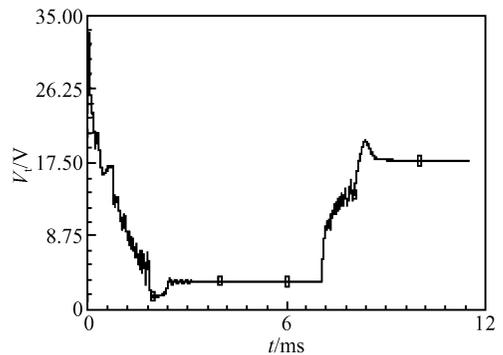


图 7 VCO 控制电压瞬态响应波形  
Fig.7 Transient response of control voltage

### 5 测试结果与分析

图 8 给出了芯片照片, 其中还集成了其他一些射频模块, 如混频器等及测试电路. 芯片总面积为  $2.0mm \times 2.0mm$ , 其中频率合成器部分占面积约为  $2.0mm \times 0.8mm$ . 图 9 给出了测试所得 VCO 三波段调谐电压曲线, 可见三波段频率范围分别是低波段 75~220MHz, 中波段 210~480MHz, 高波段 470~830MHz. 图 10(a) 为锁相环锁定 800MHz 时的频谱分析仪测试 VCO 输出频谱. 图 10(b) 是图 10(a) 输出经 12800 分频后的示波器测试波形, 可读出频率为 62.5kHz. 图 11 给出了锁定状态下用 Agilent E4402B 频谱分析仪测到的输出信号的相位噪声曲线(输出频率为 460MHz). 当偏离中心频率 10 及 100kHz 时, 其相位噪声分别为  $-90.46$  和  $-115dBc/Hz$ , 而在参考频率(62.5kHz)处的杂散小于  $-95dBc$ . 整个频率合成器消耗的总电流为

16.2mA,其中VCO核心电路约2.8mA,VCO的三到一输出缓冲器约3mA,双模预分频器约3.3mA,PFD/CP约2.1mA,其他电路加起来约5mA.表1对本文所设计的频率合成器的性能进行了总结并与

其他的芯片报道进行了比较,由此可以看出,在综合比较工艺、芯片面积及功耗的情况下,本文所设计频率合成器在频率覆盖范围、相位噪声和杂散抑制等性能上具有优越性.

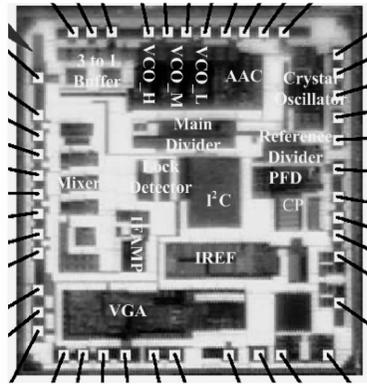


图 8 芯片照片

Fig.8 Photograph of the die

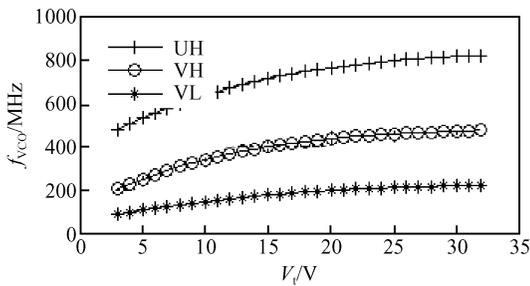
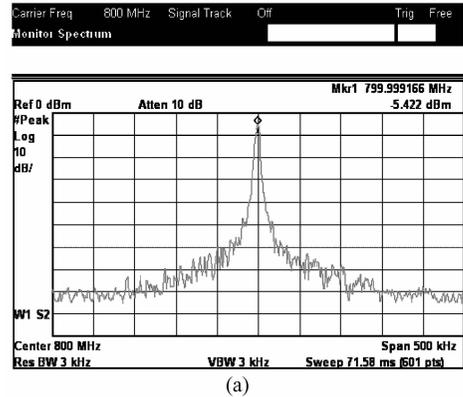
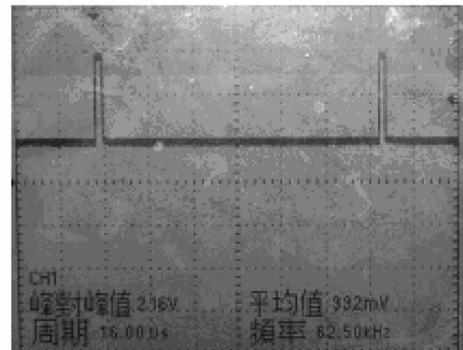


图 9 VCO 调谐电压曲线

Fig.9 Tuning curve of the VCO



(a)



(b)

图 10 (a)锁相环 800MHz 处输出频谱;(b)分频器测试输出波形

Fig.10 (a) Output spectrum of the PLL at 800MHz; (b) Waveform of divider output

表 1 频率合成器性能总结及比较

Table 1 Summary of the frequency synthesizer performance and comparison

参考文献	工艺	电源电压 /V	消耗电流 /mA	芯片面积 /mm <sup>2</sup>	频率范围 /MHz	10kHz 时的相位噪声 /(dBc/Hz)	100kHz 时的相位噪声 /(dBc/Hz)	参考频率时的杂散/dBc
[7]	0.5 $\mu$ m CMOS	3.3	13	3.2	865~1005	-82	-104	-73.5
[8]	0.6 $\mu$ m CMOS	3	2.3	缺	821~1000	缺	-102	-55
[9]	0.25 $\mu$ m CMOS	2.7	48	1.9 $\times$ 1.9	1.82~1.96	-60	-119.25@25MHz	缺
[10]	0.35 $\mu$ m BiCMOS	3	34.4	缺	1460~1880	-84	-90	缺
[11]	0.35 $\mu$ m CMOS	2.7	5.4	1.2 $\times$ 0.43	850~1150	-89	-116	缺
[12]	0.18 $\mu$ m CMOS	3.3	0.1~2.1	1 $\times$ 1.5	33~111	缺	-110	缺
本文	0.25 $\mu$ m CMOS	3.3	16.2	2.0 $\times$ 0.8	75~830	-90	-115	-90

注:参考文献[11,12]为单纯 LC VCO 数据

## 6 结论

本文采用 0.25 $\mu$ m CMOS 工艺实现了单次变频数字有线电视调谐器中的频率合成器.单片集成了锁相环频率合成器中除压控振荡器 LC 调谐网络和环路滤波器外的其他模块.该频率合成器采用 VCO 自

动稳幅机制、有源滤波器及可编程电荷泵电流实现了环路宽频带的锁定.改进的预分频器逻辑结构提高了分频器的最高工作速度.快速而准确的环路系统仿真验证平台的搭建为环路参数的设计与性能的提高提供了可靠的保证.测试结果表明,该频率合成器能够为系统提供宽频带、高频谱纯度的本振信号.

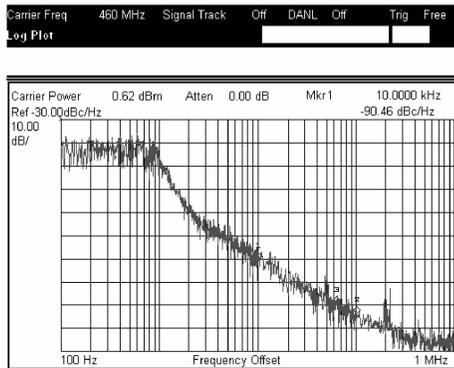


图 11 频率合成器相位噪声曲线 ( $f = 460\text{MHz}$ )

Fig. 11 Phase noise curve of the frequency synthesizer ( $f = 460\text{MHz}$ )

## 参考文献

- [ 1 ] Wu Xuan, Sun Wen, Chen Zuotian, et al. A low noise CMOS wideband PLL with a new AAC LC-VCO. 6th International Conference on ASIC Proceedings, 2005; 556
- [ 2 ] Hajimiri A, Lee T H. Design issues in CMOS differential LC oscillators. IEEE J Solid-State Circuits, 1999 34(5): 717
- [ 3 ] Mizuno M, Yamashina M, Furuta K. A GHz MOS adaptive pipeline technique using MOS current-mode logic. IEEE J Solid-State Circuits, 1996, 31(6): 784
- [ 4 ] De Muer B, Steyaert M. CMOS fractional-N synthesizers design for high spectral purity and monolithic integration. Netherlands; Kluwer Academic Publishers, 2003
- [ 5 ] <http://www.designers-guide.org/Analysis/PLLnoise+jitter.pdf>
- [ 6 ] <http://www.national.com/appinfo/wireless/files/deans-book4.pdf>
- [ 7 ] Park B H, Allen P E. A 1GHz, low-phase-noise CMOS frequency synthesizer with integrated LC VCO for wireless communications. Custom Integrated Circuits Conference, 1998; 567
- [ 8 ] Lin T H, Kaiser W J. A 900-MHz 2.5-mA CMOS frequency synthesizer with an automatic sc tuning loop. IEEE J Solid-State Circuits, 2001, 36(3): 424
- [ 9 ] Chi Baoyong, Shi Bingxue, Wang Zhihua. CMOS implementation of RF PLL frequency synthesizer. Acta Electronica Sinica, 2004, 32(11): 1761 (in Chinese) [池保勇, 石秉学, 王志华. 射频锁相环型频率合成器的 CMOS 实现. 电子学报, 2004, 32(11): 1761]
- [ 10 ] De Foucauld E, Billiot G, Mounet C. A BiCMOS upconverter with 1.9GHz multiband frequency synthesizer for DVB-RCT application. Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting, 2005; 244
- [ 11 ] Ryu S, Chung Y, Kim H, et al. Phase noise optimization of CMOS VCO through harmonic tuning. IEEE Radio Frequency Integrated Circuits Symposium, 2005; 403
- [ 12 ] Ning Yanqing, Wang Zhihua, Chen Hongyi. An ultra wideband VHF CMOS LC VCO. Chinese Journal of Semiconductors, 2006, 27(1): 14

## CMOS Implementation of a Wideband Low Phase Noise PLL Frequency Synthesizer

Chen Zuotian<sup>†</sup>, Wu Xuan, Tang Shoulong, and Wu Jianhui

(National Engineering Research Center for Application-Specific Integrated Circuit Systems, Southeast University, Nanjing 210096, China)

**Abstract:** A prototype PLL frequency synthesizer for a single-conversion digital cable TV tuner is integrated in a standard  $0.25\mu\text{m}$  CMOS process, except for the LC tanks and active loop filter. Three-band VCOs with AAC (auto-amplitude control) circuit switches controlled by  $I^2C$  provide a wideband amplitude stable output. A third order active loop filter is used to boost the tuning voltage. A 16/17 dual-modulus prescaler with an improved logic structure increases the speed. With the help of the system-behavior model of the loop, the design of the loop parameters and the evaluation of the frequency synthesizer are discussed in depth. The measurements results show that the locked range of the frequency synthesizer is 75 to 830MHz, the phase noise in the locked band can reach  $-90.46\text{dBc/Hz}$  at a 10kHz offset and  $-115\text{dBc/Hz}$  at a 100kHz offset. The spurious signal near the reference frequency is less than  $-90\text{dB}$ .

**Key words:** frequency synthesizer; phase noise; phase-locked loop; VCO; prescaler  
EEACC: 2570D

**Article ID:** 0253-4177(2006)10-1838-06

<sup>†</sup> Corresponding author. Email: chenzuotian@sina.com

Received 12 March 2006, revised manuscript received 11 April 2006