

一种采用共栅频率补偿的轨到轨输入/输出放大器

王为之[†] 靳东明

(清华大学微电子学研究所, 北京 100084)

摘要: 提出了一种采用共栅频率补偿的轨到轨输入/输出放大器, 与传统的 Miller 补偿相比, 该放大器不仅可以消除相平面右边的低频零点, 减少频率补偿所需要的电容, 还可获得较高的单位增益带宽. 所提出的放大器通过 CSMC 0.6 μ m CMOS 数模混合工艺进行了仿真设计和流片测试: 当供电电压为 5V, 偏置电流为 20 μ A, 负载电容为 10pF 时, 其功耗为 1.34mW, 单位增益带宽为 25MHz; 当该放大器作为缓冲器, 供电电压为 3V, 负载电容为 150pF, 输入 2.66V_{pp} 10kHz 正弦信号时, 总谐波失真 THD 为 -51.6dB.

关键词: 轨到轨; 缓冲级; 放大器; CMOS

EEACC: 1220; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2006)11-2025-04

1 引言

随着供电电压的降低, 为得到足够的信噪比, 要求放大器的输入级能够处理轨到轨的共模输入电压, 这可以采用互补差分输入对来实现. 这样的输入级再加上 class-AB 输出级就构成了轨到轨输入/输出电压的放大器^[1~3]. 这种放大器具备较强的驱动能力, 可以作为模拟电路的输出缓冲器. 通常的轨到轨放大器是多级放大器, 需要两个(或两个以上)电容作为 Miller 补偿以提供足够的相位裕度^[1,4]. 这不仅会占用大量的面积, 也限制了单位增益带宽; 而且, 当多级放大器作为输出缓冲器时, 电路的稳定性还容易随负载电容大小的变化而改变, 产生震荡^[5].

本文提出了一种采用共栅(common-gate)频率补偿的轨到轨输入/输出放大器, 与传统的 Miller 补偿相比, 该放大器不仅可以消除相平面右边的低频零点, 而且只需一个补偿电容, 从而可以获得较高的单位增益带宽; 当它用作缓冲器时, 其稳定性随负载电容大小的变化也都有所改善.

2 电路结构和原理

图 1(a)是本文提出的轨到轨输入/输出放大器的电路图. 它由三个部分构成: 轨到轨互补差分输入对(M1~M4), 电流求和电路(M5~M12), class-AB 输出级(M13~M24), 和共栅补偿电路(M25, M26 和 C_c).

该电路的最小工作电压由轨到轨互补差分输入

级决定:

$$V_{SUP, min} = |V_{GSP}| + V_{GSN} + 2V_{DSAT} \quad (1)$$

其中 V_{GSN} 和 V_{GSP} 分别是 nMOS 输入对(M1, M2) 和 pMOS 输入对(M3, M4)的栅源电压; V_{DSAT} 是经过尾电流源(M27, M28)的饱和压降. M15 和 M16 的源漏电压差用来控制 class-AB 输出级 M23 和 M24, 其偏压分别由接成二极管形式的晶体管 M17~M20 和偏置电流 I_B 构成的两条支路提供. 这两条支路所需的供电电压在(1)式所限制的最小工作电压范围内. class-AB 控制电路 M15 和 M16, 偏压支路 M17~M22 和输出电路 M23 和 M24 决定了输出级的静态电流. 电流求和电路由浮动电流源 M13, M14 提供偏置电流, 其结构类似 class-AB 控制电路, 可产生与供电电压无关的静态电流. 传统的 Miller 补偿要求在 M23 和 M24 栅漏两端分别接入两个补偿电容^[1], 其输出极点可简单的表示为(假设 g_{m23} 等于 g_{m24} , C_L 是负载电容):

$$p_{out} = -\frac{g_{m24}}{C_L} \quad (2)$$

$$z_c = \frac{g_{m24}}{C_C + C_{GD24}} \quad (3)$$

由于电容的前馈通路, Miller 补偿引入了一个相平面右侧的零点, 如(3)式所示, 该零点减小了相位裕度, 限制了单位增益带宽; 可以通过在补偿电容一端串联消零电阻或者共栅补偿来消除这个零点, 增大放大器的带宽^[5,6].

针对 class-AB 输出级的特殊结构, 本文采用共享一个补偿电容的共栅频率补偿来阻止通过电容的前馈电流, 并将相平面右侧零点移至高频. 假设只考

[†] 通信作者. Email: wangwz02@mails.tsinghua.edu.cn

2006-03-15 收到, 2006-07-14 定稿

虑图 1(a)中晶体管 M24 所构成的 nMOS 共源输出级, M25 与 M26 以及补偿电容 C_C 构成了共栅补偿级. 该共栅补偿电路允许电流经补偿电容从输出端流向输出级晶体管 M24; 同时, 阻止从第一级放大电路输出端流向输出端的前馈电流. 图 1(b)是上述

情况下简化的小信号模型, 其中 I_{in} 和 R_S 分别表示第一级放大电路的输出电流和输出阻抗, R_L 是负载电阻. 假设沟道长度调制系数 λ 和体效应系数 γ 均等于 0, 通过推导可以得到:

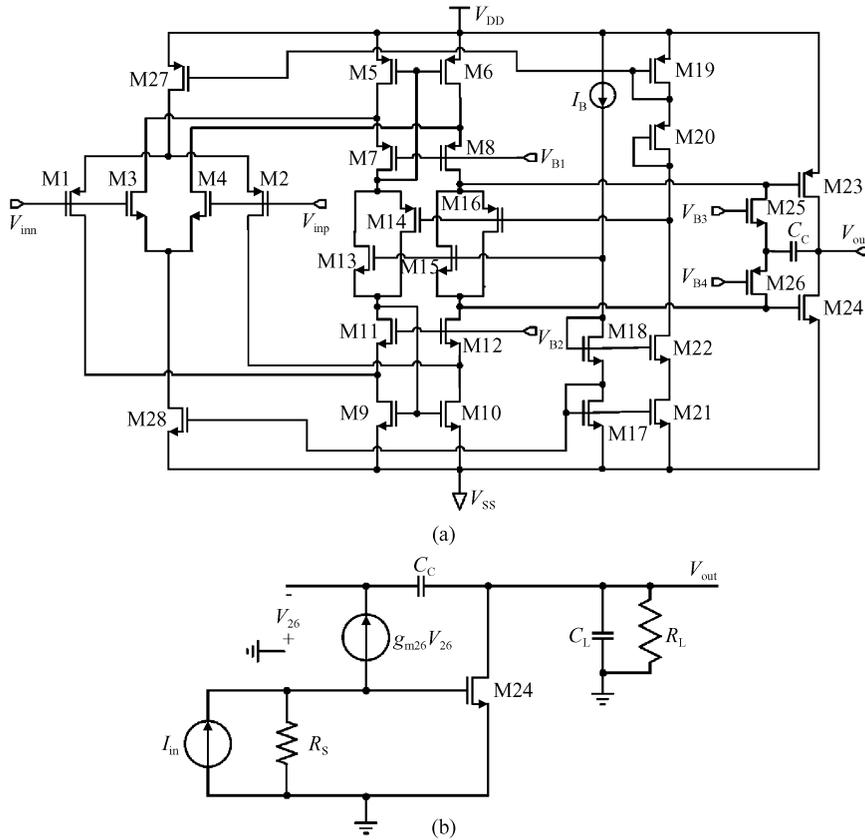


图 1 (a) 轨到轨放大器的电路图; (b) 共栅补偿 nMOS 输出级的小信号简化模型
Fig.1 (a) Rail-to-rail amplifier; (b) Small signal model of nMOS output stage

$$\frac{V_{out}}{I_{in}} = \frac{-g_{m24} R_S R_L (g_{m26} + C_C s)}{R_L C_L C_C s^2 + ((1 + g_{m24} R_S) g_{m26} R_L C_C + C_C + g_{m26} R_L C_L) s + g_{m26}} \quad (4)$$

其中 s 是拉普拉斯算子. (4) 式说明该补偿电路只引入了一个位于相平面左侧的零点:

$$z = -\frac{g_{m26}}{C_C} \quad (5)$$

整个放大器主极点可以近似等于:

$$p_1 = -\frac{1}{g_{m24} R_L R_S C_C} \quad (6)$$

对于较大的 R_L , 输出极点可以近似为:

$$p_2 = -\frac{g_{m26} (1 + R_S g_{m24})}{C_L} - \frac{g_{m26}}{C_C} \quad (7)$$

分析 M23 所构成的 pMOS 共源输出级也可以得到类似的结论, 此时, 共栅补偿电路由 M25 与 C_C 组成. 上述两个共栅补偿电路共享同一个补偿电容, 节省了芯片面积.

(7) 式与 (2) 式相比, 输出极点增大了约 $g_{m26} R_S$

倍, 而且增加 M26 (和 M25) 的跨导还可将此极点移至高频; 因此, 采用较小 C_C 就能实现频率补偿, 获得较高的单位增益带宽. 但是, 增加 g_{m25}, g_{m26} 将会增加 M25 和 M26 的漏电流 I_{D25}, I_{D26} , 减少流经 M15 和 M16 的电流, 从而减小 M15 和 M16 的源漏端的饱和压降 V_{DSAT15}, V_{DSAT16} ; 流经 M23 和 M24 的电流 I_{D23}, I_{D24} 因此增加, 而输出电阻 r_o (近似等于 $1/\lambda I_D$) 减小, 最终放大器的开环增益 A_{VO} 减小. 此外, 增大 g_{m25}, g_{m26} 还会增加等效的输入噪声和放大器的功耗. 所以, g_{m25}, g_{m26} 的设计只需使得两个极点分离到足以满足稳定性所需的相位裕度, 比如大于 60° . M6, M8, M10 和 M12 为共栅补偿电路提供偏置电流. 而因为流经 M25 和 M26 的漏电流总是相等, M25 和 M26 的引入并不会影响放大器总体的失配. 同时 (7) 式也说明采用较小的补偿电容 C_C 还可以减

少负载电容 C_L 的增加对电路频响特性的影响。

3 电路仿真和测试

本文提出的放大器,如图 1(a)所示,利用 CSMC $0.6\mu\text{m}$ CMOS 数模混合工艺模型参数进行了 HSPICE 仿真.图 2(a)是该放大器的频率特性,此时的供电电压为 5V ,偏置电流为 $20\mu\text{A}$,负载电容为 10pF ,频率补偿电容为 2pF .在电路总体结构和晶体管相关参数不变的情况下,本文对传统的 Miller 补偿和带消零电阻的 Miller 补偿也分别进行了仿真和比较,如表 1 所示.其中 CG 表示本文提出的共栅补偿(补偿电容为 2pF),CM 表示传统的 Miller 补偿(两个补偿电容均为 2pF),MZ 表示带消零电阻的 Miller 补偿(两个补偿电容和消零电阻分别为 2pF 和 $25\text{k}\Omega$).此外,表 1 还列举了文献[4]

表 1 HSPICE 仿真结果与其他补偿方法的比较 $V_{DD} = 5\text{V}$, $I_B = 20\mu\text{A}$, $V_{CM} = 2.5\text{V}$, $C_C = 2\text{pF}$, $C_L = 10\text{pF}$

Table 1 Simulation results of the rail-to-rail amplifier

主要性能	CG(本文)	CM	MZ	Ref.[4]
增益 A_{VO}/dB	102	80	80	71
单位增益带宽/ MHz	25	4.8	18	13(sim)
相位裕度/ $^\circ$	62	66	63	73(sim)
共模抑制比/ dB	120	120	120	58
噪声@ $10\text{kHz}/(\text{nV}/\sqrt{\text{Hz}})$	32.5	32.5	32.5	-NA-
功耗/ mW	1.34	1.27	1.27	-NA-
摆率 $+/-/(\text{V}/\mu\text{s})$	9.8/9.6	7.6/7.3	6.9/7.1	10

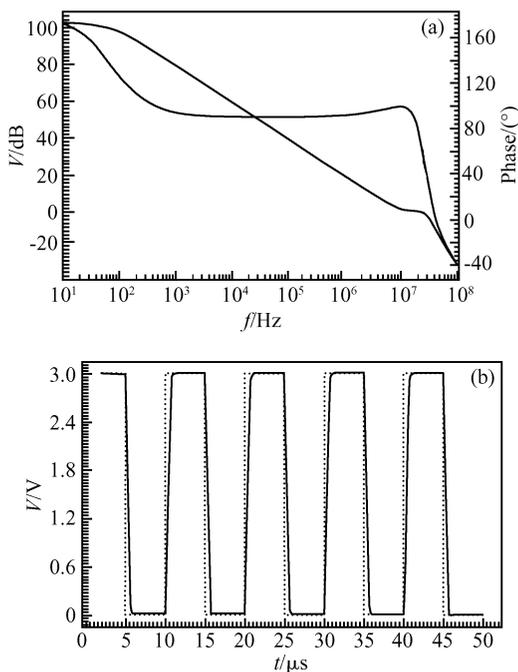


图 2 (a)放大器的频率特性;(b)大信号输入下的瞬态响应特性
Fig.2 (a) Frequency response of the amplifier;(b) Large-signal transient response of the amplifier

中的相关参数(sim 表示原文中该数据为模拟结果,其余为测试结果).通过比较可以看出,相比于传统的 Miller 补偿,本文提出的补偿电路只需要一个电容就能获得足够的相位裕度,并且提高了单位增益带宽.虽然共栅电路的引入增加了电路的功耗,但并没有明显的增大噪声.图 2(b)则显示了当该放大器作为缓冲器时,大信号输入的瞬态特性,此时供电电压为 3V ,偏置电流为 $20\mu\text{A}$,输入信号为 100kHz 轨到轨 ($V_{PP} = 3\text{V}$) 方波,负载电容为 150pF .由图可知,该电路具备较强的驱动能力,并且可以达到轨到轨输入/输出电压范围;放大器的摆率约为 $9.7\text{V}/\mu\text{s}$.当输入 3V_{PP} 10kHz 正弦信号时,仿真得到该放大器的总谐波失真 THD 为 -51.6dB .

图 3 是放大器的芯片显微镜照片,芯片核心面积约为 $0.24\text{mm} \times 0.13\text{mm}$.nMOS 管和 pMOS 管的阈值电压分别为 0.73 和 -1.02V .当供电电压为 3V ,并驱动 10pF 电容负载时,测试得到放大器开环增益约为 83.7dB ,单位增益带宽达到 16MHz ;当放大器作为单位增益缓冲器时,输入 2kHz 2.66V_{PP} 方波,示波器显示的测试输出波形如图 4(a)所示:上方的波形是输入的方波,下方的波形是输出波形;由图可见,所设计的缓冲器基本达到了轨到轨的输入/输出范围(约为 $89\% V_{SUP}$).图 4(b)是输入 1V 正向阶跃信号得到的输出波形,这时的缓冲器转换(slewing)通路为 $M10, M12, M23, M26$ 和 C_C ,转换时间为 210ns ,相应的大信号正摆率约为 $4.8\text{V}/\mu\text{s}$.图 4(c)是输入 1V 负向阶跃信号得到的输出波形,缓冲器转换通路为 $M6, M8, M24, M25$ 和 C_C ,转换时间为 285ns ,相应的大信号负摆率约为 $3.5\text{V}/\mu\text{s}$.由于工艺偏差使得正负摆率偏离仿真值而且不对称,增大输入的偏置电流可以提高放大器的摆率.

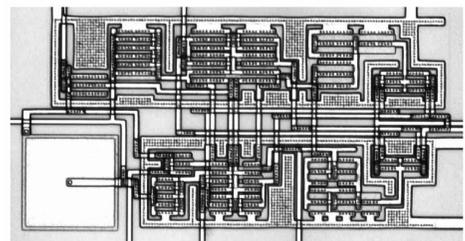


图 3 放大器芯片的显微照片

Fig.3 Microphotograph of the amplifier

4 结论

本文提出了一种采用共栅补偿的两级轨到轨输入/输出放大器.与传统的 Miller 补偿相比,该放大器虽然增加了两个共栅补偿晶体管,但是两个补偿支路共享同一个电容;而且由于集成电路工艺中电

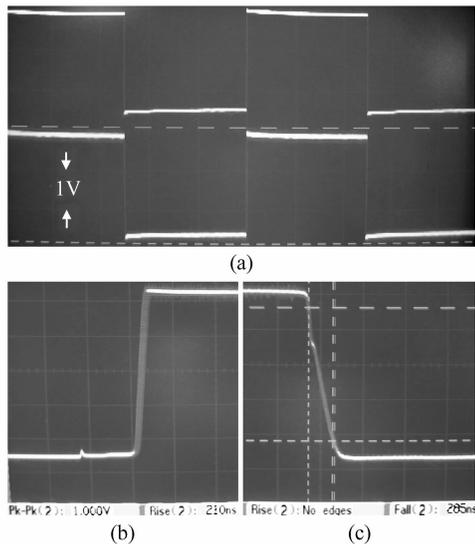


图 4 (a)驱动 10pF 电容负载的输入/输出波形;(b)输入正向阶跃信号的输出波形;(c)输入负向阶跃信号的输出波形

Fig.4 (a) Input/output waveforms driving a capacitive load of 10pF;(b) Output waveform with a positive step signal;(c) Output waveform with a negative step signal

阻、电容面积大、精度差,而晶体管相对比较容易实现,所以这种设计不仅结构紧凑节省了版图面积而且更利于工艺制造.此外,共栅频率补偿消除了 Miller 补偿引入的相平面右边的低频零点,并将输

出极点移至高频,因而只需较小的补偿电容就能获得足够的相位裕度,增大了单位增益带宽.当该放大器作为缓冲器时,随着负载电容的变化,其稳定性也有所改善.相比于其他同类放大器,本文提出的轨到轨输入/输出放大器在 $0.6\mu\text{m}$ 工艺下面积仅有 0.03mm^2 .

参考文献

- [1] Hogervorst R, Tero J P, Eschauzier R G H, et al. A compact power-efficient 3V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries. *IEEE J Solid-State Circuits*, 1994, 29: 1505
- [2] Loikkanen M, Kostamovaara J. Low voltage CMOS power amplifier with rail-to-rail input and output. *Analog Integr Circuits Process*, 2006, 46: 183
- [3] Rincon-Mora G A, Stair R. A low voltage, rail-to-rail, class AB CMOS amplifier with high drive and low output impedance characteristics. *IEEE Trans Circuits Syst II*, 2001, 48: 753
- [4] Bruschi P, Navarrini D, Piotta M. A high current drive CMOS output stage with a tunable quiescent current limiting circuit. *IEEE J Solid-State Circuits*, 2003, 38: 1416
- [5] Razavi B. *Design of analog CMOS integrated circuits*. New York: McGraw-Hill, 2001
- [6] Hurst P J, Lewis S H, Keane J P, et al. Miller compensation using current buffers in fully differential CMOS two-stage operational amplifiers. *IEEE Trans Circuits Syst I*, 2004, 51: 275

A Rail-to-Rail Input/Output Amplifier Using Common-Gate Frequency Compensation

Wang Weizhi[†] and Jin Dongming

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

Abstract: A rail-to-rail input/output CMOS amplifier using common-gate compensation is proposed. The amplifier achieves a unity gain frequency of 25MHz while employing only one compensation capacitor. The power dissipation of the circuit is 1.34mW with a supply voltage of 5V and a biasing current of $20\mu\text{A}$. Using the proposed circuit, a unity gain buffer is also implemented with a supply voltage of 3V and driving a capacitive load of 150pF. A THD of -51.6dB is obtained for a $2.66V_{\text{PP}}$ 10kHz input sine signal. Simulated results reveal a high slew-rate and large driving capability. This amplifier is fabricated in CSMC $0.6\mu\text{m}$ CMOS mixed-signal technology. The test results are also provided.

Key words: rail-to-rail; buffer; amplifier; CMOS

EEACC: 1220; 2570D

Article ID: 0253-4177(2006)11-2025-04

[†] Corresponding author. Email: wangwz02@mails.tsinghua.edu.cn

Received 15 March 2006, revised manuscript received 14 July 2006