

# 1. 244GHz 0.25 $\mu\text{m}$ CMOS 低功耗锁相环

刘永旺<sup>†</sup> 王志功 李 伟

(东南大学射频与光电集成电路研究所, 南京 210096)

**摘要:** 采用 TSMC 公司的标准 0.25 $\mu\text{m}$  CMOS 工艺, 设计并实现了一个全集成的 1.244GHz 低功耗锁相环, 提出了一种锁相环相位噪声的行为级模拟方法. 锁相环的核心功耗仅为 12mW, 输出时钟信号均方抖动为 6.1ps, 单边带相位噪声在 10kHz 频偏处为 -106dBc/Hz.

**关键词:** 锁相环; 鉴频鉴相器; 电荷泵; 压控振荡器

EEACC: 1250; 1265Z

中图分类号: TN911.8

文献标识码: A

文章编号: 0253-4177(2006)12-2190-06

## 1 引言

为适应超大规模集成的发展, 用于片上时钟产生的锁相环, 正在努力实现低功耗设计. 很多适用于低功耗设计的单元电路被提出, 如采用动态逻辑实现鉴频鉴相器<sup>[1,2]</sup>, 以减少晶体管数目; 或采用单端结构实现电荷泵结构<sup>[2~4]</sup>, 以降低静态功耗. 但低功耗设计往往增加噪声性能优化的难度. 文献[3]和[5]中实现的 1.25GHz 低功耗锁相环, 其单边带相位噪声均没有达到 -100dBc/Hz@10kHz 频偏.

噪声性能优化必需一个行之有效的模拟方法. 对于相位噪声分析, 目前研究理论非常多<sup>[6,7]</sup>, 但真正简便有效的计算或模拟方法并不多见. 文献[7]中给出了一种 VCO 相位噪声的模拟方法, 但算法复杂, 且并不适用于整个锁相环. 本文设计提出了一种锁相环相位噪声的行为级模拟方法, 该方法将经典理论与仿真、测试有机结合起来. 通过测试结果与模拟结果的对照, 验证了该方法的有效性.

## 2 电路设计

设计的目标是实现一个低功耗的 1.244GHz 全集成锁相环, 所有器件包括环路滤波器全部集成在片内. 单边带相位噪声的优化目标为: 偏离载波频率 10kHz 处达到 -100dBc/Hz 以下.

### 2.1 基于低功耗的设计

低功耗设计主要依靠选用成熟的低功耗单元电路结构. 如图 1 所示, 锁相环包括鉴频鉴相器

(PFD)、电荷泵、环路低通滤波器、压控振荡器 (VCO) 和一个二分频电路. 选择单元电路实现形式的标准是尽量消除静态功耗, 降低动态功耗. 鉴频鉴相器和二分频器, 均采用 TSPC 逻辑予以实现, 电荷泵则采用单端结构实现.

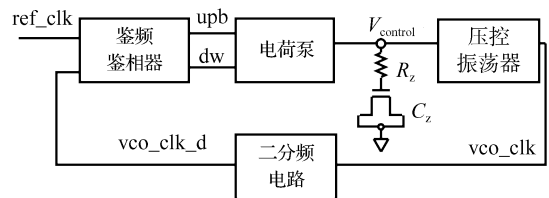


图 1 锁相环电路结构框图  
Fig. 1 Block diagram of PLL

#### 2.1.1 鉴频鉴相器 (PFD)

鉴频鉴相器选用边沿触发的三态电路<sup>[1]</sup>, 如图 2 所示. 其中 D 触发器仅使用 6 只晶体管, 如图 3 所示, 其结构简单, 无静态功耗, 动态功耗很低<sup>[1]</sup>.

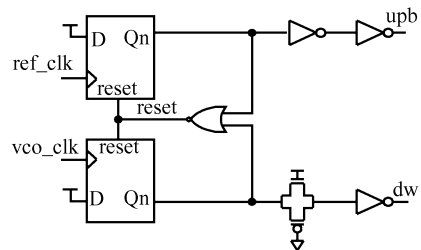


图 2 鉴频鉴相器电路原理图  
Fig. 2 Circuit schematic of PFD

<sup>†</sup> 通信作者. Email: lywang@seu.edu.cn  
2006-03-19 收到, 2006-06-22 定稿

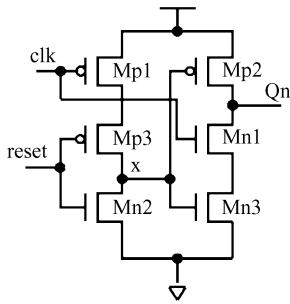


图 3 TSPC 逻辑可复位 D 触发器  
Fig. 3 Circuit schematic of TSPC DFF

2.1.2 电荷泵及环路滤波器

如图 4 所示, 电荷泵的偏置部分存在一定的静态功耗, 该功耗由设计的充/放电电流决定. 为减弱电荷共享的影响, 又避免使用差分结构, 采用增加放电电路的办法<sup>[2]</sup>. 晶体管 Mn6 和 Mp6 即实现此功能.

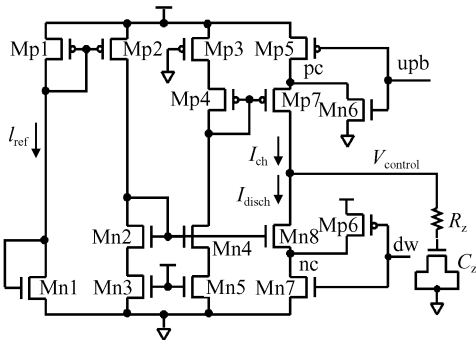


图 4 电荷泵电路原理图  
Fig. 4 Circuit schematic of charge pump

2.1.3 环形压控振荡器 (VCO)

为增强共模噪声抑制能力, 选择了差分结构, 这会引入一定的静态功耗. 如图 5 所示, 压控振荡器由两个 3 级环形振荡器交叉耦合而成<sup>[4]</sup>.

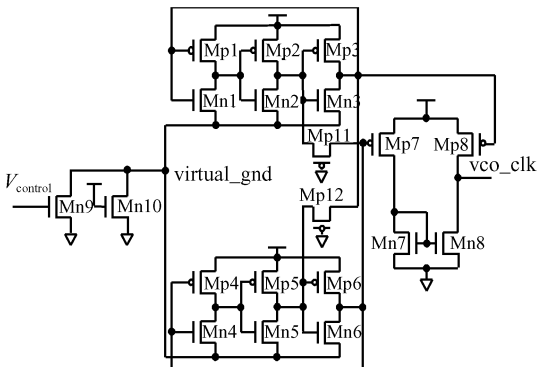


图 5 VCO 电路原理图  
Fig. 5 Circuit schematic of VCO

2.1.4 二分频电路

如图 6 所示, 二分频电路即一个 TSPC 逻辑 T

触发器<sup>[8]</sup>. 相对于静态逻辑或源极耦合逻辑, 该电路无静态功耗. 且其使用的晶体管数目最小, 因而动态功耗低.

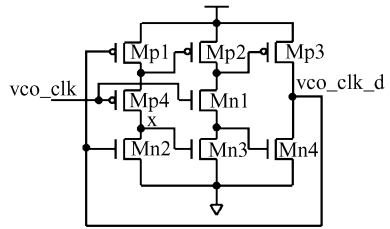


图 6 TSPC 二分频器原理图  
Fig. 6 Circuit schematic of TSPC TFF

2.2 电路关键参数的确定

锁相环是典型的负反馈系统, 其设计的关键参数包括电荷泵充/放电电流、环路滤波器的元件取值、压控振荡器的增益、分频器的分频比. 这些参数直接或间接地决定了诸如环路的稳定性、相位噪声、锁定时间和锁定范围等性能指标.

2.2.1 稳定性分析方法

稳定是锁相环工作的前提. 电荷泵锁相环的开环传递函数为:

$$H_o(s) = \frac{I_{cp}}{2\pi} \times L(s) \times \frac{K_{vco}}{s} \times \frac{1}{N} \quad (1)$$

其中  $I_{cp}$  为电荷泵充/放电电流;  $L(s)$  为环路滤波器传输函数;  $K_{vco}$  为压控振荡器的增益;  $N$  为分频器的分频比. 作出(1)式的幅频响应及相频响应曲线, 可以求得环路的相位裕度, 从而分析锁相环的稳定性.

2.2.2 相位噪声的优化

利用仿真工具如 ADS, Spectre 对锁相环进行电路级的噪声性能模拟, 只能得知最终的噪声性能, 无法得知噪声形成的机制, 因而, 在设计过程中难以起到指导作用. 本设计中使用行为级的模拟方法, 以经典的噪声理论为依据, 辅助以仿真工具以及实际测试, 分别建立锁相环各自的噪声源的模型. 计算出每个噪声源单独作用形成的锁相环输出相位噪声, 叠加得到整个锁相环的相位噪声. 该方法的优势在于, 可以定量的确定出各个单元对锁相环噪声的贡献, 从而对单元电路的优化给出方向性的指导; 同时, 以参考源相位噪声的测试数据为基础建立其噪声模型, 这大大提高了模型的准确性.

将锁相环等效为如图 7 所示的线性模型, 其中各噪声源的模型, 经典理论中有详细的分析<sup>[6]</sup>.

首先, 需要建立各个噪声源的模型  $S_j(\omega)$ . 对 VCO, 根据经典理论, VCO 的噪声模型  $S_{vco}(\omega)$  可等效为<sup>[6]</sup>

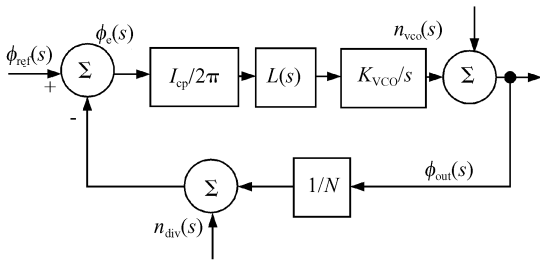


图 7 锁相环相位噪声等效模型

Fig. 7 Equivalent model for the phase noise of PLL

$$S_{VCO}(\omega) = \frac{K_{VCO}^2 N_0}{\omega^2} \left( 1 + \frac{\omega_{1/f}^3}{\omega} \right) + N_1 \quad (2)$$

其中  $\omega$  为相对于载波的频偏量;  $K_{VCO}$  为 VCO 增益, 设计为 1GHz/V. 确定出拐点频率  $\omega_{1/f}$ , 以及  $N_0$  和  $N_1$ , 即可得到具体的计算式. 为确定这三个参数, 由 Spectre 工具对 VCO 进行电路级相位噪声模拟, 得出一组频率点上的相位噪声. 如图 8(a) 所示, 以此仿真数据为基础, 以(2)式为目标公式, 使用 Matlab 工具进行曲线拟合, 得出  $\omega_{1/f} = 5\text{MHz}$ ,  $N_0 = 10^{-17} \text{rad}^2/\text{Hz}$ ,  $N_1 = 10^{-16} \text{rad}^2/\text{Hz}$ .

对分频器, 根据经典理论, 其噪声模型  $S_{DIV}(\omega)$  可等效为<sup>[6]</sup>

$$S_{DIV}(\omega) = N_{DIV} \left( 1 + \frac{\omega_{1/f}}{\omega} \right) \quad (3)$$

其中  $\omega$  为相对于载波的频偏量;  $\omega_{1/f}$  和  $N_{DIV}$  是待确定的参数. 由 Spectre 工具对分频器进行电路级相位噪声模拟, 得出一组频率点上的相位噪声. 如图 8(b) 所示, 以此仿真数据为基础, 以(3)式为目标公式, 使用 Matlab 工具进行曲线拟合, 得出  $\omega_{1/f} = 1\text{MHz}$ ,  $N_{DIV} = 5 \times 10^{-17} \text{rad}^2/\text{Hz}$ .

本次设计的参考时钟来自信号发生器 Advantest D3186. 使用数字频谱分析仪 E4440A, 对 D3186 输出的 622MHz 时钟进行相位噪声测试, 得到频偏 100MHz 以内的相位噪声数据. 使用 Matlab 工具对这组数据进行线性插值, 如图 8(c) 所示, 得到一条曲线  $S_{REF}(\omega)$ , 即作为参考源的相位噪声模型. 由图可见, 信号源的相位噪声在 10kHz 频偏处约为  $-112\text{dBc}/\text{Hz}$ .

得到噪声源模型后, 根据图 8 所示的线性模型, 计算各个噪声源到输出端的传输函数  $G_j(j\omega)$ ,

$$G_{VCO} = \frac{\phi_{out}}{\phi_{VCO}} = \frac{1}{1 + H_0(s)} \quad (4)$$

$$G_{DIV} = \frac{\phi_{out}}{\phi_{DIV}} = -\frac{NH_0(s)}{1 + H_0(s)} \quad (5)$$

$$G_{REF} = \frac{\phi_{out}}{\phi_{REF}} = \frac{NH_0(s)}{1 + H_0(s)} \quad (6)$$

然后, 计算每个噪声源等效到输出端的相位噪声, 如图 8(d) 所示, 三条曲线分别为 VCO、分频器和参考

源的等效输出噪声. 将它们线性叠加, 即得整个锁相环的相位噪声.

$$S_{out}(\omega) = \sum_j |G_j(j\omega)|^2 S_j(\omega) \quad (7)$$

其中  $S_j(\omega)$  为每个噪声源的数学模型;  $G_j(j\omega)$  为该噪声源到输出端的传输函数.

由图 8(d) 可见, 频偏 10kHz 处, 参考源贡献的噪声最大, 为  $-108\text{dBc}/\text{Hz}$ , VCO 贡献的噪声为  $-136\text{dBc}/\text{Hz}$ , 分频器贡献的噪声为  $-138\text{dBc}/\text{Hz}$ . 因此, 进一步优化需降低参考源噪声的影响, 这需要合理的降低环路带宽, 可以通过适当增加环路滤波器的电容器件值来实现. 另外, 在频偏 15MHz 以上, VCO 对输出端的噪声贡献最大, 进一步优化要求降低 VCO 单元自身的相位噪声. 单元电路改进后, 需要重复上述模拟过程. 如此反复, 直到总的输出相位噪声满足设计目标.

图 8(e) 给出了本设计最终优化结果, 总的相位噪声在 10kHz 频偏处约为  $-109\text{dBc}/\text{Hz}$ . 4.2 节将对该模拟结果与测试结果进行比较.

### 2.2.3 确定锁相环的几个关键参数

锁相环的几个关键参数的确定, 还应考虑到单片集成的要求, 避免环路滤波器中使用取值过大的阻容元件. 综合考虑稳定性及噪声性能, 通过上述优化过程, 电荷泵充/放电电流大小设计为  $80\mu\text{A}$ , 低通滤波器采用 RC 串联形式, 电阻值设计为  $2\text{k}\Omega$ , 电容值为  $40\text{pF}$ , 将 VCO 增益设计为 1GHz/V. 在这组参数下, 环路带宽约 13MHz, 相位裕度约  $70^\circ$ .

## 3 芯片版图设计

为适应系统集成, 使得锁相环能够以宏单元的形式被方便地调用, 锁相环的版图(不包含为测试而设计的输出缓冲电路)设计为矩形. 压控振荡器为差分电路, 该部分版图的设计力求良好的对称性. 鉴频鉴相器和分频器均为动态逻辑电路, 对节点寄生电容的大小比较敏感, 因此, 应尽量减少电路中晶体管之间连线的长度, 以减小寄生电容. 各单元的布局力求使得互联最直接. 电路采用 TSMC 公司的标准  $0.25\mu\text{m}$  CMOS 工艺流片, 制成的芯片照片如图 9 所示, 芯片面积为  $475\mu\text{m} \times 475\mu\text{m}$ .

## 4 测试结果及分析

在 Cascade 芯片测试台上进行了在片测试. 主要测试仪器包括 Advantest D3186 型信号发生器、Agilent 86100A 型示波器、HP8593A 型模拟频谱分析仪和 E4440A 型数字频谱分析仪.

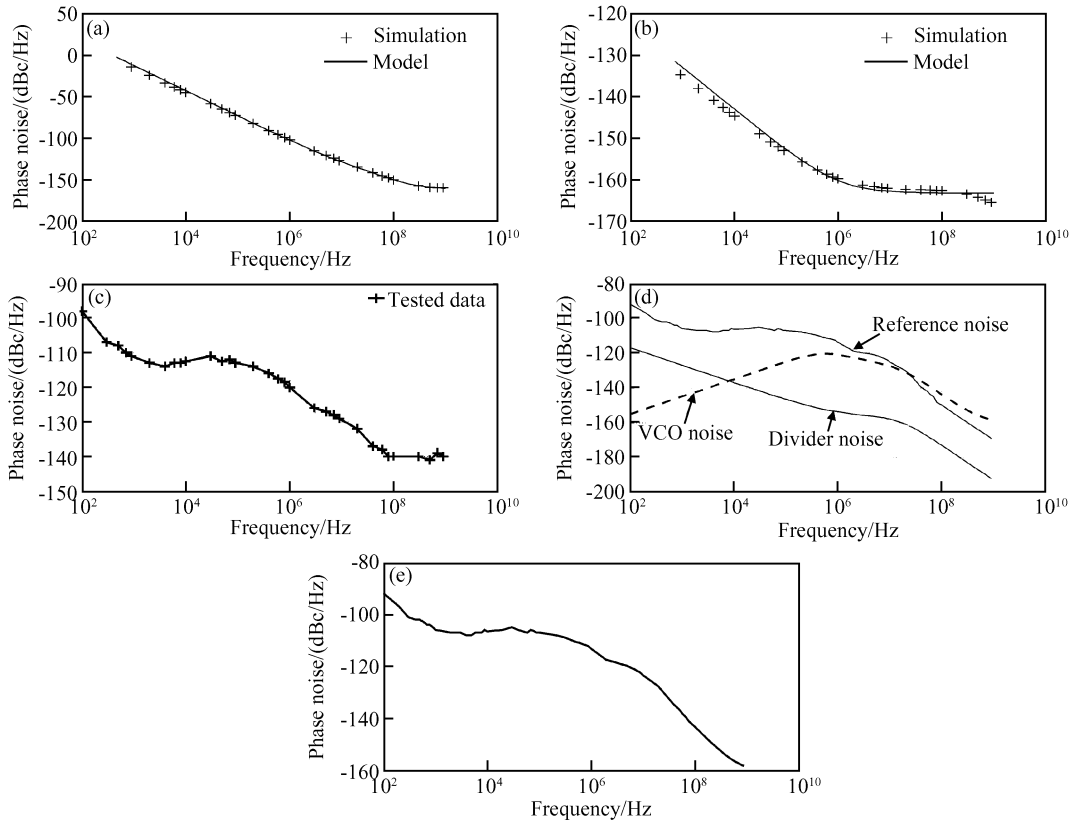


图 8 (a) 由仿真结果拟合出 VCO 的噪声模型；(b) 由仿真结果拟合出分频器的噪声模型；(c) 由测试结果拟合出参考源的噪声模型；(d) 各噪声源等效到输出端的相位噪声曲线；(e) 总的输出噪声曲线  
 Fig. 8 (a) VCO noise model fitted with simulation; (b) Divider noise model fitted with simulation; (c) Reference noise model fitted with tested data; (d) Output phase noise curve of each source; (e) Total output phase noise

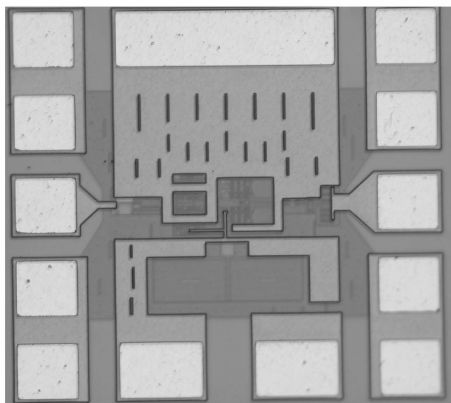
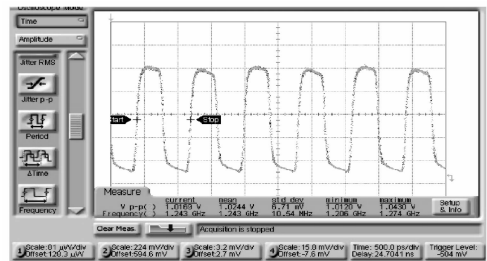


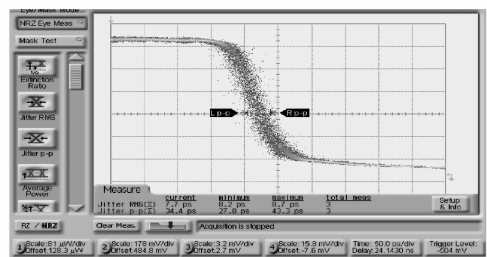
图 9 锁相环芯片照片  
 Fig. 9 Chip die photograph of the PLL

### 4.1 主要指标测试及比较

测试中,当输入 622MHz 时钟,电源电压在 2~3.3V 变化时,锁相环均能锁定.图 10 给出了 2.5V 电源电压下,输出 1.244GHz 时钟时的波形.图 11



(a)

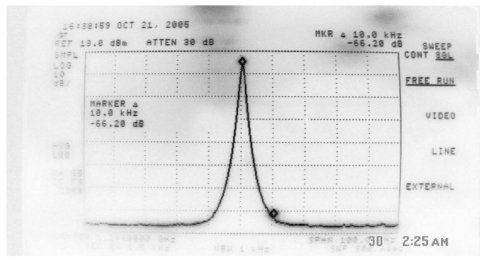


(b)

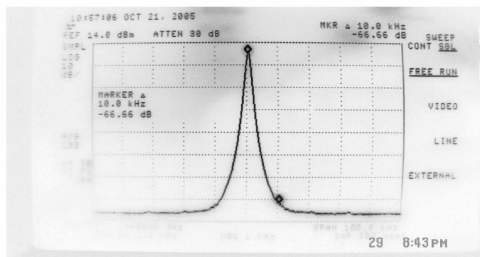
图 10 输出信号波形(a)和抖动(b)  
 Fig. 10 Output waveform (a) and jitter (b)

为输入 622MHz 时钟信号,电源电压分别为 2.5 和 3.3V,输出 1.244GHz 时钟时的频谱图.电源电压为 2.5V,驱动 50Ω 负载时,总的功耗 30mW,其中核心功耗为 12mW.

目前已有许多面向低功耗设计的锁相环电路.作为比较,表 1 给出了其他一些文献的设计结果.本设计的核心功耗较文献[3]略大,而相位噪声是具有优势的.综合看来,设计目标得以实现.



(a)



(b)

图 11 电源电压为 2.5V(a)和 3.3V(b)时 1.244GHz 输出信号的频谱特性

Fig. 11 Spectra diagram of the output under 2.5V supply (a) and 3.3V supply (b)

表 1 芯片测试结果比较

Table 1 Testing result comparison with other PLLs

锁相环	工作频率 /MHz	电源电压 /V	核心功耗 /mW	rms 抖动 /ps	相位噪声 @10kHz 频偏下 / (dBc/Hz)	面积 /mm <sup>2</sup>
文献[3]	1150	1.5	10	-	-94	0.63
文献[9]	1250	3.3	109	11	-	1
文献[5]	1250	3	12	-	-90	-
本芯片	1244	2.5	12	6.1	-106	0.22

#### 4.2 相位噪声测试结果与行为模拟结果的比较

用数字频谱分析仪 E4440A 测得相位噪声曲线,并与 2.2.3 部分模拟所得相位噪声曲线作比较,如图 12 所示.模拟结果与测试结果的趋势一致,这验证了行为模拟方法的可行性.二者数值上的偏差来自于几个方面:VCO 和分频器的噪声模型是基于 Spectre 的相位噪声仿真结果,仿真本身存在一定

的误差;为了测试,在片内加了输出缓冲电路,这在模型中未予考虑;实际工作时电源线上的噪声,以及通过衬底耦合形成的噪声,在模型中也没有考虑.如能进一步量化这些噪声,可以实现更加精准的相位噪声模拟.

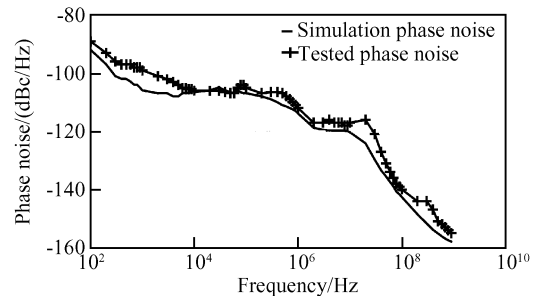


图 12 输出信号相位噪声曲线的测试结果与行为模拟结果对比

Fig. 12 Tested phase noise curve versus simulated curve

## 5 结论

在较高的频率上实现了低功耗设计.运用行为级模拟方法,对锁相环的稳定性、相位噪声性能进行了优化,实现了一个单片集成的 1.244GHz 0.25μm CMOS 低功耗锁相环.在核心功耗只有 12mW 的情况下,锁相环稳定输出 1.244GHz 时钟,且相位噪声性能优良.尤为重要的是,经过测试结果与行为模拟结果的对比,验证了相位噪声行为模拟方法的有效性.

## 参考文献

- [1] Lee W H, Cho J D, Lee S D. A high speed and low power phase-frequency detector and charge-pump. Design Automation Conference, 1999, 1: 269
- [2] Fouzar Y. CMOS wide-swing differential VCO for fully integrated fast PLL. IEEE Midwest Symp on Circuits and Systems, 2000: 948
- [3] Juang Darchang. A low-power 1.2GHz 0.35μm CMOS PLL. IEEE Asia Pacific Conference on ASICs, 2000: 99
- [4] Alvarez J, Sanchez H, Gerosa G. A wide-bandwidth and low-voltage PLL for power PC™ microprocessors. IEEE J Solid-State Circuits, 1995, 30(4): 383
- [5] Elscyed A. Differential PLL for wireless applications using differential CMOS LC-VCO and differential charge pump. International Symp on Low Power Electronics and Design, 1999: 243
- [6] Hajimiri A. Noise in phase-locked loops. IEEE Southwest Symp on Mixed-Signal Design, 2001: 1
- [7] Hajimiri A. A general theory of phase noise in electrical oscillators. IEEE J Solid-State Circuits, 1998, 33(2): 179
- [8] Rabaety J M, Chandrakasan A, Nikolic B. Digital integrated circuits: a design perspective. Upper Saddle River, New

York: Printice-Hall, 1996

lithic CMOS PLL based on a multiphase ring oscillator. IEEE  
J Solid-State Circuits, 2001, 36(6): 910

[9] Sun Lizhong, Kwasniewski T A. A 1.25GHz 0.35 $\mu$ m mono-

## 1. 244GHz 0.25 $\mu$ m CMOS Low-Power Phase-Locked Loop

Liu Yongwang<sup>†</sup>, Wang Zhigong, and Li Wei

(*Institute of RF- and OE-ICs, Southeast University, Nanjing 210096, China*)

**Abstract:** A low-power phase-locked loop (PLL) is designed and fabricated in TSMC's standard 0.25 $\mu$ m CMOS process. A behavioral simulation method for the PLL's phase noise is presented. The power consumption of the PLL core is about 12mW. The rms jitter is 6.1ps, and the SSB phase noise is  $-106$ dBc/Hz at a 10kHz offset.

**Key words:** PLL; PFD; charge pump; VCO

**EEACC:** 1230B

**Article ID:** 0253-4177(2006)12-2190-06

---

<sup>†</sup> Corresponding author. Email: lywang@seu.edu.cn

Received 19 March 2006, revised manuscript received 22 June 2006