

# 基于漏区边界曲率分析的射频 RESURF LDMOS 耐压与导通电阻优化\*

池雅庆<sup>1,†</sup> 郝跃<sup>2</sup> 冯辉<sup>2</sup> 方粮<sup>1</sup>

(1 国防科技大学计算机学院 微电子研究所, 长沙 410073)

(2 西安电子科技大学微电子学院 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

**摘要:** 分析了漏区边界曲率半径与射频 RESURF LDMOS 击穿电压的关系, 指出漏区边界的弯曲对 RESURF 技术的效果具有强化作用. 理论分析与模拟结果表明, 满足 RESURF 条件时, 提高漂移区掺杂浓度或掺杂深度的同时相应减小漏区边界的曲率半径, 可以在维持击穿电压不变的前提下, 明显降低导通电阻.

**关键词:** LDMOS; RESURF; 漏区边界曲率半径; 击穿电压; 导通电阻

**PACC:** 7340Q; 7300; 7220

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2006)10-1818-05

## 1 引言

在射频功率器件中, LDMOS (lateral double-diffused MOSFET) 由于具有 P, L 波段以上的工作频率和高性价比而被广泛应用于移动通信、导航、雷达等领域. 目前人们对 LDMOS 研究的焦点主要集中在降低导通电阻和提高其耐压等方面. 降低导通电阻有利于提高器件的工作效率, 而提高耐压对增大器件的输出功率和功率增益有突出贡献, 对提升器件的输出阻抗也有明显作用, 有利于射频大功率器件在电路中的匹配. 提高击穿电压要求降低漂移区掺杂浓度和增加漂移区长度, 而这些都是增大导通电阻的因素, 因此需要在设计中对击穿电压与导通电阻两方面进行取舍<sup>[1]</sup>. 为实现击穿电压与导通电阻的同时优化, 人们提出了 RESURF<sup>[2]</sup>, SUPER-JUNCTION<sup>[3]</sup>, 变掺杂浓度漂移区<sup>[4]</sup>, 场限环<sup>[5]</sup> 和电阻场极板<sup>[6]</sup> 等漂移区控制技术.

很多文章都分析了传统 LDMOS 击穿电压与导通电阻的平衡与优化, 而考虑射频情况的研究较少. 为了达到射频工作条件, 射频 LDMOS 的漂移区长度会缩短到  $3\mu\text{m}$  以下, 远小于传统 LDMOS 几十甚至上百微米的漂移区长度. 此时漏区与漂移区相交边界的形状, 特别是漏区边界的弯曲, 会对整个漂移区的电场分布造成不容忽视的影响. 各种漂移区控制技术考虑的因素已不足以描述射频 LDMOS 的击穿机制, 因此, 漏区边界形状的分析对于射频

LDMOS 的击穿特性研究是很重要的.

本文针对采用 RESURF 技术的射频 LDMOS, 分析了漏区边界曲率改变对其击穿电压和导通电阻的影响, 指出漏区边界的弯曲对 RESURF 技术的效果具有强化作用. 理论分析与专业软件 ISE TCAD 的模拟结果显示, 当满足 RESURF 条件时, 提高漂移区掺杂浓度或掺杂深度并相应减小漏区边界的曲率半径, 能够在明显降低导通电阻的同时保持击穿电压不变.

## 2 射频 RESURF LDMOS 击穿分析

射频 RESURF LDMOS 的纵向剖视图如图 1 所示, 器件各部分尺寸见图中坐标所示. 源区通过深扩散接触在  $p^+$  衬底上, 以降低寄生电阻和电感, 提高高频工作性能<sup>[7]</sup>.  $n^+$  源漏区和  $n^-$  漂移区均为扩散结,  $n^+$  源漏区和  $n^-$  漂移区的掺杂浓度分布为:

$$N(y) = Ce^{-\frac{1}{2}(\frac{y}{D})^2} \quad (1)$$

其中  $C$  表示表面掺杂浓度;  $D$  表示扩散深度. 根据 RESURF 原理<sup>[1]</sup>, 漂移区的掺杂浓度和掺杂深度之积在  $1 \times 10^{12} \text{cm}^{-3}$  左右时, 器件的击穿电压最高. 此时, 漂移区与沟道间的垂直  $pn^-$  结和漂移区与  $p^-$  外延层间的水平  $p^-n^-$  结几乎同时达到临界击穿电场, 发生雪崩击穿.

传统柱面结耐压结构中, 击穿时峰值电场强度  $E_m$  与冶金结曲率半径  $r$  的关系可表示为<sup>[8]</sup>:

\* 国防预先研究基金和陕西省电子发展基金资助项目

† 通信作者. Email: yqchi@nudt.edu.cn

2006-04-07 收到, 2006-05-29 定稿

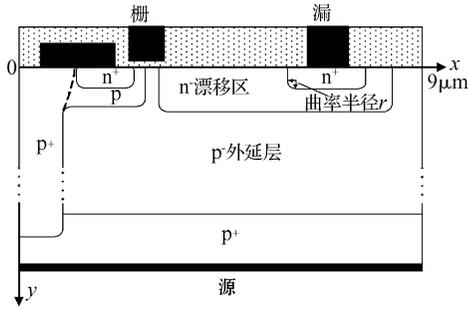


图 1 射频 RESURF LDMOS 剖面示意图

Fig. 1 Schematic of the RF RESURF LDMOS profile

$$E_m = \frac{qN_B}{2\epsilon_0\epsilon} \times \frac{r_d^2 - r^2}{r} \quad (2)$$

其中  $N_B$  为外延层掺杂浓度； $r_d$  为耗尽层边界的曲率半径。由于通常  $r$  比  $W$  小得多，因此柱面结比平行平面结的击穿电压低。 $r$  越小，击穿电压越低。这是因为，曲率越大，电场线越集中，电场越强，越容易发生击穿。文献[9]进一步讨论了柱面和球面组合结，也是最接近实际 pn 结的情形下，击穿电压与冶金结曲率的关系，同样得出了结曲率越大，击穿电压越低的结论。

然而，在 RESURF LDMOS 中，与单结耐压结构不同，漂移区耐压结构由漂移区与沟道形成的垂直 pn 结和漂移区与外延层形成的水平 p<sup>-</sup>n<sup>-</sup> 结构成，电场分布与单 pn 结不同。文献[10]采用电荷共享法分析了 RESURF LDMOS 的击穿。pn<sup>-</sup> 结的一部分空间电荷与 p<sup>-</sup>n<sup>-</sup> 结共享，设电荷共享率  $\lambda$  为漂移区与外延层形成的水平 p<sup>-</sup>n<sup>-</sup> 结在漂移区内的耗尽层宽度与漂移区深度之比，则有：

pn<sup>-</sup> 结的峰值横向电场强度：

$$E_{lat} = (1 - \lambda) E_{latj} \quad (3)$$

pn<sup>-</sup> 结的击穿电压：

$$BV_{lat} = \frac{BV_{latj}}{(1 - \lambda)^2} \quad (4)$$

其中  $E_{latj}$  为同样掺杂浓度下平行平面结的峰值电场； $BV_{latj}$  为同样掺杂浓度下平行平面结的击穿电压。

由于漏区拐角处的“尖端效应”，漏区边界的弯曲对电荷共享具有增强作用。由(2)式可得，曲率半径  $r$  越小，电场线越集中，电场越强，则 pn<sup>-</sup> 结靠近漏区的电荷耗尽越多，电荷共享率  $\lambda$  越高，RESURF 效果也越强。当  $0 < \lambda < 1$ ，漏区边界曲率半径的减小能够提高电荷共享率  $\lambda$ 。由(3)和(4)式可知，RESURF LDMOS 的横向电场强度降低，器件的耐压升高。当  $\lambda \geq 1$ ，漂移区被 p<sup>-</sup>n<sup>-</sup> 结完全耗尽， $BV_{lat} \rightarrow \infty$ ，则 RESURF LDMOS 的耐压由漂移区与外延层的水平 p<sup>-</sup>n<sup>-</sup> 结决定。此时漏区边界曲率半径的

减小同样会增大  $\lambda$ ，使 p<sup>-</sup>n<sup>-</sup> 结共享的电荷增加，峰值电场强度提高，使整个器件击穿电压降低。

借助 ISE TCAD 器件模拟软件，得到了不同漂移区表面掺杂浓度下漏区边界曲率半径  $r$  与击穿电压的关系，证实了上述结论，如图 2 所示。当漂移区表面掺杂浓度很小时(见曲线 a)，p<sup>-</sup>n<sup>-</sup> 结将漂移区严重耗尽， $\lambda > 1$ ，击穿电压随漏区边界曲率半径的增加而提高。当漂移区表面掺杂浓度很大时(见曲线 c)， $\lambda < 1$ ，击穿电压随漏区边界曲率半径的增加而降低。当电荷共享适中(见曲线 b)， $\lambda \approx 1$ ，击穿电压随着漏区边界曲率半径  $r$  的增大先升高后降低。

所以，与传统柱面结耐压结构中击穿电压随冶金结曲率半径的减小而减小不同，RESURF LDMOS 的漏区边界曲率只影响 RESURF 效果的强弱，击穿电压与漏区边界曲率半径的关系并不总是单调的，当满足 RESURF 条件时有一峰值变化关系。

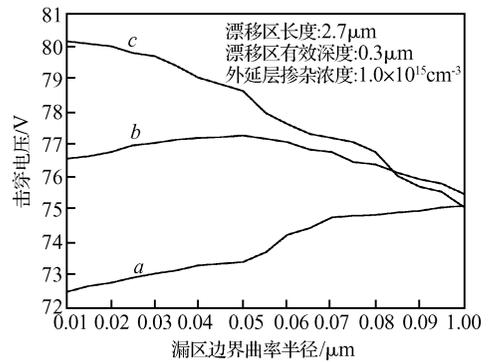


图 2 不同漂移区掺杂浓度下漏区边界曲率半径与击穿电压关系图 漂移区表面掺杂浓度：a 为  $1.5 \times 10^{16} \text{ cm}^{-3}$ ；b 为  $2.0 \times 10^{16} \text{ cm}^{-3}$ ；c 为  $2.5 \times 10^{16} \text{ cm}^{-3}$

Fig. 2 Breakdown voltage versus boundary curvature radius of drain region at different impurity dose of drift region Surface impurity dose of drift region: a is  $1.5 \times 10^{16} \text{ cm}^{-3}$ ; b is  $2.0 \times 10^{16} \text{ cm}^{-3}$ ; c is  $2.5 \times 10^{16} \text{ cm}^{-3}$

### 3 漏区边界曲率半径优化

降低导通电阻的一种重要方法是提高漂移区掺杂浓度或掺杂深度，但提高漂移区的掺杂浓度或掺杂深度，使  $\lambda < 1$  后，漂移区与沟道间垂直 pn<sup>-</sup> 结的峰值电场会随漂移区掺杂浓度或深度的进一步增加而增强，这就降低了击穿电压。如前所述，漏区边界的弯曲会提高漂移区末端的电场强度，强化 RESURF 技术的效果。所以，当漂移区未全耗尽，即  $\lambda < 1$  时，适当提高漂移区掺杂浓度或漂移区深度，并相应减小漏区边界的曲率半径，就可以在维持较高击穿电压的同时，降低导通电阻。

从图 3 和图 4 的 ISE TCAD 模拟结果可以看到,当漏区边界曲率半径确定时,固定漂移区深度,击穿电压随漂移区掺杂浓度的提高呈现一个峰值;固定漂移区掺杂浓度,击穿电压随漂移区深度的增加也呈现一个峰值.这是 RESURF 技术的特征<sup>[1]</sup>.

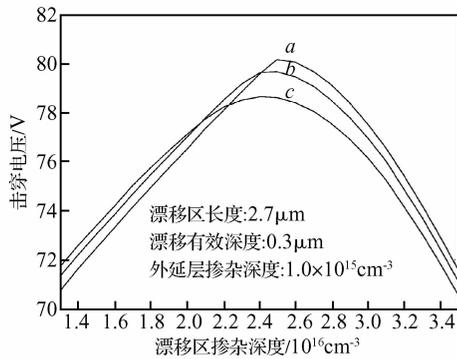


图 3 不同漏区边界曲率半径下漂移区表面掺杂浓度与击穿电压关系图 漏区边界曲率半径: a 为 0.01 μm; b 为 0.03 μm; c 为 0.05 μm

Fig. 3 Breakdown voltage versus surface impurity dose of drift region at different boundary curvature radius of drain region Boundary curvature radius of drain region: a is 0.01 μm; b is 0.03 μm; c is 0.05 μm

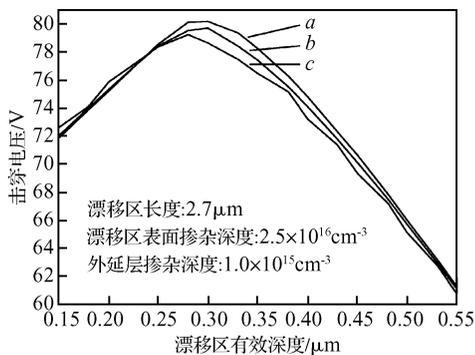


图 4 不同漏区边界曲率半径下漂移区扩散深度与击穿电压关系图 漏区边界曲率半径: a 为 0.01 μm; b 为 0.03 μm; c 为 0.05 μm

Fig. 4 Breakdown voltage versus diffusion thickness of drift region at different boundary curvature radius of drain region Boundary curvature radius of drain region: a is 0.01 μm; b is 0.03 μm; c is 0.05 μm

图 3 或图 4 中 3 条曲线峰值的左边,  $\lambda > 1$ , 击穿均为漏区附近的电场强度超过临界击穿电场造成的. 由于减小漏区边界的曲率半径提高了漏区附近电场强度, 所以减小漏区边界的曲率半径反而降低了击穿电压, 使曲线 b 高于曲线 a, 曲线 c 更高于曲线 b. 在 3 条曲线的峰值附近,  $\lambda \approx 1$ , 由于漏区边界曲率半径的减小, 增加了漂移区高场强区域的面积,

因此击穿电压的峰值随漏区边界的曲率半径的减小而增大. 在 3 条曲线峰值的右边,  $\lambda < 1$ , 击穿则由沟道末端附近的电场超过临界击穿电场造成. 由于减小漏区边界的曲率半径提高了漏区附近的电场强度, 也增加了漂移区高场强区域的面积, 提高了电荷共享率, 则耐压随漏区边界的曲率半径的减小而增大.

此外, 当漂移区掺杂浓度或深度很小或很大, 击穿时漂移区的峰值电场主要出现在冶金结界面附近, 漏区边界上的电场强度相对不高, 因此漏区边界的弯曲对击穿电压影响不大. 而当漂移区深度适中, 满足 RESURF 技术要求时, 击穿时整个漂移区都处在高电场中, 各处电场均十分接近临界击穿电场, 此时漏区边界的弯曲对击穿电压的影响就十分强烈, 图 3 和图 4 证实了这个结论.

从图 3, 图 4 和前面的分析中可知, 当  $\lambda < 1$ , 提高漂移区掺杂浓度或深度的同时适当减小漏区边界的曲率半径, 可以维持击穿电压不降低, 且在  $\lambda$  接近 1, 即满足 RESURF 条件时效果最明显.

图 5 模拟了漂移区表面掺杂浓度分别为  $2.4 \times 10^{16}$ ,  $2.6 \times 10^{16}$  和  $2.9 \times 10^{16} \text{ cm}^{-3}$  时, 漏区边界曲率半径与导通电阻的关系. 图 6 模拟了漂移区扩散深度分别为 0.3, 0.32 和 0.35 μm 时漏区边界曲率半径与导通电阻的关系. 模拟结果与文献[11]表明, 漏区边界曲率半径不是影响导通电阻的显著因素, 但是选择适当的漏区边界曲率半径可以在提高漂移区掺杂浓度或掺杂深度的情况下保持击穿电压不降低, 同时使导通电阻随着掺杂浓度或掺杂深度的提高而明显下降.

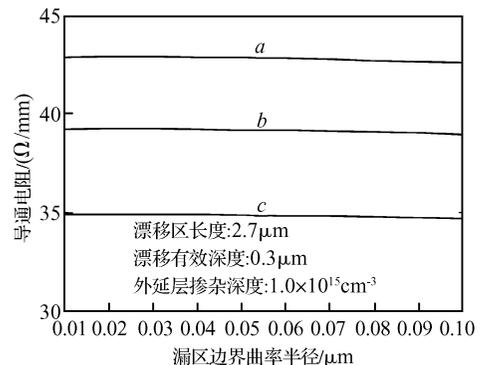


图 5 不同漂移区掺杂浓度下漏区边界曲率半径与导通电阻关系图 漂移区表面掺杂浓度: a 为  $2.4 \times 10^{16} \text{ cm}^{-3}$ ; b 为  $2.6 \times 10^{16} \text{ cm}^{-3}$ ; c 为  $2.9 \times 10^{16} \text{ cm}^{-3}$

Fig. 5 On-resistance versus boundary curvature radius of drain region at different impurity dose of drift region Surface impurity dose of drift region: a is  $2.4 \times 10^{16} \text{ cm}^{-3}$ ; b is  $2.6 \times 10^{16} \text{ cm}^{-3}$ ; c is  $2.9 \times 10^{16} \text{ cm}^{-3}$

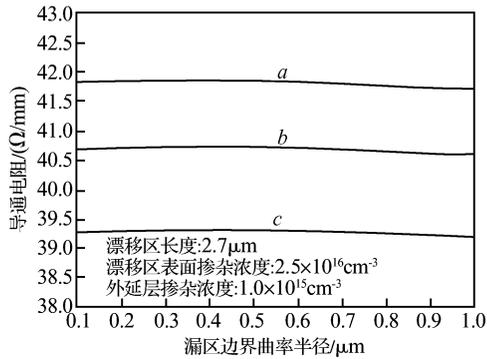


图 6 不同漂移区扩散深度下漏区边界曲率半径与击穿电压关系图 漂移区扩散深度:  $a$  为  $0.30\mu\text{m}$ ;  $b$  为  $0.32\mu\text{m}$ ;  $c$  为  $0.35\mu\text{m}$

Fig. 6 On-resistance versus boundary curvature radius of drain region at different diffusion thickness of drift region Diffusion thickness of drift region:  $a$  is  $0.30\mu\text{m}$ ;  $b$  is  $0.32\mu\text{m}$ ;  $c$  is  $0.35\mu\text{m}$

图 3 和图 5 显示,当漂移区表面掺杂浓度从  $2.4 \times 10^{16} \text{cm}^{-3}$  提高到  $2.9 \times 10^{16} \text{cm}^{-3}$  时,通过将漏区边界曲率半径从  $0.05\mu\text{m}$  降低到  $0.01\mu\text{m}$ ,维持了  $78\text{V}$  以上的耐压,同时导通电阻从  $43\Omega$  下降到了  $35\Omega$ ,下降幅度接近  $20\%$ .图 4 和图 6 显示,当漂移区扩散深度从  $0.3\mu\text{m}$  提高到  $0.35\mu\text{m}$  时,通过将漏区边界曲率半径从  $0.05\mu\text{m}$  降低到  $0.01\mu\text{m}$ ,维持了  $78\text{V}$  以上的耐压,同时导通电阻从  $42\Omega$  下降到了  $39\Omega$ ,下降幅度接近  $10\%$ .

## 4 结论

借助器件模拟软件 ISE TCAD,分析了漏区边界曲率半径与射频 RESURF LDMOS 击穿电压和导通电阻的关系,指出漏区边界的弯曲对 RESURF 技术的效果具有强化作用.理论分析与 ISE TCAD 模拟结果均表示,满足 RESURF 条件时,通过提高漂移区掺杂浓度或掺杂深度并相应减小漏区边界的曲率半径,能够在保持击穿电压不变的同时明显降低导通电阻.

## 参考文献

- [1] Xiao Wenrui, Wang Jimin. Design of a high voltage LDMOS device with 3 electrodes free. Microelectronics, 2004, 34(2): 189 (in Chinese) [肖文锐, 王纪民. 三端自由高压 LDMOS 器件设计. 微电子学, 2004, 34(2): 189]
- [2] Ludikhuizen A W. A review of RESURF technology. ISPSO' 2000, 2000: 11
- [3] Permthamasin K, Wachutka G, Schmitt M, et al. Performance analysis of novel 600V super-junction power LDMOS transistors with embedded p-type round pillars. International Conference on Simulation of Semiconductor Processes and Devices, 2005: 179
- [4] Hardikar S, Tadikonda R, Green D W, et al. Realizing high-voltage junction isolated LDMOS transistors with variation in lateral doping. IEEE Trans Electron Devices, 2004, 51(12): 2223
- [5] Nezar A, Salama C A T. Breakdown voltage in LDMOS transistors using internal field rings. IEEE Trans Electron Devices, 1991, 38(7): 1676
- [6] Ke Daoming, Chen Juning, Shi Longxing, et al. A breakdown voltage analysis of field plate in a high-voltage power LDMOS. Research & Progress of SSE, 2005, 25(1): 20 (in Chinese) [柯导明, 陈军宁, 时龙兴, 等. 高压功率 LDMOS 的场极板击穿电压分析. 固体电子学研究进展, 2005, 25(1): 20]
- [7] Tornblad O, Ito C, Rotella F, et al. Linearity analysis of RF LDMOS devices utilizing harmonic balance device simulation. International Conference on Simulation of Semiconductor Processes and Devices, 2005: 243
- [8] He Jin, Zhang Xing, Huang Ru, et al. Equivalent junction transformation: a semi-empirical analytical method for predicting the breakdown characteristics of cylindrical- and spherical-abrupt p-n junctions. Solid State Electron, 2000, 44(12): 2171
- [9] He Jin, Xi Xuemei, Chan Mansun, et al. Predicting 3-D effect of curved-abrupt p-n junctions by equivalent junction method. IEEE Electron Device Lett, 2002, 49(7): 1322
- [10] Imam M, Qudus M, Adams J, et al. Efficacy of charge sharing in reshaping the surface electric field in high-voltage lateral RESURF devices. IEEE Trans Electron Devices, 2004, 51(1): 141
- [11] Wu Jie, Fang Jian, Li Zhaoji. The analyses on the characteristic of single crystal diffused LDMOS. Domestic Conference on Power Electronics Branch of CES, 2002: 99 (in Chinese) [武洁, 方健, 李肇基. 单晶扩散型 LDMOS 特性分析. 中国电工技术学会电力电子学会第八届学术年会论文集, 2002: 99]

## Optimization of Breakdown Voltage and On-Resistance Based on the Analysis of the Boundary Curvature of the Drain Region in RF RESURF LDMOS\*

Chi Yaqing<sup>1,†</sup>, Hao Yue<sup>2</sup>, Feng Hui<sup>2</sup>, and Fang Liang<sup>1</sup>

(1 *Institute of Microelectronics, School of Computer Science, National University of Defense Technology, Changsha 410073, China*)

(2 *Key Laboratory of Wide Band-Gap Semiconductor Materials and Devices of the Ministry of Education,*

*School of Microelectronics, Xidian University, Xi'an 710071, China*)

**Abstract:** This paper analyzes the relation between the boundary curvature radius of the drain region and the breakdown voltage of RF RESURF LDMOS. The bending of the curve in the RESURF technology can increase the breakdown voltage greatly. Analysis and simulation prove that the high breakdown voltage and much lower on-resistance in the same device profile can be maintained by an impurity dose or by increasing the thickness of the drift region and reducing boundary curvature radius of the drain region under the REUSRF principle.

**Key words:** LDMOS; RESURF; boundary curvature radius of drain region; breakdown voltage; on-resistance

**PACC:** 7340Q; 7300; 7220

**Article ID:** 0253-4177(2006)10-1818-05

---

\* Project supported by the National Defense Pre-Research Foundation of China and the Electronical Development Fund of Shanxi Province

† Corresponding author. Email: yqchi@nudt.edu.cn

Received 7 April 2006, revised manuscript received 29 May 2006

©2006 Chinese Institute of Electronics