

衬底结构特征对硅基螺旋电感性能的影响^{*}

薛春来[†] 姚 飞 成步文 王启明

(中国科学院半导体研究所 集成光电子国家重点联合实验室, 北京 100083)

摘要: 使用三维电磁场模拟的方法对不同硅衬底结构螺旋电感进行了模拟和分析. 通过改变衬底的电导率、隔离层的厚度以及隔离层的材料、衬底引入硅锆合金层等模拟, 分析了电感性能的变化. 结果表明随着电导率的减小, 电感的性能会增强, 但改善的幅度会逐渐减小. 厚的 SiO₂ 隔离层有利于减小衬底损耗, 但是会给工艺增加难度. 采用低 k 材料作为隔离层是改善电感性能的一种比较理想的方法.

关键词: 硅基; 螺旋电感; 品质因子; 衬底结构

EEACC: 2140; 1350; 2560

中图分类号: TN405

文献标识码: A

文章编号: 0253-4177(2006)11-1955-06

1 引言

近年来, 随着无线通信市场的飞速发展, 低造价、高性能的片上射频器件的需求也在不断地增加. 为了满足低损耗、高集成度的要求, 片上集成螺旋电感已成为压控振荡器、低噪声放大器、混频器以及中频滤波器等许多通信模块中的重要元件. 由于硅基集成电路制造成本相对较低, 使得硅基射频集成电路对 GaAs 基集成电路具有相当大的竞争力. 但是硅衬底在高频下的高损耗限制了硅基射频电感性能, 为了改善其性能, 许多工作者通过改善衬底的结构特性来提高电感的性能. 例如提高衬底导体电阻率或者采用 SOI (silicon-on-insulator) 材料作为衬底^[1], 增大金属与衬底之间的氧化层厚度^[2], 以及去除电感底部衬底^[3]. 但是系统研究衬底结构对电感性能改善的报道还很缺乏. 实际制作测量和三维电磁场模拟是两种常用的表征电感特性的方法, 在精度上两者有很好的吻合. 与传统的表征方法相比, 通过三维电磁场模拟分析的方法显得更为经济和便利. 不用制作测试基片, 并且改变结构参数也是非常容易实现的方法. 本文在分析硅衬底上射频螺旋电感物理模型的基础上, 采用 ansoft HFSS 三维电磁场模拟器对影响电感值和 Q 值及谐振频率的各参数进行了全面详尽的模拟, 系统分析了衬底电阻率、隔离层的厚度以及隔离层的材料、衬底引入硅锆合金层对电感性能的影响. 得出了一些实用的设计原则, 可有效地指导射频集成电路中集成电感的设计.

2 硅基螺旋电感的物理模型

图 1 是螺旋电感的结构和物理模型, 其中 M1 为上层金属线圈; M2 为底层互联金属; ID 为电感

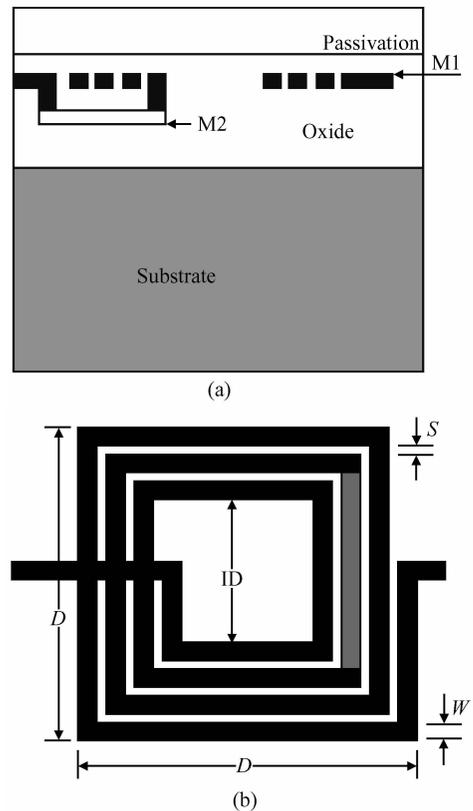


图 1 (a) 简化的螺旋电感剖面图; (b) 简化的螺旋电感俯视图
Fig. 1 (a) Simplified cross-sectional view of the spiral inductor; (b) Simplified top view of the spiral inductor

^{*} 国家高技术研究发展计划(编号:2002AA312010), 国家重点基础研究发展规划(编号:G2000036603)和国家自然科学基金(编号:60336010)资助项目

[†] 通信作者. Email: clxue@semi.ac.cn

2006-04-17 收到, 2006-05-22 定稿

的内径; D 为电感的外径; W 为金属条的宽度; S 为相邻金属条之间的间隔。

图 2 为电感的等效电路模型^[4]. 电感是储存磁场能量的元件, 电阻、电容则为电感的主要寄生元件. 其中 L_s 和 R_s 是电感自身的串联电感和电阻; C_s 是两层导体间寄生电容; C_{ox} 是电感与硅衬底间寄生电容; C_{si} 和 R_{si} 是电感下方衬底的寄生电容和电阻, 由此模拟衬底损耗情况. 上述各参数可用下列公式计算:

$$R_s = \frac{\rho l}{W\delta(1 - e^{-r/\delta})} \quad (1)$$

$$C_s = nW^2 \frac{\epsilon_{ox}}{t_{oxmetal}} \quad (2)$$

$$C_{ox} = \frac{1}{2} lW \frac{\epsilon_{ox}}{t_{ox}} \quad (3)$$

$$C_{si} = \frac{1}{2} lWC_{sub} \quad (4)$$

$$R_{si} = \frac{2}{lWG_{sub}} \quad (5)$$

其中 W 和 n 为金属条宽度和交叠区域的数量; l 为电感金属条总长度; t 为金属条厚度; δ 为高频时金属的趋肤深度; ρ 为金属条电阻率; $t_{oxmetal}$ 为 M1 和 M2 之间氧化层厚度; C_{sub} 和 G_{sub} 为衬底单位面积电容和单位面积电导。

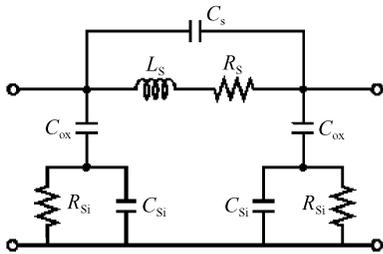


图 2 硅基螺旋电感的等效电路模型

Fig. 2 Lumped physical model of a spiral inductor on silicon

电感的特性通常用品质因子 Q , Q 值最大时的对应频率(f_{OMAX}), 电感值和自谐振频率(SRF)来表征. 品质因子 Q 用来表征电感损耗, Q 值越大电感的损耗越小. SRF 表示电感的最高工作频率。

3 结果与分析

3.1 衬底电导率的改变对电感特性的影响

为了研究衬底电导率的改变对电感性能的影响, 在模拟中设计了五种不同衬底结构的电感, 五种电感除了衬底的电导率不同外, 其他参数都保持一致. 模拟结果如图 3 和表 1 所示。

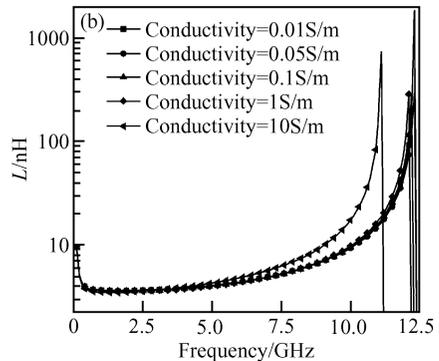
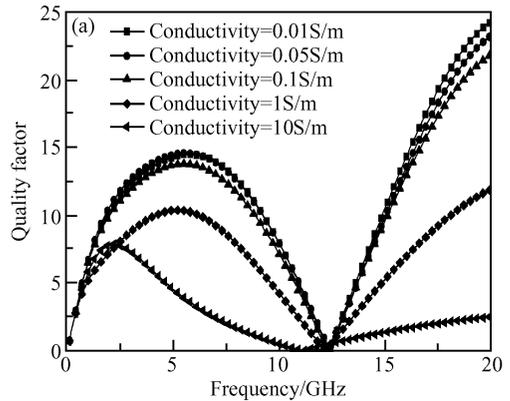


图 3 (a) 不同电导率下品质因子随频率的变化关系; (b) 不同电导率下电感随频率的变化关系

Fig. 3 (a) Simulation results of the spiral inductor Q factor with regard to the variation of conductivity; (b) Simulation results of the spiral inductor inductance with regard to the variation of conductivity

表 1 不同电导率下电感的主要性能特征

Table 1 Performances of the inductors with regard to the variation of conductivity

Conductivity / (S/m)	Q_{max}	f_{Omax} /GHz	Inductance /nH	SRF/GHz
10	7.89	2.2	3.50	11.1
1	10.4	5.3	4.06	12.2
0.1	13.85	5.5	4.14	12.3
0.05	14.53	5.6	4.22	12.4
0.01	14.55	5.7	4.24	12.3

从图 3 和表 1 中可以看到, 在较低频段下不同衬底电导率电感的 Q 值和电感值差别不大, 在较高频段 Q 值随着电导率的改变出现较大的变化, 但当衬底电导率小于 0.1S/m 时, 电感的性能重新趋于稳定, 没有明显的变化. 当衬底电导率从 10S/m 变化到 1S/m 时, Q_{max} 增加了 31.8%, 电导率从 1S/m 变化到 0.1S/m 时, Q_{max} 增加了 33.2%. 而当衬底电导率从 0.1S/m 变化到 0.05S/m 以及 0.01S/m 时,

Q_{\max} 分别增加了 4.9% 和 5.1%。当电导率减小到一定程度后,衬底对于电感性能的影响不再明显.对于衬底电导率的变化,电感值和自振荡频率并没有明显变化.

出现这种现象的主要原因在于,在低频段,电感的性能主要由形成电感的金属线的特性来决定(主要是金属的损耗);在高频段,衬底损耗将成为决定电感性能的主要因素.衬底对电感性能的影响主要源自衬底单位面积电容 C_{Sub} 和单位面积电导 G_{Sub} ,而衬底材料的掺杂特性则是影响 C_{Sub} 和 G_{Sub} 大小的主要因素.在相同的频率下,电磁波对于衬底的穿透深度会随着衬底电导率的增加而变大.在电导率较大的情况下,这种变化比较明显,从而会造成衬底的高频损耗增大.这就是在较高频段,电导率较大情况下, Q 值较小的主要原因.

在深亚微米的体硅工艺中,衬底一般都采用重掺杂,电阻率一般为 $10 \sim 30 \Omega \cdot \text{cm}^{[4]}$.在这样高掺

杂的衬底中,电感线圈的电流会形成镜像电流,导致额外的能量损失,致使电感值减小.所以在现有的传统 MOS 工艺中,螺旋电感的性能并不理想.为了实现高性能的单片集成,降低衬底电导率已成为提高无源组件性能的一个主要途径.文献[5]就报道了一种在衬底电导率小于 0.01S/m 的 p 型硅衬底上实现单片集成的功率放大器的实例.而实际上衬底的电导率只要小于 0.1S/m ,电感的性能就会有较大的提高.在实际工艺中,可以采用低电导率衬底来制备无源组件,利用表面高掺杂的外延层来实现 MOS 结构,从而实现性能优异的单片集成结构.

3.2 衬底隔离层厚度的改变对电感特性的影响

为了研究衬底间隔离层的厚度对电感性能的影响,在模拟中设计了四种不同隔离层厚度的电感,四种电感除了衬底的隔离 SiO_2 厚度不同外,其他参数都保持一致.模拟的结果如图 4 和表 2 所示.

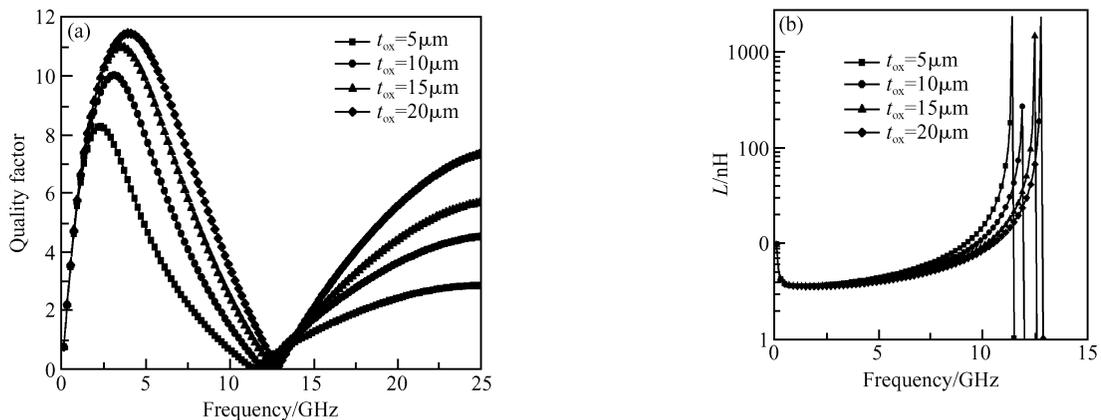


图 4 (a)不同氧化层厚度品质因子随频率的变化关系;(b)不同氧化层厚度电感值随频率的变化关系

Fig. 4 (a)Simulation results of the spiral inductor Q factor with regard to the variation of the oxide thickness;(b)Simulation results of the inductor inductance with regard to the variation of the oxide thickness

表 2 不同 SiO_2 隔离层厚度下电感的主要性能特征

Table 2 Performances of the inductors with regard to the variation of the silicon dioxide thickness

Thickness / μm	Q_{\max}	$f_{Q_{\max}}/\text{GHz}$	Inductance /nH	SRF /GHz
5	8.27	2.3	3.60	11.4
10	10.02	3.1	3.62	12.0
15	10.98	3.5	3.68	12.5
20	11.45	3.9	3.68	12.8

图 3 和表 1 表明增加氧化层的厚度可以有效地增加电感的 Q 值,当氧化层的厚度从 $5\mu\text{m}$ 依次变

化到 10, 15 和 $20\mu\text{m}$ 时, Q_{\max} 分别增加了 21.2%, 32.8% 和 38.5%. 但是随着频率的进一步增加,电感 Q 值在高频下变化会减小.对于氧化层厚度的改变,电感的自振荡频率(SRF),电感值和 Q 值最大时所对应的频率变化并不明显.

金属间电容和金属连线与衬底间寄生电容与介质层的介电常数 ϵ 成正比,与介质层厚度成反比.氧化层可以起到隔离电感和衬底的作用,增加金属与衬底间氧化层厚度可以减小电感与衬底之间的耦合,减小氧化层的寄生电容,从而减小衬底对电感性能的影响,因而对提高电感 Q 值有利,这就是低频下随着氧化层厚度的增加电感 Q 值增加的主要原因.但是随着频率的增加,电感与硅衬底间寄生电容

C_{ox} 将会被有效短路,从而衬底效应变成影响电感特性的主要因素,因此不同氧化层厚度的电感 Q 值在高频下变化将减小。

厚的氧化层有利于电感 Q 值的提高,但要考虑氧化层厚度的增加会给工艺实现带来一定的困难.高质量厚的 SiO_2 层的制备本身就存在很大的困难.而厚的隔离层还会给器件互联通孔的刻蚀带来一定困难。

3.3 衬底隔离层材料的改变对电感特性的影响

由电感的等效电路模型可知,两层导体间寄生电容 C_s 和电感与硅衬底间寄生电容 C_{ox} 是影响电

感高频性能的重要因素.金属间电容和金属连线与衬底间寄生电容与介质层的介电常数 ϵ 成正比,与介质层厚度成反比.但是厚的介质层会给器件制作带来一定的困难,因而优化介质层的材料特性也已成为提高电感特性的一种重要途径.并且一些性能优异的低 k 材料的制备成功也为这种方法提供了可能。

为了研究电感衬底隔离层的材料对电感性能的影响,在模拟中设计了三种不同 k 值隔离层材料的电感,三种电感除了衬底的隔离层材料不同外,其他参数都保持一致.模拟的结果如图 5 和表 3 所示。

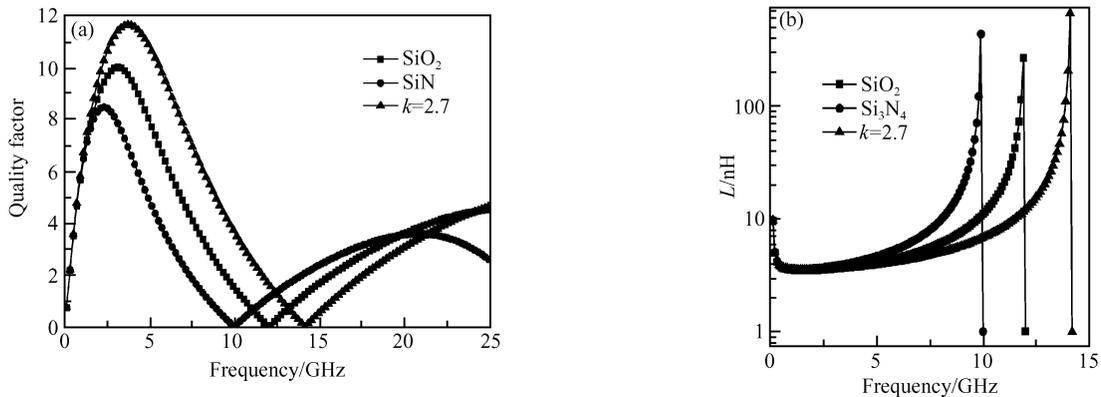


图 5 (a)不同隔离层材料的品质因子随频率的变化关系;(b)不同隔离层材料的电感值随频率的变化关系

Fig. 5 (a) Simulation results of the spiral inductor Q factor with regard to the variation of the dielectric layer; (b) Simulation results of the inductor inductance with regard to the variation of the dielectric layer

表 3 不同隔离层材料电感的主要性能特征

Table 3 Performances of the inductors with regard to the variation of the dielectric layer

介电常数	Q_{max}	f_{Omax}/GHz	Inductance/nH	SRF/GHz
7(Si_3N_4)	8.37	2.3	3.67	9.9
4(SiO_2)	10.02	3.1	3.62	12.0
2.7	11.65	3.7	3.67	14.1

图 5 和表 3 表明,随着隔离层材料介电常数的减小,电感的 Q 值出现明显的提高,当材料的相对介电常数从 7 依次变化到 4, 2.7, Q_{max} 分别增加了 19.7% 和 39.2%. 而 Q_{max} 对应的频率也相应增加了 34.8% 和 60.9%. 自振荡频率也分别增加了 21.2% 和 42.4%. 模拟结果表明,采用低 k 介质作为隔离层不仅可以有效地改善电感的 Q 值,而且还可以有效地提高电感的自振荡频率。

采用低 k 材料作为隔离层,可以有效地减小两层导体间寄生电容 C_s 和电感与硅衬底间寄生电容 C_{ox} ,从而有效地改善电感特性.与其他通过改变衬底结构来改善电感特性的方法相比,采用低 k 介质

不仅可以有效地减小衬底损耗对电感性能的影响,并且低 k 材料对半导体互连技术也是需要的.由于互连层的金属引线与介质层可构成电容,而金属引线正好是电感.这样电感和电容之间的耦合会引起 LC 振荡,降低工作频率.若从降低金属引线的电感出发考虑,潜力不大,而通过采用低 k 介质,减少介质材料的介电常数,降低电容可以非常有效地改善这种耦合效应。

对于低 k 材料的研究已成为微电子工艺研究中的一个热点.目前已寻找到多种低 k 材料, k 值可低至 2.5. 领先半导体制造商组成的国际 Sematech 联盟 (ISMT) 工程研究组认可了一种名为 MSQ 的多孔渗水低 k 材料,这种 MSQ (methylsilsequioxane) 薄膜材料由硅氧及碳氢化合物组成,介电常数约为 2.5. ISMT 表示,目前业内使用的低 k 材料的 k 值范围为 2.65~3.0. 美国应用材料公司薄膜产品事业部与公司基础工程部的资深副总裁和总经理 Moghadam 指出,在 90 和 65nm,大多数制造商都会采用基于主流应用的掺碳氧化物 (CDO) 低 k 材料.他认为低 k 材料应用的主要问题已经解决,

材料的机械性能良好,对现有的生产技术而言,低 k 材料的使用不存在技术障碍.例如,英特尔奔腾处理器和 AMD 的 Athlon 处理器都在多个工艺环节中使用了低 k 材料.

3.4 衬底引入硅锗合金材料对电感特性的影响

硅锗异质结双极晶体管(HBT)和应变硅 CMOS 器件是目前硅基微电子研究的一个热点.制作硅锗 HBT 和应变硅材料时,非选择性外延生长是主要的材料制备方法.在这样的衬底材料上制备无源器件时,与传统的硅工艺相比,无源器件的衬底

材料中会多出一层硅锗合金层,衬底中硅锗合金对无源器件性能的影响目前尚未有相关的报道.而在射频芯片的设计中需要对器件的特性进行更为精确的表征.为此,我们模拟了两种常见衬底结构下,硅锗合金层的引入对电感特性的影响.两种衬底结构分别为:(1)与硅锗 HBT 集成的电感衬底结构,其主要特征在于在电感下方衬底中引入了一层锗组分为 0.3、厚度为 70nm 的硅锗合金层;(2)与应变硅 CMOS 集成的电感衬底结构,主要特征在于电感下方衬底中引入了一层厚度为 $3\mu\text{m}$ 、锗组分从 0.3 渐变到 0 的硅锗合金层.模拟的结果如图 6 所示.

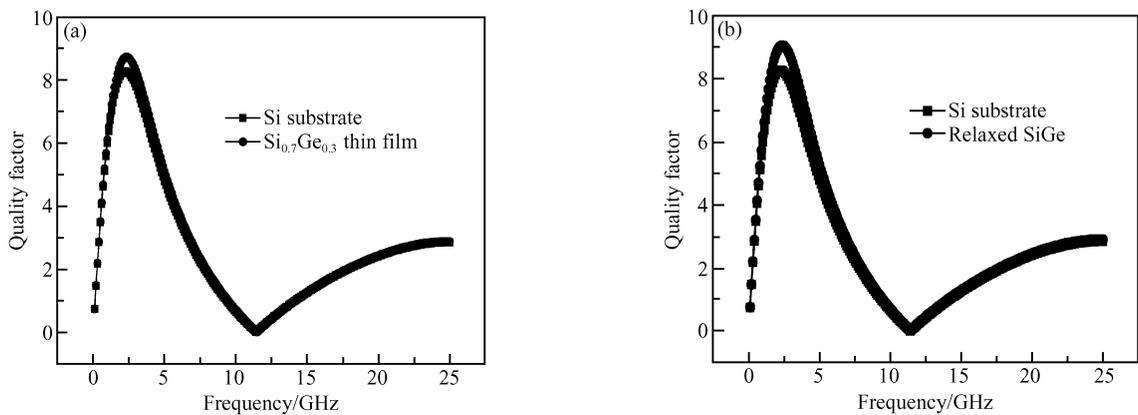


图 6 (a)衬底引入 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 薄层后品质因子随频率的变化关系;(b)衬底引入厚 SiGe 渐变层后品质因子随频率的变化关系

Fig. 6 (a)Simulation result of the spiral inductor Q factor with a thin film of SiGe on substrate;(b) Simulation result of the spiral inductor Q factor with a thick film of relaxed SiGe on substrate

模拟结果表明,硅锗合金层的引入对电感的大小几乎没有影响,电感的 Q 值在低频下也没有明显的变化.但是 Q 值的最大值会出现一个很小的增加,与单纯的硅衬底相比,70nm 厚锗组分 0.3 的硅锗合金的引入,使 Q 值的最大值增加了 5.32%.引入硅锗合金层的厚度越大, Q 值的最大值的增加也越大. $3\mu\text{m}$ 厚组分渐变硅锗合金层的引入,与单纯硅衬底相比 Q 最大值增加了 11.4%.出现这种现象的原因在于,硅锗合金层的引入,会减小电感金属与硅衬底的高频耦合,从而减小衬底对电感性能的影响,有利于电感 Q 值的提高.由此可见,在 SiGe BiCMOS 工艺中,不仅可以有效地提高有源器件的性能,而且对于无源器件性能也会有适当的改善.

4 结论

衬底电导率的减小有利于减小衬底损耗对电感性能的影响.低电导率材料可以提高电感的 Q 值.对于硅衬底,当电导率从 10S/m 减小到 0.1S/m 时,电感 Q 值会有明显的提高.继续减小衬底电导

率则电感 Q 值的增加会趋于减小.增加金属与衬底间氧化层厚度可以减小电感与衬底之间的耦合效率,减小氧化层的寄生电容,并减小衬底对电感性能的影响,从而提高电感 Q 值,但厚的氧化层对工艺实现增加了难度.采用低 k 介质作为隔离层,不仅可以有效地改善电感的 Q 值,而且还可以有效地提高电感的自振荡频率.相比较而言,采用低 k 介质作为隔离层,是改善硅基螺旋电感性能比较理想的方法.并且低 k 材料作为隔离层也是未来微电子工艺发展的趋势之一.在硅锗 BiCMOS 工艺中,硅锗合金层的存在对电感的性能也会有所改进,但限于硅锗合金层的厚度一般都很小,这种改善并不是很明显.

参考文献

- [1] Taub S R, Alterovitz S A. Silicon technologies adjust to RF applications. Microwave and RF, 1994: 60
- [2] Larson L E. Integrated circuit technology options for RF ICs present status and future directions. IEEE J Solid-State Cir-

- cuits, 1998;33:387
- [3] Ozgur M, Zaghoul M E, Gaitan M. Optimization of backside micromachined CMOS inductors for RF applications. IEEE International Symposium on Circuits and System, 2000;185
- [4] Yue C P, Wong S S. Physical modeling of spiral inductors on silicon. IEEE Trans Electron Devices, 2000, 47(3):560
- [5] Rieh J S, Lu L H, Katehi L P B, et al. X-and Ku-band amplifiers based on Si/SiGe HBT's and micromachined lumped components. IEEE Trans Microw Theory Tech, 1998, 46(5):685

Effect of Substrate Structure on the Performance of a Silicon On-Chip Spiral Inductor^{*}

Xue Chunlai[†], Yao Fei, Cheng Buwen, and Wang Qiming

(State Key Laboratory of Integrated Optoelectronics, Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, China)

Abstract: The effect of substrate structure on the performance of a spiral inductor is investigated with the 3D electromagnetic simulator HFSS. With variations in the substrate structure including substrate conductivity, permittivity, and thickness of the dielectric layer, the performance of the inductors is analyzed in detail. The simulation results indicate that the performance of the spiral inductor can be improved by lowering the conductivity of the substrate, increasing the thickness of the dielectric layer, and using a low k dielectric layer. In the mean time, some "design rules" are summarized from the results of this study.

Key words: silicon; spiral inductor; quality factor; substrate structure

EEACC: 2140; 1350; 2560

Article ID: 0253-4177(2006)11-1955-06

^{*} Project supported by the National High Technology Research and Development Program of China (No. 2002AA312010), the State Key Development Program for Basic Research of China (No. G2000036603), and the Key Program of the National Natural Science Foundation of China (No. 60336010)

[†] Corresponding author. Email: clxue@semi.ac.cn

Received 17 April 2006, revised manuscript received 22 May 2006

©2006 Chinese Institute of Electronics