

栅型共振隧穿晶体管的设计与研制*

郭维廉^{1,2} 梁惠来¹ 宋瑞良^{1,†} 张世林¹ 毛陆虹¹ 胡留长¹ 李建恒¹ 齐海涛¹
冯震² 田国平² 商跃辉² 刘永强² 李亚丽² 袁明文² 李效白²

(1 天津大学电子信息工程学院, 天津 300072)
(2 中国电子科技集团第十三研究所, 石家庄 050051)

摘要: 在研制 RTD 经验的基础上设计并研制成功栅型 GaAs 基共振隧穿晶体管(GRTT). 文中对该器件的材料结构设计、器件结构设计、光刻版图设计、器件制作、参数测量与分析等进行了系统的描述. 所研制出的 GRTT 最大 PVCr 为 46, 最大跨导为 8mS, 为进一步改善器件性能和参数奠定了基础.

关键词: 共振隧穿晶体管; 栅控型器件; GaAs 基量子器件
EEACC: 2560J

中图分类号: TN313.2 文献标识码: A 文章编号: 0253-4177(2006)11-1974-07

1 引言

共振隧穿二极管(RTD)虽然具有高频、高速、双稳、自锁等优点^[1], 但它没有增益、扇出和驱动能力小、对 $I-V$ 特性没调制功能、输入和输出回路间不能隔离等缺点, 这给电路设计带来了不便. 而具有控制极的三端共振隧穿器件——共振隧穿晶体管(RTT)则可克服以上缺点. 虽然 RTT 的频率不如 RTD 的频率高, 一般为几十个 GHz 的量级, 但在微波和高速数字集成电路中仍具有重要的应用价值.

RTT 可以被定义为具有双势垒结构(DBS)而同时具有三个引出端的共振隧穿器件. 按照这个定义可以将 RTT 分成两大类: (1) 栅型 RTT, 即在 RTD 的基础上设计制作一控制栅极, 以调控其 $I-V$ 特性^[2,3]; (2) 复合型 RTT, 由 DBS 结构与一个高频三端器件, 如 HEMT^[4], MESFET^[5], HBT^[6] 相结合构成的 RTT.

栅型 RTT 又可分成 Schottky 栅和 p-n 结栅两种栅结构. 本文以 Schottky 栅 RTT 为主要研究内容, 对该器件的材料结构、器件结构和光刻版图进行了设计. 通过两批芯片片研制出对隧穿电流具有栅调控能力的 GaAs 基 RTT 器件. 经测量其跨导为 1.3~8mS. 目前虽然其性能和参数尚不够理想, 但为今后该器件的进一步研究和改进奠定了良好的基础.

2 材料结构设计

栅型 RTT 的材料结构如图 1 所示. 由于栅型 RTT 的栅结构主要通过器件结构和工艺来实现, 故其材料结构与同类材料的 RTD 基本上相同. 其中顶层和底层 Si 掺杂较重是为了减少串联电阻或进行无合金工艺; 发射极(集电极)设计了 $In_{0.17}Ga_{0.83}As$ 子阱是为了实现二维/二维的共振隧穿以改善器件的 $I-V$ 特性^[1]; 主阱中选用了 $In_{0.17}Ga_{0.83}As$ 代替 GaAs 是因为 $In_{0.17}Ga_{0.83}As$ 阱产生的基态能级比 GaAs 更低, 对降低 V_T 和 V_P 更为有利^[1]. 其他层材料基本上和常规 RTD 材料相近, 不需赘述.

500nm	n^+ -GaAs	$2 \times 10^{19} cm^{-3}$	top contact
50nm	n^- -GaAs	$2 \times 10^{17} cm^{-3}$	emitter
100nm	n^- -GaAs	$5 \times 10^{16} cm^{-3}$	
5nm	i-GaAs	undoped	spacer
5nm	i- $In_{0.17}Ga_{0.83}As$	undoped	sub-well
0.5nm	i-GaAs	undoped	spacer
1.7nm	i-AlAs	undoped	barrier
5nm	i- $In_{0.17}Ga_{0.83}As$	undoped	well
1.7nm	i-AlAs	undoped	barrier
0.5nm	i-GaAs	undoped	spacer
5nm	i- $In_{0.17}Ga_{0.83}As$	undoped	sub-well
5nm	i-GaAs	undoped	spacer
100nm	n^- -GaAs	$5 \times 10^{16} cm^{-3}$	collector
50nm	n^- -GaAs	$2 \times 10^{17} cm^{-3}$	
500nm	n^+ -GaAs	$2 \times 10^{19} cm^{-3}$	bottom contact
SI GaAs(100) substrate			

图 1 Schottky 栅型 RTT 材料结构

Fig.1 Material structure of Schottky gate RTT

* 超高速专用集成电路重点实验室基金资助项目(批准号:51432010204JW1401)

† 通信作者. Email: john_john8456@yahoo.com.cn

2006-04-19 收到, 2006-05-23 定稿

3 器件结构设计

3.1 器件结构和工作原理

为了强化 Schottky 栅对隧穿电流的调控作用, 本文选择了刻槽型^[2]和自对准栅两种栅结构^[3], 如图 2 所示. 在图 2(a)中, 刻槽栅结构是在腐蚀出的栅台面上向下腐蚀深度达到 DBS 的槽, 然后沉积一层能形成 Schottky 栅的金属, 当施加反向电压时, 耗尽区的扩展直接穿透 DBS 区, 侧向扩展的耗尽区使纵向中性的电流沟道截面减小, 故可调制电流的大小; 图 2(b)所示的自对准栅结构是在腐蚀出距 DBS 很近的栅台面上, 利用自对准电子束蒸发工艺, 以发射极金属 AuGeNi 周边的“帽沿”为掩蔽来完成自对准栅电极的制作. 这种自对准栅电极可以距离发射极纵向侧墙非常近, 使其在一定反向栅电压下所产生的耗尽区扩展所剩下的电流沟道截面非常窄, 形成对隧穿电流有效的控制. 以上两种栅控结构可以用下式来描述^[3]:

$$d = \sqrt{\frac{2\epsilon\epsilon_0(V_D - V_G)}{qN_d}} \quad (1)$$

$$S = w(L_{gg} - 2d) \quad (2)$$

式中 V_G 为栅电压; d 为耗尽区横向厚度; V_D 为 Schottky 势垒电压; ϵ_0 为真空电容率; ϵ 为 GaAs 介电常数; q 为电子电荷; N_d 为 n^- 掺杂浓度; L_{gg} 为

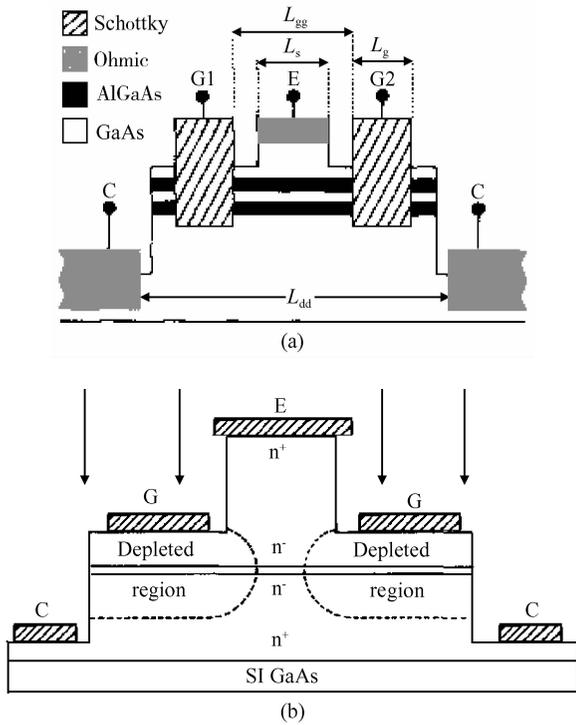


图 2 两种栅型 RTT 结构 (a)刻槽栅型; (b)自对准栅型
Fig.2 Two different gate structures of RTT (a) Groove gate RTT; (b) Self-aligned gate RTT

两栅之间的距离; w 为器件发射极与纸面垂直方向上的宽度; S 为纵向电流沟道的截面积.

3.2 器件结构设计

根据上述栅型 RTT 基本结构, 作者设计了刻槽型和自对准栅型两种 RTT 器件结构.

(1)刻槽栅型. 为了进一步强化栅对隧穿电流的调控作用, 增大 DBS 与栅侧向的耦合程度, 把发射极和栅条设计成插指形状.

(2)自对准栅型. 将自对准栅设计为围绕发射极四周的整个栅台面, 位于接近 DBS 的栅台面上.

(3)为了加强对隧穿电流的收集效果, 在上述两种器件结构中, 都将集电极设计为围绕整个器件的闭合环形.

4 版图设计

4.1 刻槽栅型 RTT 光刻版图

图 3 是所设计的刻槽栅型 RTT 光刻版图, 其中发射极条宽为 $3\mu\text{m}$, 栅极条宽为 $2\mu\text{m}$, 发射极与栅极条间距为 $2\mu\text{m}$, 发射极总面积为 $288.5\mu\text{m}^2$.

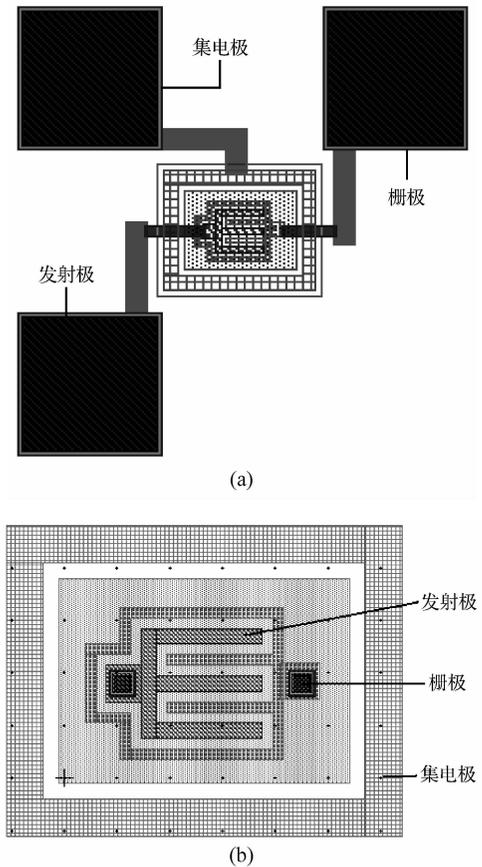


图 3 刻槽栅型 RTT 光刻版图 (a)RTT 全图; (b)器件局部
Fig.3 Mask of groove gate RTT (a) Whole RTT; (b) Part of device

4.2 自对准栅型 RTT 光刻版图

图 4 是自对准栅型 RTT 的光刻版图,包含面积为 $8\mu\text{m} \times 8\mu\text{m}$ (上方), $5\mu\text{m} \times 5\mu\text{m}$ (下方)的两个发射极,其栅面积为 $570\mu\text{m}^2$.

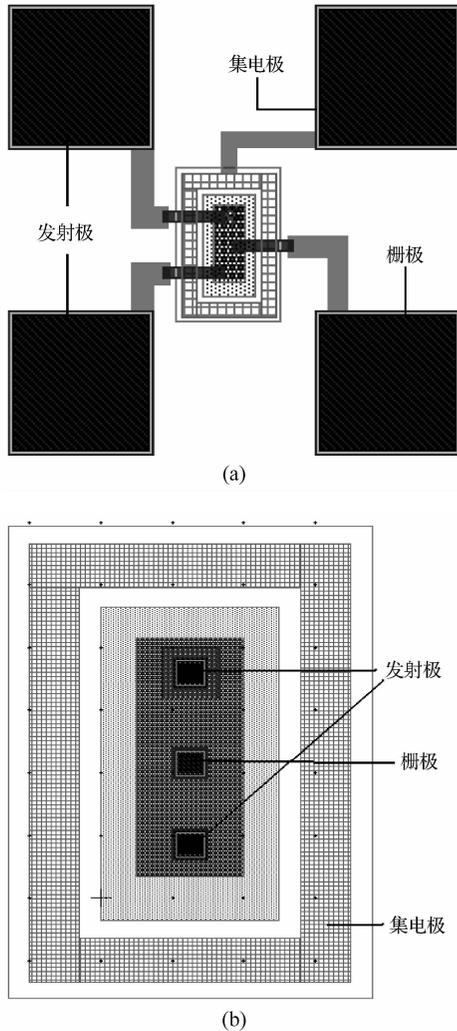


图 4 自对准栅型 RTT 光刻版图 (a)RTT 全图;(b)器件局部
Fig.4 Mask of self-aligned gate RTT (a) Whole RTT;(b) Part of device

5 器件制作工艺(自对准栅型不做刻槽工艺)

具体的器件制作工艺是:常规清洗→发射极光刻→溅射发射极金属→发射极金属剥离→栅台面腐蚀→刻栅槽→蒸发栅极 Schottky 势垒金属→栅金属剥离→集电区光刻→集电区电极溅射→集电区电极剥离→以光刻胶保护,光刻大台面→大台面腐蚀→PVCVD 生长 Si_3N_4 →光刻引线孔→腐蚀引线孔→溅射内联线金属→金属剥离→快速合金→压焊和

简单封装.

6 参数测试与分析

6.1 刻槽栅型 RTT

6.1.1 器件的 I-V 特性

刻槽栅型 RTT 在不同栅压下的 I-V 特性经过 XJ4810 型半导体特性图示仪测试,结果如图 5 所示.

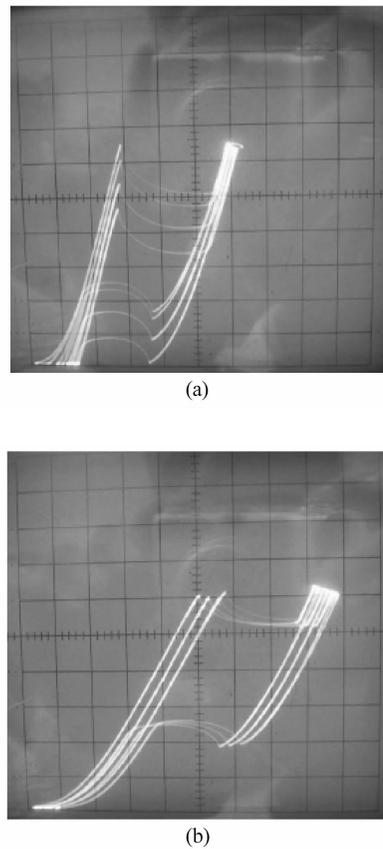


图 5 刻槽栅型 RTT 的 I-V 特性(以栅压为参数) (a)顶电极接地 ($x:0.2\text{V}/\text{div}, y:5\text{mA}/\text{div}, \text{step}:0.5\text{V}$); (b)底电极接地 ($x:0.2\text{V}/\text{div}, y:10\text{mA}/\text{div}, \text{step}:1\text{V}$)

Fig.5 I-V characteristics of groove gate RTT (gate voltage as a parameter) (a) Top contact connected to earth ($x:0.2\text{V}/\text{div}, y:5\text{mA}/\text{div}, \text{step}:0.5\text{V}$); (b) Bottom contact connected to earth ($x:0.2\text{V}/\text{div}, y:10\text{mA}/\text{div}, \text{step}:1\text{V}$)

6.1.2 器件的直流参数

从以上 I-V 特性可测得该器件的直流参数与栅压 V_G 的关系如表 1(顶电极接地)和表 3(底电极接地)所示.从表 1 可估算出顶端接地时平均跨导

$$\frac{\Delta I_P}{\Delta V_G} \text{ 为 } 5 \sim 8\text{mS}.$$

表 1 刻槽栅型 RTT 顶端电极接地时直流参数随栅压的变化
Table 1 DC parameters of groove gate RTT in top contact connected to earth as a function of gate voltage

V_G /V	I_P /mA	I_V /mA	V_P /V	V_V /V	V_T /V	R_N / Ω	PVCR	PVVR	J_P /(kA/cm ²)
0	32.5	8.5	0.58	0.74	0.065	-6.66	3.82	0.78	11.26
-0.5	30.5	7.5	0.58	0.74	0.16	-6.95	4.07	0.78	10.57
-1.0	27.0	4.0	0.57	0.72	0.24	-6.52	6.75	0.79	9.36
-1.5	23.0	0.5	0.56	0.71	0.28	-6.66	46.0	0.79	7.97

表 2 刻槽栅型 RTT 底端电极接地时直流参数随栅压的变化
Table 2 DC parameters of groove gate RTT in bottom contact connected to earth as a function of gate voltage

V_G /V	I_P /mA	I_V /mA	V_P /V	V_V /V	V_T /V	R_N / Ω	PVCR	PVVR	J_P /(kA/cm ²)
0	60	19	1.0	1.11	0.04	-2.68	3.16	0.90	20.79
-1	60	19	1.06	1.15	0.10	-2.19	3.16	0.92	20.79
-2	61	20	1.16	1.23	0.16	-1.70	3.05	0.94	21.14

6.1.3 器件参数随栅压变化的特性曲线

由以上两表中的数据可得到,刻槽栅型 RTT 顶端电极接地时直流参数随栅压变化的规律如图 6 所示.底端电极接地时直流参数随栅压变化的规律

如图 7 所示.

6.1.4 刻槽栅型 RTT $I-V$ 特性和直流参数随 V_G 变化的特征

(1)顶端电极接地情况

(I) I_P, I_V 随 V_G 变化比较明显,即 $\frac{\Delta I_P}{\Delta V_G}$ 和 $\frac{\Delta I_V}{\Delta V_G}$ 较大,而且 V_G 愈负, I_P, I_V 愈小.

(II) V_P, V_V 随 V_G 变化微弱, V_G 愈正, V_P 向右有微弱移动, V_V 几乎不变.

(III) 随 V_G 变负和 I_V 的减小, PVCR 明显变大,当 $V_G = 1.5V$ 时, PVCR = 46, 超过相应的 RTD 的 PVCR 值.

(IV) V_G 愈正, V_T 愈小. R_N 和 PVVR 几乎不变.

(2)底端电极接地情况

(I) I_P, I_V 随 V_G 变化极其微弱, I_P 绝对值比顶端接地时大.

(II) V_P, V_V 随 V_G 变化虽然幅度不大,但很明显, V_G 愈负, V_P, V_V 愈大(即向右移).

(III) $R_N, PVCR, PVVR$ 随 V_G 变化微弱, V_T 变化比顶端接地时小,趋势相同.

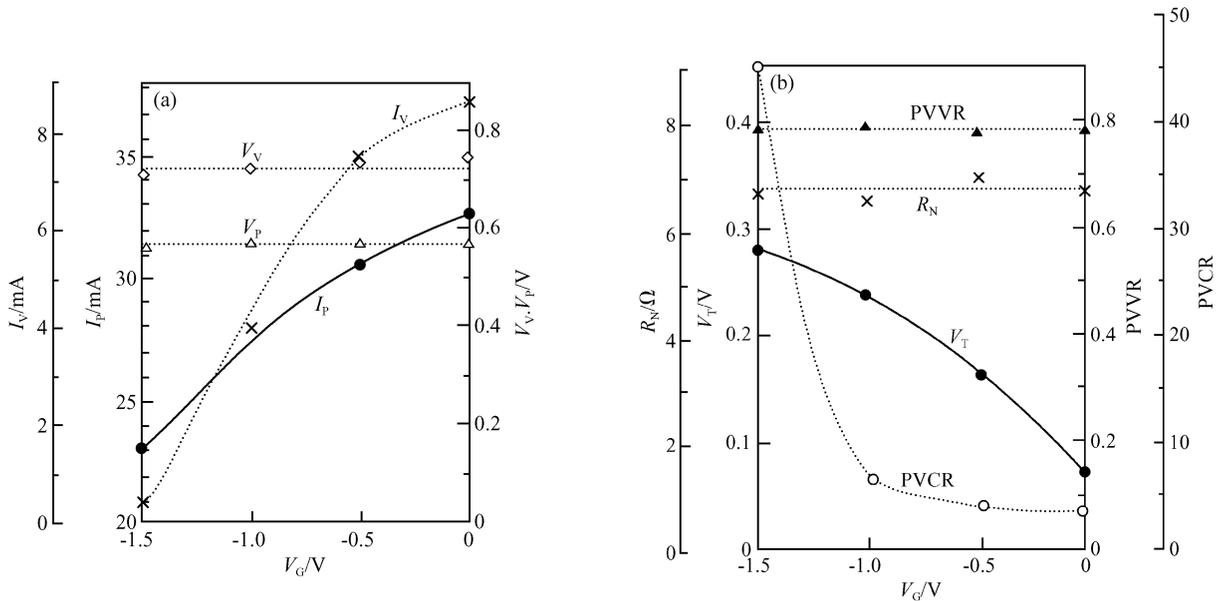


图 6 (a)顶端接地的刻槽栅型 RTT 的 I_P, I_V, V_P, V_V 与 V_G 特性曲线;(b)刻槽栅型 RTT 顶端接地时的 $V_T, R_N, PVCR, PVVR$ 与 V_G 特性曲线
Fig.6 (a) $I_P-V_G, I_V-V_G, V_P-V_G,$ and V_V-V_G characteristics of groove gate RTT top contact connected to earth;(b) $V_T-V_G, R_N-V_G, PVCR-V_G,$ and $PVVR-V_G$ characteristics of groove gate RTT top contact connected to earth

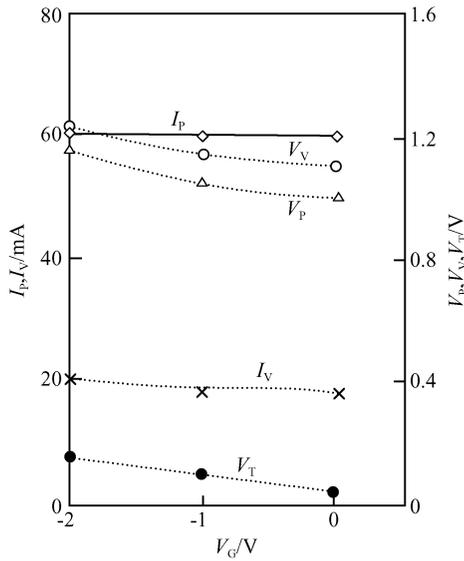


图 7 刻槽栅型 RTT 底端接地 I_P, I_V, V_P, V_V, V_T 与 V_G 特性曲线

Fig. 7 $I_P-V_G, I_V-V_G, V_P-V_G, V_V-V_G,$ and V_T-V_G characteristics of groove gate RTT bottom contact connected to earth

6.2 自对准栅型 RTT

6.2.1 器件的 $I-V$ 特性

器件的 $I-V$ 特性如图 8 所示.

6.2.2 器件的直流参数

自对准栅型 RTT 的直流参数如表 3(顶端电极接地)和表 4(底端电极接地)所示.

表 3 自对准栅型 RTT 顶端电极接地时直流参数随栅压的变化

Table 3 DC parameters of self-aligned gate RTT in top contact connected to earth as a function of gate voltage

V_G /V	I_P /mA	I_V /mA	V_P /V	V_V /V	V_T /V	PVCR	PVVR	R_N / Ω	J_p /(kA/cm ²)
0	20.2	5.6	0.54	0.76	0.22	3.6	0.71	15	80.8
-0.5	19.0	6.0	0.56	0.82	0.28	3.16	0.683	20	76.0
-1.0	17.6	6.4	0.60	0.86	0.32	2.75	0.697	23.2	70.4

表 4 自对准栅型 RTT 底端电极接地时直流参数随栅压的变化

Table 4 DC parameters of self-aligned gate RTT in bottom contact connected to earth as a function of gate voltage

V_G /V	I_P /mA	I_V /mA	V_P /V	V_V /V	V_T /V	PVCR	PVVR	R_N / Ω	J_p /(kA/cm ²)
0	35	13	0.92	1.04	0.40	2.69	0.88	5.45	140
-1	35	13	1.0	1.14	0.48	2.69	0.877	6.36	140

6.2.3 器件参数随栅压变化的特性曲线

从表 3 的数据可以得到自对准栅型 RTT 顶端电极接地时直流参数随栅压变化的规律,如图 9 所示.底端电极接地时的情况与刻槽栅 RTT 底端接地时的情况除 V_T 较大外基本上都相似,故略去其变化规律图.

6.2.4 自对准栅 RTT $I-V$ 特性和直流参数随 V_G 变化的特征

(1)顶端电极接地情况

比较图 5(a)和图 8(a),或比较表 1 与表 3,自

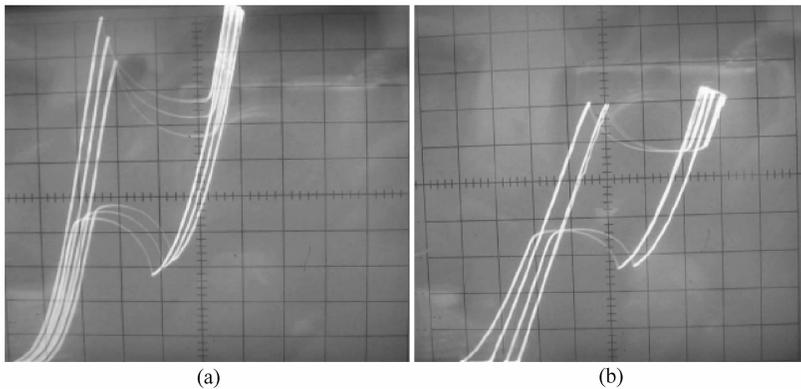


图 8 自对准栅型 RTT 的 $I-V$ 特性 (a)顶端电极接地 $x:0.2V/div, y:2mA/div, step:1V$; (b)底端电极接地 $x:0.2V/div, y:5mA/div, step:1V$

Fig.8 $I-V$ characteristics of self aligned gate RTT (a) Top contact connected to earth $x:0.2V/div, y:2mA/div, step:1V$; (b) Bottom contact connected to earth $x:0.2V/div, y:5mA/div, step:1V$

对准栅 RTT 和刻槽栅 RTT 的共同点都是 I_P, I_V 随 V_G 的变化比底端接地时显著得多,即 $\frac{\Delta I_P}{\Delta V_G}$ 和 $\frac{\Delta I_V}{\Delta V_G}$ 都较大.而不同点是:(1)自对准栅时 V_P, V_V

随 V_G 也存在一定的变化;(2) I_V 和 PVCR 随 V_G 变化的规律相反,即自对准栅时, V_G 愈负, I_V 愈大, 而 PVCR 愈小.

(2) 底端电极接地情况

比较图 5(b)和图 8(b)或比较表 2 与表 4,自对

准栅 RTT 除了 V_T 比刻槽栅时更大以外,其他情况基本都相似。

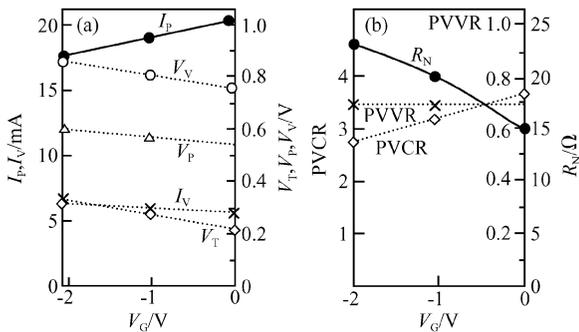


图 9 自对准栅型 RTT 顶端接地的 I_p, I_v, V_p, V_v, V_T 与 V_G 特性(a)以及 $R_N, PVCr, PVVR$ 与 V_G 特性(b)
Fig.9 $I_p, I_v, V_p, V_v, V_T-V_G$ (a) and $R_N, PVCr, PVVR-V_G$ (b) characteristics of self-aligned gate RTT top contact connected to earth

6.3 实验结果的初步分析

上述实验结果显示的情况比较复杂,很多现象未见过报导.对此将有另文作详细的分析和解释.因篇幅所限,在此只作概括而初步的分析说明。

不论刻槽栅型 RTT 还是自对准栅型 RTT,在顶端电极和底端电极接地时表现出的最大区别是,前者 $\frac{\Delta I_p}{\Delta V_G}$ 和 $\frac{\Delta I_v}{\Delta V_G}$ 较大,而 $\frac{\Delta V_p}{\Delta V_G}$ 和 $\frac{\Delta V_v}{\Delta V_G}$ 较小;后者 $\frac{\Delta V_p}{\Delta V_G}$ 和 $\frac{\Delta V_v}{\Delta V_G}$ 较大,而 $\frac{\Delta I_p}{\Delta V_G}$ 和 $\frac{\Delta I_v}{\Delta V_G}$ 较小.造成这种现象最根本的原因是器件结构上存在的不对称性.此不对称性主要表现在:(1)顶端电极面积较小(自对准栅)或为插指状(刻槽栅)而底端则为矩形框状电极;(2)在器件制作过程中栅极台面腐蚀较浅,其实际位置位于 DBS 与顶电极之间.此外,器件模拟结果充分显示出当栅极接负电压底端电极接地时纵向电流沟道的耗尽程度远远大于顶端电极接地的情况.因此当底端电极接地时在一定负栅压下纵向电流沟道存在一个数值较大的串联电阻,隧穿电流流经此电阻时产生电压降而使 V_p 和 V_v 发生沿电压轴的平移,即 $\frac{\Delta V_p}{\Delta V_G}$ 和 $\frac{\Delta V_v}{\Delta V_G}$ 较大;相反,当顶端电极接地时,沟道区耗尽程度很轻,仍保持一定的中性电流通道,栅压改变时中性通道截面积发生变化,则表现为 I_p 或 I_v 随栅压的变化,即 $\frac{\Delta I_p}{\Delta V_G}$ 和 $\frac{\Delta I_v}{\Delta V_G}$ 较大。

此外两种不同栅结构 RTT 的 $I-V$ 特性都存在起始电压 V_T 较大的问题,尤其是 V_G 负值较大时 V_T 随之也变大,这种现象不利于电路设计.产生这种现象的原因是发射极与栅极之间存在着另一种漏电流的通道,例如当发射极金属剥离不彻底时可能在发射极柱体侧面残留的金属可形成 E 或 G 极间额外的漏电流通道等.估计这些问题可通过进一步工艺上的改进而得到解决。

7 结论

在 GaAs 基材料衬底上,通过合理的材料结构设计、器件结构设计、光刻版图设计,经芯片流水,研制出刻槽栅和自对准栅两种结构的 RTT 器件.经过测试发现,其主要直流参数如 $I_p, V_p, PVCr$ 等皆随栅压而改变,最大的 $PVCR$ 可达到 46;还发现顶端接地时 $\frac{\Delta I_p}{\Delta V_G}$ 和 $\frac{\Delta I_v}{\Delta V_G}$ 较大,底端接地时 $\frac{\Delta V_p}{\Delta V_G}$ 和 $\frac{\Delta V_v}{\Delta V_G}$ 较大的现象.对上述现象给予初步解释,并估算出跨导 G_m 范围在 $1.3 \sim 8mS$.目前尚存在起始电压 V_T 较大和随 V_G 分散现象以及 G_m 有待进一步提高等问题,准备在今后研究中解决。

参考文献

- [1] Guo Weilian, Liang Huilai, Zhang Shilin, et al. Resonant tunneling diode. *Micronanoelectronic Technology*, 2002, 39(5): 11(in Chinese)[郭维廉, 梁惠来, 张世林, 等. 共振隧穿二极管. 微纳电子技术, 2002, 39(5): 11]
- [2] Peatman W C B, Brown E R, Rooks M J, et al. Novel resonant tunneling transistor with high transconductance at room temperature. *IEEE Electron Device Lett*, 1994, 15(7): 236
- [3] Stock J, Malindrostos J, Indlekofer K M, et al. A vertical resonant tunneling transistor for application in digital logic circuits. *IEEE Trans Electron Devices*, 2001, 48(6): 1028
- [4] Chen K J, Maezawa K, Yamamoto M. Novel current-voltage characteristics in an InP-based resonant tunneling high electron mobility transistor. *Appl Phys Lett*, 1995, 67(24): 3608
- [5] BonneFoi A R, McGill T C, Burnham R D. Resonant tunneling transistors with controllable negative differential resistances. *IEEE Electron Device Lett*, 1985, 6(12): 636
- [6] Seabaugh A C, Beam E A, Taddiken A H, et al. Co-integration of resonant tunneling and double heterojunction bipolar transistor on InP. *IEEE Electron Device Lett*, 1993, 14(10): 472

Design and Fabrication of Gate-Type Resonant Tunneling Transistors*

Guo Weilian^{1,2}, Liang Huilai¹, Song Ruiliang^{1,†}, Zhang Shilin¹, Mao Luhong¹, Hu Liuchang¹,
Li Jianheng¹, Qi Haitao¹, Feng Zhen², Tian Guoping², Shang Yuehui²,
Liu Yongqiang², Li Yali², Yuan Mingwen², and Li Xiaobai²

(1 School of Electronic Information Engineering, Tianjin University, Tianjin 300072, China)

(2 The 13th Research Institute, China Electronics Technology Group Corporation, Shijiazhuang 050051, China)

Abstract: A GaAs-based resonant tunneling transistor with a gate structure (GRTT) has been designed and fabricated successfully for the first time in mainland China. The design of the material structure, device structure, and photolithography mask; the fabrication of the device; and the parameter measurement and analysis are described systematically. The fabricated GRTT has a maximum PVCR of 46 and maximum transconductance of 8mS. This work establishes a foundation for further improvement of the performance and parameters of RTTs.

Key words: RTT; gate controlled device; GaAs based quantum device

EEACC: 2560J

Article ID: 0253-4177(2006)11-1974-07

* Project supported by the Foundation of the Ultra-High Speed ASIC Key Laboratory(No.51432010204JW1401)

† Corresponding author. Email: john_john8456@yahoo.com.cn

Received 19 April 2006, revised manuscript received 23 May 2006