

集成 CMOS 锁相环中抑制参考杂散的设计方法

陈永聪[†]

(朗波芯微电子有限公司, 北京 100084)

摘要: 在分析锁相环中参考杂散产生原因的基础上,提出了在不影响其他主要指标的前提下,采用提高电荷泵 Up/Down 电流匹配,减少电荷注入和时钟馈通问题;匹配 PFD 的 Up/Down 支路的对称性;加强电路的隔离等抑制参考杂散的设计方法.通过两次 TSMC 0.13 μm ,PCIExpress 收发器中 CMOS 锁相环电路的成功流片验证了这些方法的有效性.

关键词: 锁相环; 参考杂散; 频率综合; 时钟恢复; 相位噪声; 抖动;

EEACC: 1250; 1265Z

中图分类号: TN431.1

文献标识码: A

文章编号: 0253-4177(2006)12-2196-07

1 引言

高速锁相环在通信和微处理器等领域的应用十分广泛,一直是高速集成电路设计中的热点问题.随着最近 10 年通信领域和处理器的爆炸式发展,系统的工作频率越来越高,系统集成的功能越来越多.一方面,工作频率已经高达几个 GHz 甚至几十 GHz.从时域来看,时钟周期越来越短,对时钟的抖动要求越来越严格.从频域来看,对相位噪声要求变得更加苛刻.另一方面,随着市场对多功能、低成本、低功耗和小体积的手持终端的需求不断增长,CMOS 单片集成系统(system on chip,SOC)已经成为主流的系统解决方案.当锁相环和大量的数字、模拟及射频电路集成到同一芯片上时,其他电路,尤其是数字电路产生的干扰信号,可能通过电源、衬底,甚至 PCB 板,恶化锁相环的性能.这些使得低噪声的锁相环常常成为整个片上系统设计的关键部分.

锁相环噪声分为随机噪声和确定性噪声.随机噪声主要来源于器件的热噪声和闪烁噪声.在频域上表现为频线的裙带(phase noise),在时域上表现为随机的抖动(jitter).确定性噪声主要来源于振荡器外部周期性干扰信号,在频域上表现为不需要的杂散(spur),在时域上则表现为周期性的抖动(抖动的幅度呈现周期性).在锁相环设计中,随机噪声通常由振荡器的品质因子(Q 值)、偏置电路的噪声和控制环路共同决定.而确定性噪声却来源很多,常常无法通过 EDA 仿真发现,这使得杂散常常成为锁相环设计失败的主要原因.

参考杂散通常是锁相环中最常见和最严重的杂

散.在高速接口应用中,参考杂散严重地降低眼图的质量;而在无线传送的频率综合中,整数锁相环中的参考杂散正好落在无线收发的邻道上,它常常降低接收的邻道选择性(ACS)和发送的邻道杂散抑制(ACPR).在关于锁相环文献中,一些文献^[1~5]都只是通过理论来预测参考杂散的性能,更多的文献只是列出测试的参考杂散的指标以及一些比较.而对怎样抑制参考杂散,特别是芯片以及 PCB 串扰分析较少.

本文较为详细地分析了锁相环中参考杂散产生的原因以及减少参考杂散的方法.并将分析结果应用于 PCI-Express^[6] 接口芯片中的锁相环设计中.该锁相环采用 TSMC 0.13 μm 数字工艺,工作频率为 250MHz,输出 10 个相位间隔为 $2\pi/10$ 的多相位时钟.多时钟组合后,可以得到一个 2.5GHz 的高速时钟,应用于 PCI-Express 高速接口收发器芯片设计^[1](第一代,2.5Gbps/Lane).该方案采用数字工艺,将模拟接口部分和 MAC 层数字电路集成在一起,以降低成本.VCO 采用环形振荡器,避免了射频工艺才有的片上电感,变容管和 MIM(金属-介质-金属)电容,以进一步降低成本.

2 二阶电荷泵锁相环的基本理论

关于锁相环的理论专著很多,这里作者从本文实际需要出发,简要介绍电荷泵锁相环(charge-pump,PLL)最基本的结构.当电荷泵锁相环进入相位锁定后,可以将整个系统简化为一个线性系统^[7].当参考频率远大于锁相环的环路带宽时,可以将离散系统的电荷泵锁相环近似为一个连续线性系

[†] 通信作者. Email: yongcong.chen@rfintc.com

2006-05-01 收到,2006-07-29 定稿

统^[7]. 图 1 是电荷泵锁相环的线性等效小信号模型. 在图 1 中, $\theta_i(s)$ 代表相位域上的输入信号; $\theta_c(s)$ 代表相位域上参考时钟和反馈时钟之差; $\frac{I_p}{2\pi}$ 是相位域 $\theta_c(s)$ 到电流域 $i_d(s)$ 的传递函数, 代表鉴频鉴相器 (PFD) 和电荷泵 (CP) 电路; $Z_f(s)$ 是环路滤波器的传递函数; 而 $\frac{K_{vco}}{s}$ 则是从电压域到相位域的 VCO 的传递函数; $1/N$ 代表分频器的相位域传递函数.

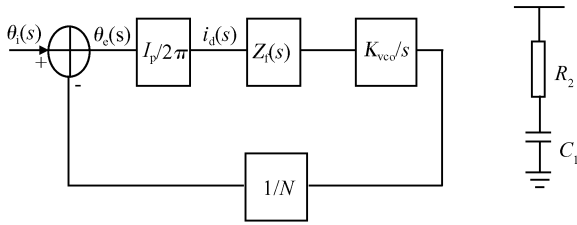


图 1 二阶锁相环传递函数(左边为带零点的一阶低通滤波器)
Fig. 1 Two order PLL transfer function (the left picture is a LPF with a zero)

图 1 中系统的相位误差传输函数 $H_c(s)$ 为:

$$H_c(s) = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (1)$$

其中 阻尼因子 ζ 和自然频率 ω_n 可分别表示为: $\omega_n = (K_{vco} I_p / 2\pi N C_1)^{1/2}$; $\zeta = \frac{1}{2} R_2 C_1 (K_{vco} I_p / 2\pi N C_1)^{1/2} = \frac{1}{2} \tau_2 \omega_n$, $\tau_2 = R_2 C_1$. 如果输入相位作幅度 $\Delta\theta$ 的阶跃. 时域表示为 $\theta_i(t) = \Delta\theta u(t)$, 拉氏变换可写为 $\theta_i(s) = \frac{\Delta\theta}{s}$. 利用拉氏变换终值定理, 根据二阶电荷泵锁相环相位误差传输函数 $H_c(s)$ 可得出电荷泵锁相环相应于相位阶跃输入的稳态相位误差:

$$\lim_{t \rightarrow \infty} \theta_c(t) = \lim_{s \rightarrow 0} s \theta_c(s) = \lim_{s \rightarrow 0} s \times \frac{s \Delta\theta}{s^2 + 2\zeta\omega_n s + \omega_n^2} = 0 \quad (2)$$

这反映了二阶电荷泵锁相环对于相位的阶跃输入, 最终稳态为输出和输入时钟相位差为零, 即理想情况下输出相位完全跟随输入相位, 没有静态相差.

3 参考杂散的产生原因

当参考时钟和反馈时钟相位差为 $\Delta\theta$ 时, 电荷泵会产生一个脉宽等于 $\Delta\theta/2\pi$, 大小等于 I_{cp} 的电流脉冲. 该电流脉冲近似为矩形脉冲, 用傅里叶级数来表示^[8]:

$$I_{out}(t) = I_{cp}(\Delta\theta/2\pi)f_{ref} + 2I_{cp}(\Delta\theta/2\pi) \times f_{ref} \sum_{n=1}^{\infty} Sa((\Delta\theta/2)nf_{ref}) \cos(2\pi nf_{ref} t) \quad (3)$$

其中 $I_{out}(t)$ 为输出电流; I_{cp} 为电荷泵 Up/Down 电流. 从(3)式中可以看到, 电荷泵输出可以分成两部分, 一部分为大小正比于相差的直流分量; 另外一部分是由参考频率的各次谐波构成的交流分量. 当相差为零时, 则电荷泵输出的直流分量和交流分量都为零. 这正是理想的电荷泵锁相环锁定后的状态.

当输入到 PFD 两个时钟信号很靠近时, 相位差很小, 这时产生的脉宽也很小. 由于电荷泵开关存在输入电容, 打开电荷泵需要一定的时间. PFD 产生的脉冲过小则很可能打不开电荷泵, 这相当于在一定的相差范围内, PFD/CP 对相差没有反应, 这就是死区. 通常在复位路径上插入延时单元, 比如两级反相器, 此时 PFD 产生的脉冲宽度 t_d 增加了两级反相器的延迟时间, 而 Up/Down 的脉宽差并没有变化. 这会导致在锁相环锁定情况下, Up 和 Down 会产生相同宽度(复位脉宽)的脉冲. 如果电荷泵的 Up/Down 电流完全匹配, 则锁相环的时钟和参考频率相差为零, 电荷泵输出也为零, 整个环路处于稳定状态, 没有参考杂散的产生.

实际上 Up/Down 电流不可能完全匹配. Up/Down 的误差产生的原因一方面是工艺偏差导致的晶体管失配; 另一方面是作为恒流源的晶体管处于不同的偏置状态而导致的电流失配. 锁相环只有在每个比较周期内流入滤波器的净电荷为零, 滤波器输出电压才能保持稳定, 锁相环才能维持在锁定状态. 如果上下电流不相等, 我们不妨可以假设 $I_{up} = I_{down} + \Delta i$. 这时上下电流要保证流入滤波器的净电荷为零, 上下电流导通的时间必然有差异, 电流小的导通时间更长. 这使得尽管滤波器上输入的净电荷为零, 但在时域上, 电荷是先注入再拉出(或者相反)的, 这会通过滤波器阻抗形成一个频率为参考频率及其谐波的交流成分, 从而调制 VCO 产生参考杂散.

假设 Up/Down 电流 I_{cp} 的失配为 Δi , 注意到 $\Delta\theta/2\pi$ 为 Up/Down 电流导通时间差, 可以得到这时静态相差为:

$$\Delta\theta = \Delta i t_d 2\pi / I_{cp} \quad (4)$$

将(4)式带入(3)式, 得到 VCO 控制电压的交流分量为:

$$V_{out}(t) = 2\Delta i t_d f_{ref} \sum_{n=1}^{\infty} Sa(\Delta i t_d / 2) \times n\omega_{ref} \cos(2\pi n f_{ref} t) |Z_{lpf}(f)| \quad (5)$$

其中 $|Z_{lpf}(f)|$ 为低通滤波器电流到电压的传递函数. 同样的推导方法, 可以得到因为 VCO 控制端漏电流 I_{leak} 引起的交流分量为:

$$V_{\text{out}}(t) = 2I_{\text{leak}} \sum_1^{\infty} Sa(n\pi I_{\text{leak}}/I_{\text{cp}}) \times \cos(2\pi n f_{\text{ref}} t) |Z_{\text{lpf}}(f)| \quad (6)$$

从(5)和(6)式可以看到, Up/Down 电流失配引起的 VCO 控制电压上的交流分量与失配绝对值以及同时导通的时间成正比, 而与电荷泵的工作电流大小无关; 而漏电流 I_{leak} 所引起的 VCO 控制电压上的交流分量与漏电流成正比. 除了电荷泵电流失配和漏电流问题外, 电荷泵开关并非理想开关, 开关的电荷注入和时钟馈通问题同样存在于电荷泵电路中. 当上下开关每次注入到低通滤波器的电荷失配时, 所引起的参考杂散类似于上下电流失配.

在 VCO 控制电压上的参考频率及其各次谐波分量都会调制 VCO 的输出从而产生参考杂散. 尽管后面的低通滤波器可以抑制高频成分, 但由于稳定性的原因, 滤波器阶数通常不会超过 3 阶, 而且第 2, 3 极点会远大主极点, 以获得足够的开环相位裕度. 所以滤波器对参考频率及其各次谐波的电压分量抑制是有限的. 由于 1, 2 阶参考频率成分通常比其他高阶谐波分量大, 而滤波器抑制又比其他高阶谐波抑制的要小, 所以 1, 2 阶参考杂散通常是最严重的杂散.

引起参考杂散的原因还有 PFD Up/Down 支路的不匹配. 由于 PFD Up/Down 信号支路电路对称, 版图上也较容易得到匹配. 常常被忽略的是 Up/Down 支路的复位延时不匹配. 由于传统的二与非门, 两个输入端并不对称, 这会导致两个输入端到输出端的延时并不相同, 当应用在 PFD 中, 如图 2 所示, 就会产生 Up/Down 支路的复位延时差异. 锁定后电荷泵的导通时间将会取最大的复位时间, 这将增加锁相环的参考杂散.

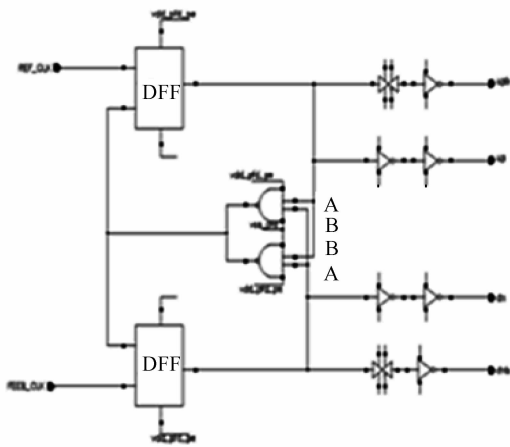


图 2 带平衡复位与非门的三态时序 PFD

Fig. 2 Tri-state sequence PFD with balance reset design

另外, 参考杂散还有一个重要来源就是耦合干扰. 我们知道 PFD、分频器及晶振/晶振的分频器都工作在参考频率或其谐波频率上, 这些电路可以直接通过电源和硅衬底将参考频率分量传递到 VCO, 从而调制 VCO 的输出. 在实际的项目设计中, 我们发现另外一个可能的耦合通道常常被设计者忽略. 那就是当使用外部低通滤波器时, 滤波器的输入和输出都在 PCB 上连接外部器件, 这些器件常常相临放置, 滤波器的输入输出之间寄生通道可能会导致参考频率直接耦合到 VCO 的控制电压, 从而减少了对电荷泵的参考杂散的抑制. 晶振电路通常输出幅度很大, 信号很强, 它们也可能通过芯片、封装引线及 PCB 直接导致参考杂散的出现.

4 低参考杂散、多相位输出锁相环的设计

我们使用的电路工艺为 TSMC 0.13 μm CMOS 数字工艺, 工作电压为 1.2V, 目的是降低整个收发器的成本和功耗. TSMC 0.13 μm CMOS 中, 1.2V 器件的阈值 $|V_t|$ 约为 0.4V, 这有助于低电压下电路的设计. 本文提出的锁相环是用在发射端的锁相环, 接收端还有一个 3 倍过采样的时钟恢复锁相环, 同样采用本文提出的抑制参考杂散的方法. 发送端整个锁相环功耗正常工作时小于 10mW. 参考频率为外部 40MHz 晶体加上片上震荡电路产生. 2.5GHz 时钟由 10 个相位均匀间隔的 250MHz 时钟组合而成. 由于采用环行振荡器, 多相位输出变得很容易. 我们采用 5 级差分延时单元, 输出间隔为 $2\pi/10$ 的 10 个时钟(见图 3), 上面部分是输出驱动单元(Buffer), 下面部分是 5 级差分延时单元. 整个锁相环, 包括环路滤波器全部片上集成. 环路带宽可以通过数字电路改变电荷泵电流、滤波器电阻和片上电容来调整.

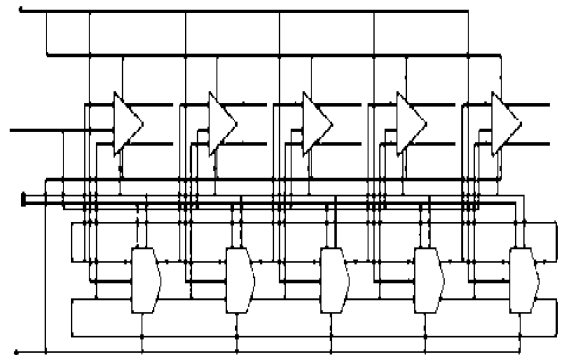


图 3 10 个相位输出的环形振荡器

Fig. 3 Ring oscillator with ten-phase output

整个收发器电路在 TSMC 多次流片. 其中锁相环修改主要在前两次流片. 第一次设计时, 没有充分考虑参考杂散抑制问题, 测试结果看到较大的参考杂散, 不能满足系统要求. 第二次流片时, 我们主要采用下面的参考杂散抑制方法, 得到较为满意的结果.

4.1 匹配电荷泵上下电流和减少电荷注入、时钟馈通问题

图 4 是我们项目中电荷泵的实现电路. 上下开关都采用互补开关 (UPB/UP 和 DN/DNB), 是为了避免 A, B 点的电位在开关导通的时刻发生跳变. 如果只采用单边的上下两个开关 (UPB 和 DN), 当上面开关截止时, A 点会被拉到电源电位; 同理, 当下面开关截止时, B 点会被拉到地电位; 而当各自的开关导通时, A 点或者 B 点会产生一个电压跳变, 这也会引入电荷泵注入的电荷失配, 从而产生参考杂散. 而图 4 所示电路, 上下电流源始终处于导通状态, A 点或者 B 点电位是稳定的. 为了更好地匹配上下电流源, 我们采用单位增益的 OPAMP, 使得左右分支的电流源和开关工作状态相同, 从而更好地匹配电流源.

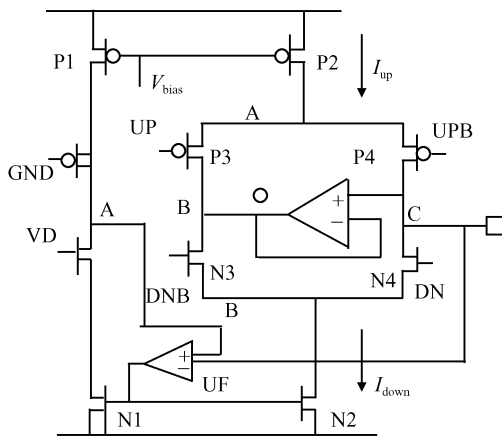


图 4 推荐的电荷泵电路的实现示意图
Fig. 4 Propose charge pump circuit

I_{up} 和 I_{down} 分别是由 N1 和 N2 产生的电流. N1 和 N2 取相同的 W/L , 且它们的栅电压相同. 当 N1 和 N2 处于饱和区时, 如果忽略沟道调制效应和几何图形失配, 则它们的漏极电流相等. 同理, 忽略沟道调制效应和几何图形失配时 P1 和 P2 的电流相等, 这样就实现了相等的 I_{up} 和 I_{down} . 但是如果考虑到器件的沟道调制效应, 这时图中 N1 和 N2 的 V_{ds} 不同, 这会导致 I_{d1} 和 I_{d2} 不同. 同样的问题出现在 P1 和 P2 上. 由于 C 点是 VCO 的控制电压, 它由电路设计参数决定. B 点电压跟随 C 点电压. 如果去掉放大器 UF 构成的负反馈电路, 将 P1 采用电流镜

接法 (这是最常见的设计), 这时 A 点电压可能并不等于 B 和 C 点电压, 这就导致 N1 和 N2 的 V_{ds} 不相等, 同时 P1 和 P2 的 V_{ds} 也不相等, 从而产生了 I_{up} 和 I_{down} 电流的失配. 如果增加 N1, N2, P1 和 P2 的沟道长度, 可以减少沟道调制效应, 但在某些低压电路设计时, 它们的沟道长度不能选择的过大. 对于工艺引起的偏差, 我们可以通过加大作为恒流源晶体管的尺寸, 在版图上采用对称中心方法来尽可能降低电流失配.

如果我们能够保证 A, B 和 C 点的电压相等, 那么我们就可以从原理上消除沟道调制效应给 N1, N2, P1 和 P2 带来的影响. 如何实现 A, B 和 C 点的电压相等是低静态相差实现的关键. 采用图 4 中的放大器 UF 构成的负反馈环路, A 点与 C 点虚短, $V(A) = V(C)$, 而 B 点电位跟随 C 点, 从而保证了 A, B, C 三点电位相等. 由于 P2 和 P1 的 V_{gs} 和 V_{ds} 都相等, 我们可以得到 $I_d(P2) = I_d(P1)$; 由于 N1, N2 的 V_{gs} 和 V_{ds} 都相等, 我们可以得到 $I_d(N2) = I_d(N1)$; 根据电荷守恒定理, A 点流入和流出的电流相等, 则 $I_d(P1)$ 必然等于 $I_d(N1)$. 从而我们得到 $I_d(P2) = I_d(N2)$, 即 up, down 电流精确匹配. 在图 5 中, 曲线 a 为本文提出的电荷泵的失配电流与 VCO 的控制电压的关系; 曲线 b 为不采用图 4 中负反馈环路时, 电荷泵的失配电流和 VCO 的控制电压的关系. 可以看出, 采用本文提出的电荷泵可以有效减少电荷泵上下电流的失配, 从而抑制参考杂散.

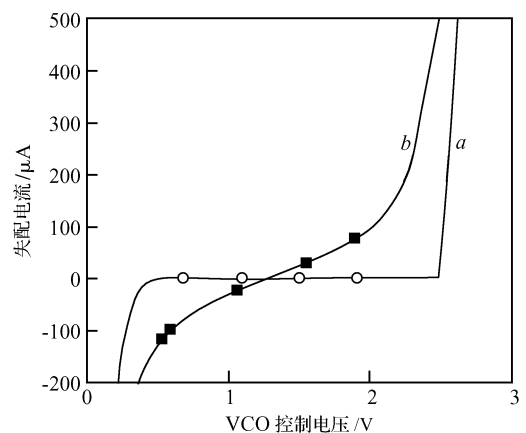


图 5 电荷泵失配电流和输出电压的关系
Fig. 5 Mismatch current of CP versus output voltage of CP

另一个主要问题是开关的电荷注入和时钟馈通效应在 VCO 的控制电压 (VCTR) 下引入干扰^[9]. 本文是采用小尺寸 MOS 管, 尽可能减少开关的寄生电容和沟道尺寸. 另外常见的方法是采用互补 CMOS 开关, 使用 nMOS 和 pMOS 沟道电荷互相抵消的思路来减轻电荷注入问题. 为了减少时钟馈通

问题,需要仔细优化 Up,Down 信号的上升和下降沿,在保证没有死区的情况下尽量避免过快的时钟沿.

4.2 消除 PFD 的 Up/Down 支路失配

理论上时序 PFD 可以有无限的捕捉范围,而且是边沿触发,对脉宽(duty cycle)不敏感.这些优点使时序 PFD 得到广泛的应用.在实际设计过程中,我们需要关注 PFD 的死区问题.从(5)式中可以看到 t_d 增加会导致参考杂散的增加.所以在实际设计过程中,我们在满足电荷泵打开时间的前提下,尽量减小 t_d .如上节分析,通常的二与非门可能导致 PFD Up/Down 支路的复位延时失配.为了克服复位延时失配,我们将双二与非门并联,然后让每个输入信号都分别接到二与非门的 A/B 输入端交叉连接来克服由于与非门两个输入端的不平衡(见图 2).

4.3 提高电路隔离

通常锁相环需要独立的电源,不能和其他电路的模块共享电源,特别是不能和数字电路的电源共用^[7].数字电路通常产生大量的脉冲噪声,其中数字电路的时钟及其倍频分量最大.大多数情况下,整个系统只有一个晶体振荡器作为参考源,这样数字电路的工作频率正是锁相环的参考或其倍频.在版图上,需要将数字电路远离锁相环以获得较好的隔离效果.同时数字电路和锁相环都需要通过隔离环来提高相互之间的隔离.

另外,PFD、电荷泵和分频器都工作在参考频率及其倍频上.它们工作时,都可能通过电源和衬底将参考干扰直接耦合到 VCO 上^[10,11],从而产生参考杂散.其中参考频率的 2,3 次谐波在滤波器上会有较大衰减,而衬底直接耦合可能是 2,3 次谐波的主要来源.这些模块之间的相互隔离也非常重要.

通过在电源上外加滤波电容来改善电源间的隔离是 PCB 设计的常用方法.通常需要在电源上,靠近输入引脚的地方,同时并联一个大的电容和一个小的电容.由于制作工艺的不同,大电容通常有较大的寄生电感和电阻,对高频噪声滤波效果不好,所以并接小的电容滤除高频干扰.

另外,通过降低锁相环环路带宽,使得参考杂散得到衰减,可以有效地降低参考杂散.通过降低 VCO 的增益,从而降低 VCO 对控制电压的敏感性,也是降低参考杂散的手段.但是环路带宽和 VCO 的增益通常直接由锁相环的设计指标决定,和锁相环其他指标密切相关,所以本文不把它们作为分析重点.本文提出的方法都是在不影响其他指标的前提下,抑制参考杂散.

5 测试结果

我们采用的测试设备为 Agilent 54844A,该设备采样率为 20GHz,最大带宽为 6GHz,可以直接看高频时钟的时域波形,得到 jitter 的统计分布,并带有频谱和相位噪声测试功能.图 6 为多相位时钟输出,由于示波器只能显示 4 路输入,这里只有 4 个相位.图 7 为第一次流片 cycle-cycle jitter 测试结果.图 8 为第一次流片 peak-peak jitter 测试结果.图 9 为第二次流片 cycle-cycle jitter 测试结果.图 7 显示第一次流片测试结果有明显的参考杂散出现.而在图 9 中没有明显的参考杂散.图 10 为第二次流片的 peak-peak jitter 测试.第二次流片测试中,从 cycle-cycle/peak-peak jitter 分布中,可以看到都呈现高斯分布,没有出现多个峰值,表明没有确定性的抖动.这说明参考杂散没有明显高过相位噪声.我们测试的锁相环 cycle-cycle rms jitter 为 10.2ps @

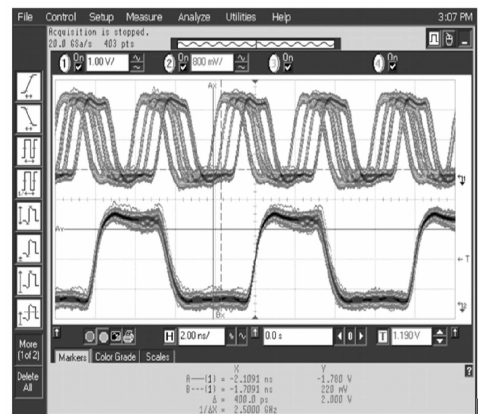


图 6 多相位输出时钟

Fig. 6 Multi-phase output clock

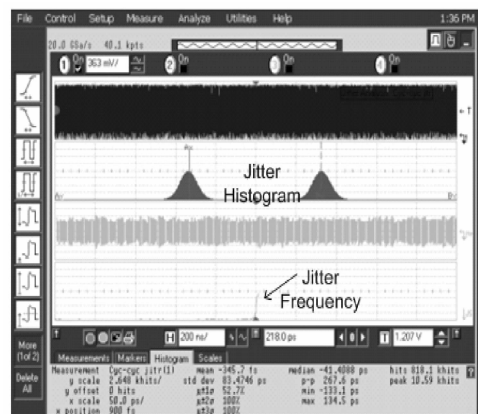


图 7 第一次流片 cycle-cycle jitter 测试

Fig. 7 Test result of cycle-cycle jitter in the first tape-out

250MHz,按照 6σ 标准,可以认为最大的 cycle-cycle jitter 为 62ps(1.5% 周期). 按照文献[2]定义的评价因子,本文在设计性能上与文献[3~5]相近,但我们设计的锁相环的功耗最低为 12mW. 两次的测试比较如表 1 所示. 全集成、多相位输出锁相环版图如图 11 所示.

表 1 两次测试比较

Table 1 Comparison between test results of the first and the second tape-out

	统计时钟数	cycle-cycle jitter		peak-peak jitter		说明
		RMS	MAX	RMS	MAX	
第一次	8181	83ps	267ps	27.5ps	165ps	有参考杂散
第二次	6477(c-c jitter) 6111(p-p jitter)	10.2ps	62ps	13ps	78ps	没有参考杂散

cycle-cycle jitter 为相邻的时钟周期的差值, peak-peak jitter 为一定时钟数目中,周期最长的和周期最短的时钟之差. RMS 值为高斯统计的方差值,认为方差的 6 倍是最大值(6σ 标准).

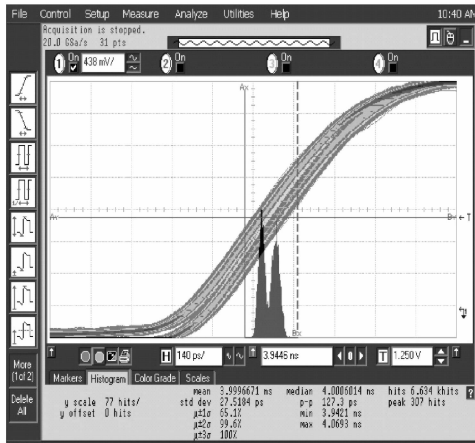


图 8 第一次流片的 peak-peak jitter 测试

Fig. 8 Test result of peak-peak jitter in the first tape-out

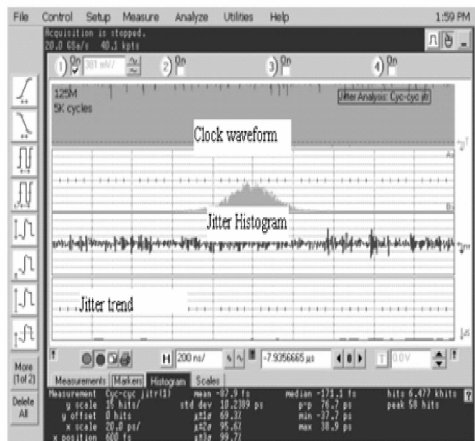


图 9 第二次流片 cycle-cycle jitter 测试

Fig. 9 Test result of cycle-cycle jitter in the second tape-out

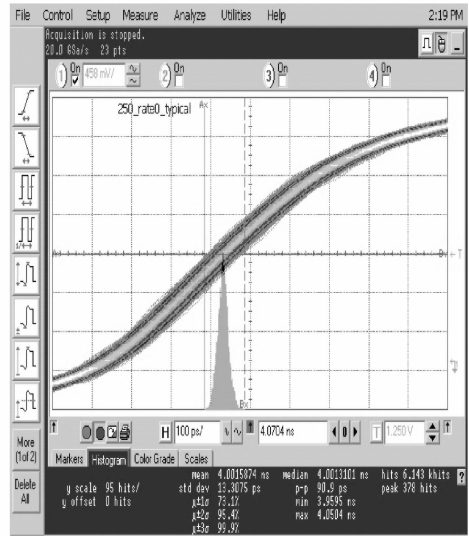


图 10 第二次流片 peak-peak jitter 测试

Fig. 10 Test result of peak-peak jitter in the second tape-out

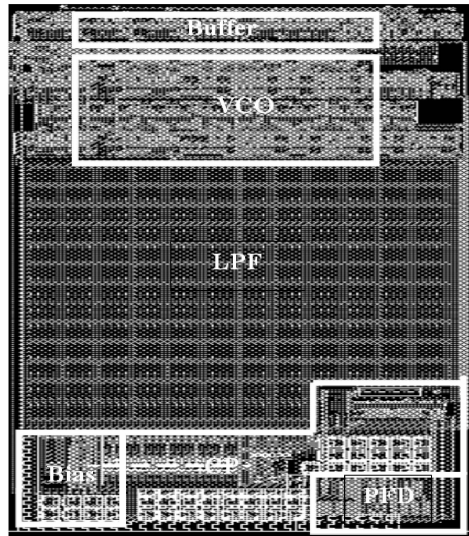


图 11 全集成、多相位输出锁相环版图

Fig. 11 Layout icon of the integrated and multi-phase output PLL

6 结束语

锁相环参考杂散常常是锁相环设计失败的重要原因. 无论是整数锁相环还是小数锁相环,都存在参考杂散问题[8]. 在射频应用中,参考杂散正好落在临道、次临道上,这将严重地影响信道选择性和交调特性. 而在作为时钟应用的场合,参考杂散极大地增加了时钟的抖动,可能导致关键路径上逻辑的失败. 在高速接口中,参考杂散使得眼图恶化.

本文通过对锁相环参考杂散产生原因的分析,提出了低参考杂散设计的方法. 参考杂散一方面来

源于电路本身;另一方面来源于版图和 PCB 设计. 本文通过实际的项目设计和多次的流片总结,提出了一些在不影响其他指标前提下,抑制参考杂散的方法. 主要是:(1)提高电荷泵的 Up/Down 电流匹配,减少电荷注入和时钟馈通问题.(2)匹配 PFD 的 Up/Down 路的对称性.(3)加强电路的隔离,特别提出注意 PCB 上的隔离.

本文通过两次流片及测试,证实了本文提出的参考杂散抑制的方法. 尽管本文提出的是一个多相位输出的环振锁相环,但本文提出的参考杂散抑制的方法具有普遍性,也可以应用在无线收发器中常常采用的 LC 振荡器锁相环中.

参考文献

- [1] Chien Hungming. A 4GHz fractional-N synthesizer for IEEE 802.11a. Symposium on VLSI Circuits, 2004; 46
- [2] McNeill J A. Jitter in ring oscillator. IEEE J Solid-State Circuits, 1997, 32; 870
- [3] Hwang I C. A CMOS self-regulating VCO with low supply sensitivity. IEEE J Solid-State Circuits, 2004, 39; 42
- [4] Anand S B. A CMOS clock recovery circuit for 2.5-Gb/s NRZ data. IEEE J Solid-State Circuits, 2001, 36; 432
- [5] Maxim A. Low-voltage CMOS charge-pump PLL architecture for low jitter operation. Proceedings of the 28 European Solid-State Circuits Conference, 2002, 28; 423
- [6] PCI-SIG. PCI Express™ Base Specification Revision 1.0a, 2003
- [7] Razavi B. Monolithic phase-locked loop and clock recovery circuits. Jonh & Sons, Inc. Publication, 1996
- [8] Vaucher C S. Architectures for RF frequency synthesizers. Kluwer Academic Publishers, 2002
- [9] Razavi B. Design of analog CMOS integrated circuits. McGraw Hill Company, 2001
- [10] Herzel F, Razavi B. A study of oscillator jitter due to supply and substrate noise. IEEE Trans Circuits Syst-II, 1999; 46 (1); 56
- [11] Pun A L, Yeung T, Lau J, et al. Substrate noise coupling through planar spiral inductor. IEEE J Solid-State Circuits, 1998; 33(6); 877

Design Technique to Restrain Reference Spurs in CMOS Phase Lock Loops

Chen Yongcong[†]

(RF Integrated Corporation, Beijing 100084, China)

Abstract: We first analyze the source of reference spurs. Then we present some design techniques to restrain them. These techniques include improving the matching between the up current and down current in the charge pump, alleviating the charge injection and clock feed-through of the charge pump's switch, matching the up/down branch of the PFD, and enhancing the isolation of the PLL both in IC and PCB. Two PLLs designed for PCI-express transceivers are fabricated in a TSMC 0.13 μ m CMOS process. Measurement results show that these methods are effective.

Key words: PLL; reference-spur; frequency-synthesizer; CDR; phase-noise; jitter

EEACC: 1250; 1265Z

Article ID: 0253-4177(2006)12-2196-07

[†] Corresponding author. Email: yongcong.chen@rfintc.com

Received 01 May 2006, revised manuscript received 29 July 2006