

一种用于电视调谐器的宽带 CMOS 低噪声放大器设计*

廖友春 唐长文[†] 闵昊

(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘要: 介绍了一种宽带 CMOS 低噪声放大器设计方法, 采用噪声抵消技术消除输入 MOS 管的噪声贡献. 芯片采用 TSMC 0.25 μm 1P5M RF CMOS 工艺实现. 测试结果表明: 在 50~860MHz 工作频率内, 电压增益约为 13.4dB; 噪声系数在 2.4~3.5dB 之间; 增益 1dB 压缩点为 -6.7dBm; 输入参考三阶交调点为 3.3dBm. 在 2.5V 直流电压下测得的功耗约为 30mW.

关键词: 宽带低噪声放大器; 噪声系数; 线性度; 噪声抵消

EEACC: 1205; 1220; 6420D

中图分类号: TN4 文献标识码: A 文章编号: 0253-4177(2006)11-2029-06

1 引言

目前各种窄带 CMOS 射频单元电路和系统都得到了深入的研究和广泛的应用. 随着 CMOS 技术的持续进步和应用范围的不断扩展, 宽带射频收发机的单元电路和系统的研究也得到了越来越多的关注. 例如, 可用于接收数百个数字电视频道(带宽范围 50~860MHz)的宽带射频电视调谐器(TV tuner), 不仅能够取代由分离器件组成的传统电视调谐器, 而且能够应用于手机、PDA、笔记本电脑等各种移动终端, 有着广泛的应用前景. 但是, 信号带宽的增加使得宽带射频系统和电路设计面临着许多新的挑战, 需要研究新的电路结构以满足在整个工作频率范围内所有性能指标都达到系统要求.

低噪声放大器作为射频接收机的第一个有源模块, 对系统的性能好坏起着十分重要的作用^[1]. 目前国内外对 CMOS 低噪声放大器的研究主要针对窄带应用, 采用的大都是带源极电感负反馈的共源-共栅电路结构^[2], 片上螺旋电感和输入 MOS 管栅-源寄生电容谐振在所需要的工作频率, 从而得到较好的阻抗匹配特性和较低的噪声系数. 但是该结构的缺点在于: 一方面, 电路只能工作在一个特定的频率点, 且器件的寄生参数随着频率会发生很大的变化, 因此不适用于宽带应用场合; 另一方面, 片上电感的采用使得芯片面积很大, 增加了芯片成本.

本文针对电视调谐器应用要求设计了一种宽带

低噪声放大器, 该电路采用噪声抵消技术消除输入 MOS 管的噪声贡献, 在整个工作频率范围内达到了电压增益、阻抗匹配、噪声系数和线性度等性能指标的要求. 该电路不需要采用片上电感, 大大减小了芯片面积.

2 射频电视调谐器系统对低噪声放大器的要求

图 1 是一种射频电视调谐器的全集成解决方案^[3]. 天线接收到的射频信号经过带通滤波器(BPF)滤波得到 50~860MHz 的有效信号以后, 首先通过宽带低噪声放大器进行放大, 然后经过两次变频过程将所需的频道搬移到中频 40MHz 附近. 自动增益控制(AGC)放大器调整中频信号的幅度, 模数转换器(ADC)将模拟信号转换为数字信号, 最后由数字基带进行信号处理. 该方案中的两次变频技术可以有效抑制镜像信号的干扰, 同时还可以减小本机振荡器的调谐范围, 进而降低了集成压控振荡器的设计要求.

低噪声放大器性能参数的好坏决定整个电视调谐器系统的性能水平. 衡量低噪声放大器的主要性能指标包括电压增益、阻抗匹配特性、噪声系数和线性度等. 其中电压增益决定了输出信号幅度的强弱, 阻抗匹配特性保证了信号的有效传输和系统的稳定性, 噪声系数决定了系统信噪比(SNR)的恶化程度, 线性度决定了信号的失真大小. 由于人眼对视频图

* 上海市科学技术委员会(批准号:037062019)和上海应用材料研究与发展基金(批准号:0425)资助项目

[†] 通信作者. Email: zwtang@fudan.edu.cn

2006-05-22 收到

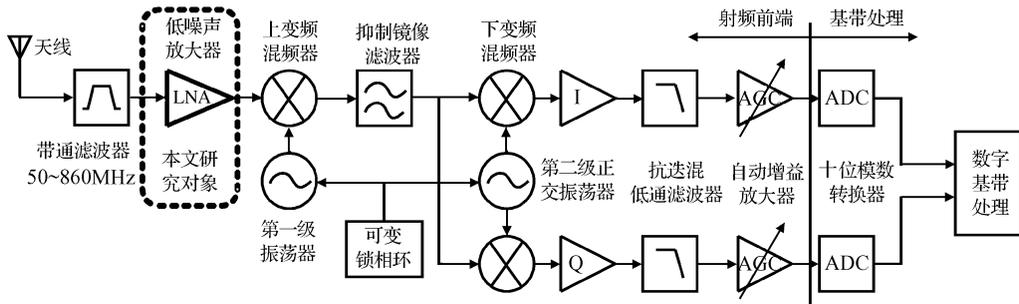


图 1 两次变频射频电视调谐器架构
Fig.1 Architecture of double-conversion TV tuner

像的分辨率非常敏感,要得到清晰的电视图像需要系统的信噪比很高,这样就对低噪声放大器提出了非常苛刻的性能要求.因此,前端宽带低噪声放大器的设计是该系统能否实现的难点和关键.图 1 中的射频电视调谐器系统,要求在 50~860MHz 工作频率内,低噪声放大器具有良好的输入输出阻抗匹配特性,最大增益 (S_{21}) 在 12dB 以上,噪声系数 (NF) 不高于 4dB,输入参考三阶交调点 (IIP3) 大于 3dBm.

3 噪声抵消原理和电路实现

3.1 噪声抵消原理

对于图 2 中带反馈的共源放大电路^[4,5],输入 MOS 管 M1 是最主要的噪声源.其漏源噪声电流可以表示为

$$\overline{i_{n,M1}^2} = 4kT\gamma g_{M1} \quad (1)$$

其中 γ 为 MOS 管噪声系数; g_{M1} 为 M1 管的跨导.

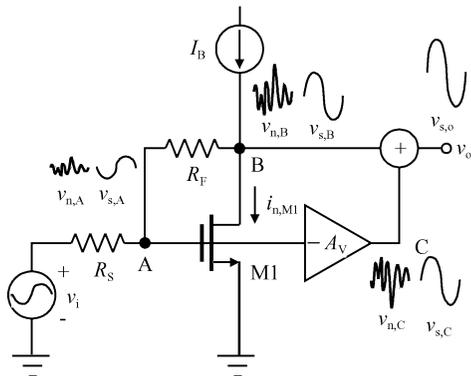


图 2 噪声抵消技术
Fig.2 Noise-canceling technique

假设 $i_{n,M1}$ 方向由漏到源,当 $i_{n,M1}$ 流过电阻 R_F 和 R_S 所组成的串联回路时,在 B 点和 A 点分别产生噪声电压 $v_{n,B}$ 和 $v_{n,A}$

$$v_{n,B} = -i_{n,M1}(R_S + R_F) \quad (2)$$

$$v_{n,A} = -i_{n,M1}R_S \quad (3)$$

输入信号源 v_i 在 A 点产生信号电压 $v_{s,A}$,经过 M1 管和电阻 R_F 组成的共源放大电路放大后,在 B 点得到信号电压 $v_{s,B}$.通过交流小信号电路分析可以得到

$$v_{s,B} = (1 - g_{M1}R_F)v_{s,A} \quad (4)$$

可见,A 点和 B 点的信号电压相位相反,而噪声电压相位相同.通过一个电压增益为 $-A_V$ 的辅助放大器将 A 点的电压放大到 C 点,调整 $-A_V$ 的大小可以使得 B 点和 C 点噪声电压幅值相同而相位相反.再将 B 点和 C 点的电压相加,则在输出端噪声电压被完全抵消,而信号电压由于相位相同得到增强.

图 3 中的 nMOS 管 M2 和 M3 可实现放大电路 $-A_V$ 和信号相加的功能.M2 管起共源放大作用;M3 管是 M2 管的有源负载,同时起源极跟随器的作用,将 B 点的信号传输到输出端; R_L 为 50Ω 负载阻抗.

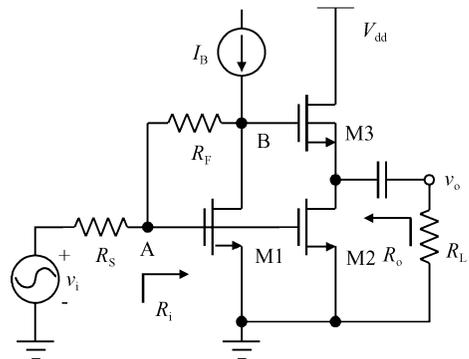


图 3 电路实现
Fig.3 Circuit implementation

假设 M1,M2 和 M3 的输出电阻 r_o 均为无穷大,通过小信号电路分析可以得到电路的输入阻抗和输出阻抗分别为

$$R_i \approx 1/g_{M1} \quad (5)$$

$$R_o \approx 1/g_{M3} \quad (6)$$

其中 g_{M3} 为 M3 管的跨导. 当电路满足 50Ω 阻抗匹配条件时 ($R_S = R_i = 50\Omega, R_o = R_L = 50\Omega$), 有

$$g_{M1} = g_{M3} = 1/R_S \quad (7)$$

若 M2 管的跨导为 g_{M2} , 则辅助放大器的电压增益为

$$-A_V = -g_{M2}(R_L \parallel 1/g_{M3}) = -g_{M2}R_S/2 \quad (8)$$

忽略 M3 管的衬偏效应, 可以计算得到源极跟随器 M3 管的电压增益为

$$A_{V3} = g_{M3}R_L/(1 + g_{M3}R_L) = 1/2 \quad (9)$$

这样, M1 管的噪声电流在输出端贡献的噪声电压为

$$\begin{aligned} v_{n,o} &= v_{n,A}(-A_V) + v_{n,B}A_{V3} \\ &= -i_{n,M1}[R_S(-g_{M2}R_S/2) + (R_F + R_S)/2] \end{aligned} \quad (10)$$

要使输出噪声电压为 0, 即 $v_{n,o} = 0$, 则有

$$g_{M2} = (1 + R_F/R_S)/R_S \quad (11)$$

称(11)式为“噪声抵消条件”. 在满足噪声抵消条件时, (8)式可表示为

$$-A_V = -(1 + R_F/R_S)/2 \quad (12)$$

输出端的信号电压为

$$\begin{aligned} v_{s,o} &= v_{s,A}(-A_V) + v_{s,B}A_{V3} \\ &= -v_{s,A}[(1 + R_F/R_S)/2 - (1 - g_{M1}R_F)/2] \\ &= -v_{s,A}R_F/R_S \end{aligned} \quad (13)$$

因此电路总电压增益为

$$A_{VF} = v_{s,o}/v_{s,A} = -R_F/R_S \quad (14)$$

3.2 噪声系数计算

计算噪声系数时, 可以先分别计算出电路中每个独立噪声源在输出端的噪声电压贡献, 然后根据这些噪声源的无关性, 将它们直接相加得到输出端总的噪声电压功率, 再等效到输入端从而得到电路总的噪声系数^[1]. 图 3 电路的噪声系数可以表示为

$$\begin{aligned} NF &= \frac{\overline{v_{n,o,total}^2}}{A_{VF}^2 \times 4kTR_S} \\ &= 1 + \frac{\overline{v_{n,M1}^2} + \overline{v_{n,R_F}^2} + \overline{v_{n,M2,M3}^2} + \overline{v_{n,R_L}^2}}{A_{VF}^2 \times 4kTR_S} \end{aligned} \quad (15)$$

其中 $\overline{v_{n,M1}^2}$, $\overline{v_{n,R_F}^2}$, $\overline{v_{n,M2,M3}^2}$ 和 $\overline{v_{n,R_L}^2}$ 分别表示 M1 管, 电阻 R_F , M2 和 M3 管以及电阻 R_L 在输出端贡献的噪声电压功率.

(1) MOS 管 M1 的噪声贡献

(10)式即为 MOS 管 M1 在输出端的噪声电压分量. 在满足噪声抵消条件(11)式的情况下, M1 管的噪声被完全抵消, 因此

$$\overline{v_{n,M1}^2} = 0 \quad (16)$$

(2) 电阻 R_F 的噪声贡献

电阻 R_F 的噪声电流可以表示为

$$\overline{i_{n,R_F}^2} = 4kT/R_F \quad (17)$$

该噪声电流分别作用于 A 点和 B 点, 流入 B 点的噪声电流与 M1 管的漏源噪声电流类似, 在噪声抵消条件下可以被完全抵消, 因此只需考虑流入 A 点的噪声电流作用. 该电流通过 R_S 到地, 在 A 点产生的噪声电压功率为

$$\overline{v_{n,R_F,A}^2} = \overline{i_{n,R_F}^2}R_S^2 = 4kTR_S^2/R_F \quad (18)$$

因此, R_F 在输出端贡献的噪声电压功率为

$$\overline{v_{n,R_F}^2} = \overline{v_{n,R_F,A}^2}A_{VF}^2 = 4kTR_F \quad (19)$$

(3) MOS 管 M2 和 M3 的噪声贡献

MOS 管 M2 和 M3 的噪声电流直接贡献在输出端, 与输出端的等效阻抗相乘即可得到相应的噪声电压. 而输出端到地的等效阻抗 $R_o^* = R_L \parallel 1/g_{M3} = R_S/2$, 因此 M2 和 M3 两管在输出端贡献的噪声电压功率为

$$\begin{aligned} \overline{v_{n,M2,M3}^2} &= 4kT\gamma(g_{M2} + g_{M3})(R_o^*)^2 \\ &= kT\gamma(g_{M2} + g_{M3})R_S^2 \end{aligned} \quad (20)$$

将(7)和(11)式代入(20)式, 可得

$$\begin{aligned} \overline{v_{n,M2,M3}^2} &= kT\gamma[(1 + R_F/R_S)/R_S + 1/R_S]R_S^2 \\ &= kT\gamma(2R_S + R_F) \end{aligned} \quad (21)$$

(4) 电阻 R_L 的噪声贡献

电阻 R_L 在输出端贡献的噪声电压功率为

$$\overline{v_{n,R_L}^2} = 4kTR_L \quad (22)$$

将(16), (19), (21), (22)以及(14)式代入(15)式, 可以得到在满足阻抗匹配和噪声抵消条件下电路的噪声系数为

$$\begin{aligned} NF &= 1 + \frac{R_F + \gamma(2R_S + R_F)/4 + R_L}{(R_F/R_S)^2 R_S} \\ &= 1 + \frac{R_S}{R_F} + \frac{\gamma}{4} \times \frac{R_S}{R_F} \left(\frac{2R_S}{R_F} + 1 \right) + \left(\frac{R_S}{R_F} \right)^2 \end{aligned} \quad (23)$$

由(14)和(23)式可以看到, 反馈电阻 R_F 与电压增益成正比, 与噪声系数成反比. 只要 R_F 的取值足够大就可以得到很大的电压增益和很小的噪声系数. 但是, 如果 R_F 取值很大, g_{M2} 也必须设计很大以满足(11)式的噪声抵消条件, 这样会导致电路功耗过大. 因此实际电路设计时必须考虑功耗和噪声系数的权衡关系, 选取适当的 R_F 值.

3.3 电路实现

图 4 是具体电路实现. 输入级采用 nMOS 和 pMOS 互补管形式, pMOS 管 M1B 的作用是通过电流复用技术增加输入级的跨导, 从而降低电路功耗. 第一级和第二级之间采用交流耦合, 设计时 R_2 取值较大, 这样既能保证第一级信号有效传输到第二级, 又能提供足够大的交流阻抗以保证第一级的电压增益不受影响. Cascode 管 M2B 用于提高电路的反向隔离 (S_{12}) 性能. pMOS 管 M4 和 M5 组成的电

透镜为输入级提供直流偏置电流,电容 C_1 是 M1B 管的源极交流旁路电容,可以减小电源电压抖动对电路增益和输入阻抗的影响,同时还能有效滤除直流偏置电路引入的噪声. M6~M8 支路为 M2B 管提供直流偏置电压,电容 C_3 用于滤除偏置电路引入的噪声. M3 和 M2B 管采用深 n 阱(deep n-well) nMOS 器件,其衬底直接与各自的源端相连以消除衬偏效应.

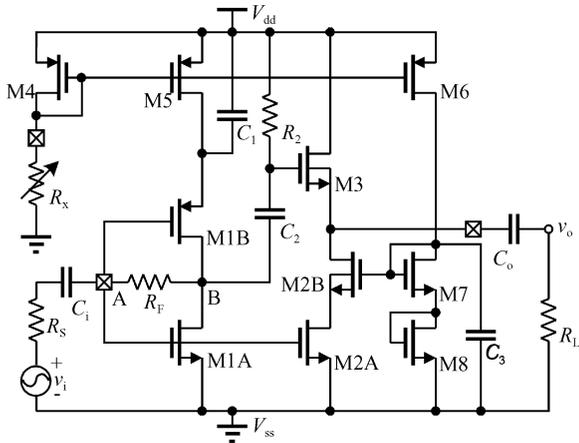


图 4 采用噪声抵消技术的低噪声放大器

Fig. 4 Low-noise amplifier with noise canceling technique

电路参数计算过程如下:

(1) 根据输入和输出阻抗都匹配到 50Ω 特征阻抗的要求, M1 和 M2 管的跨导必须满足

$$g_{M1A} + g_{M1B} = 1/R_s = 0.02S \quad (24)$$

M3 管的跨导满足

$$g_{M3} = 1/R_L = 0.02S \quad (25)$$

(2) 考虑到噪声系数和功耗的权衡关系,设计时取 $R_F = 400\Omega$. 可以算得电压增益

$$|A_{VF}| = R_F/R_s = 8 \approx 18dB \quad (26)$$

由于 MOS 管输出阻抗的影响,使得实际电路的电压增益比计算值小.

(3) 由噪声抵消条件(11)式可以算出 M2 管的跨导

$$g_{M2} = g_{M3}(1 + R_F/R_s) = 0.18S \quad (27)$$

设计时考虑到电路功耗的限制,取 $g_{M2} = 0.08S$. g_{M2} 取值低于计算值会导致辅助放大器 $-A_V$ 以及电路总电压增益的减小,还会导致噪声抵消条件发生偏移,使得实际电路的噪声系数比理论值大.

4 芯片实现及测试结果

芯片采用 TSMC $0.25\mu m$ RF CMOS 工艺实现,包括焊盘的芯片整体尺寸为 $0.47mm \times 0.44mm$. 键合时将接地端 V_{SS} 采用四根连线引出以

减小寄生电感的影响. 图 5 为键合后的芯片照片. 图 6 是测试用的 PCB 板照片, RF 信号输入和输出采用 50Ω 匹配的微带线连接,片外隔直电容 C_i 和 C_o . 取值均为 $1nF$. 在 $2.5V$ 直流电源供电情况下,芯片消耗的直流电流为 $12mA$.

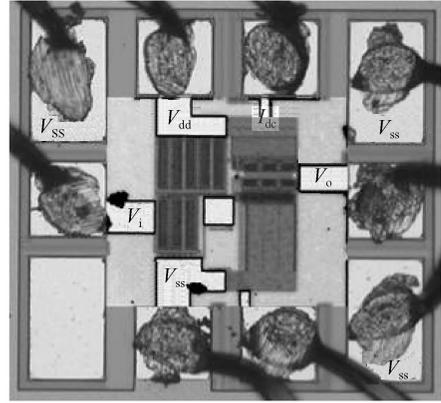


图 5 芯片照片

Fig. 5 Chip photograph

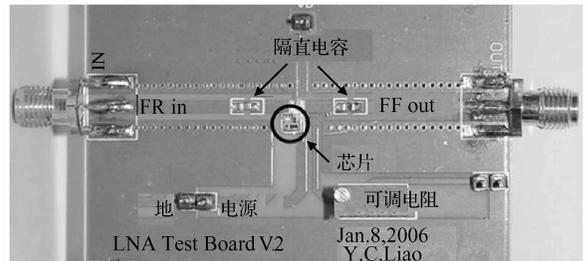


图 6 测试 PCB 板

Fig. 6 Testing PCB photograph

(1) S 参数

采用 Agilent E5071B 矢量网络分析仪进行 S 参数测试,输入信号源功率设置为 $-30dBm$. S 参数测试结果如图 7 所示. 在 $50MHz \sim 1GHz$ 频率范围内,电压增益 S_{21} 约为 $13.4dB$. 增益 $3dB$ 带宽范围为 $1MHz \sim 1.3GHz$. 输入匹配 S_{11} 从 -16 到 $-9dB$, 输出匹配 S_{22} 在 $-10dB$ 以下,反向隔离度 S_{12} 小于 $-19dB$.

(2) 噪声系数 NF

采用 Agilent N8975A 噪声分析仪测试噪声系数,仿真和测试结果如图 8 所示. 在 $50MHz \sim 1GHz$ 频率范围内,噪声系数小于 $3.5dB$,最小值约为 $2.4dB$ 左右. 在低频下噪声系数变差的主要原因是由于 MOS 管 $1/f$ 噪声的影响,而高频下噪声系数的恶化主要是由于输入端的寄生电容影响导致噪声抵消点条件发生偏移.

(3) 增益 $1dB$ 压缩点

增益 $1dB$ 压缩点的测量使用的信号源和功率

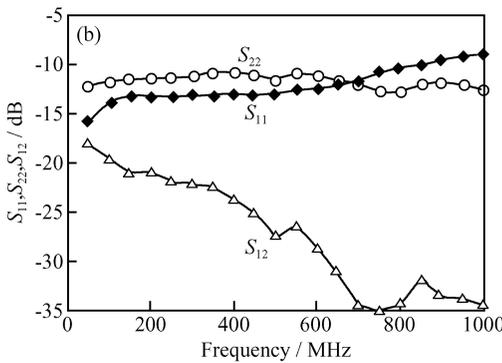
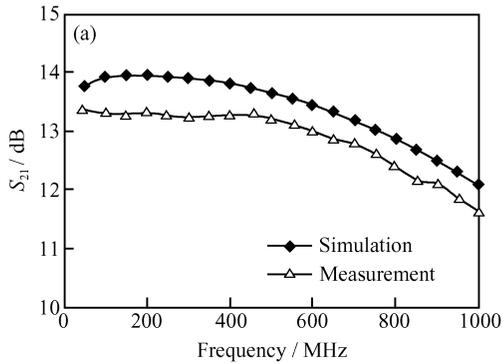


图 7 S 参数测试结果
Fig.7 Measured S-parameters

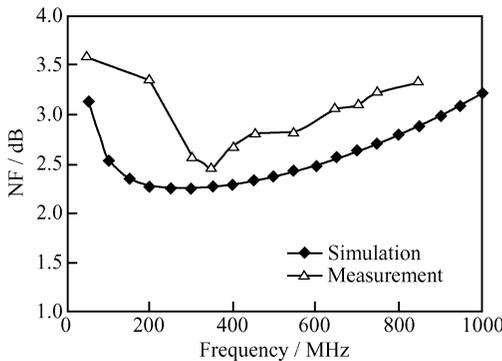


图 8 噪声系数仿真与测量结果
Fig.8 Simulated and measured NF

计分别是 Agilent E8251A 和 E4419B. 图 9 中实线为输入信号频率为 500MHz 时, 改变输入信号功率得到的输出功率曲线, 虚线为测试得到的输出功率减 1dB 后外推的直线. 外推直线与输出功率曲线的交点即为 1dB 压缩点, 约为 -6.7dBm.

(4) 三阶交调点 IIP3

三阶交调点的测试采用的是 Agilent E4437B 和 E4406A, 前者用于 two-tone 波形发生, 后者用于输出功率频谱分析. 记录对应不同输入功率的输出一次谐波和三次谐波的功率值, 通过外推法就可以得到三阶交调点. 在图 10 中, 输入频率为 500 和

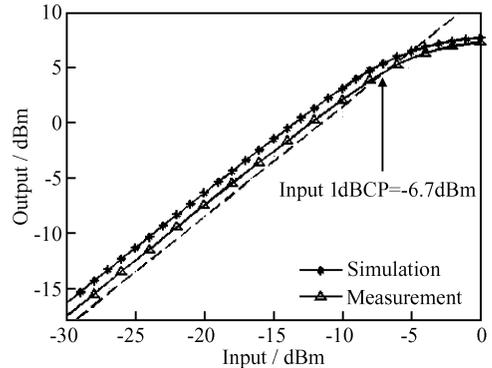


图 9 功率 1dB 压缩点仿真与测量结果
Fig.9 Simulated and measured 1dBBCP

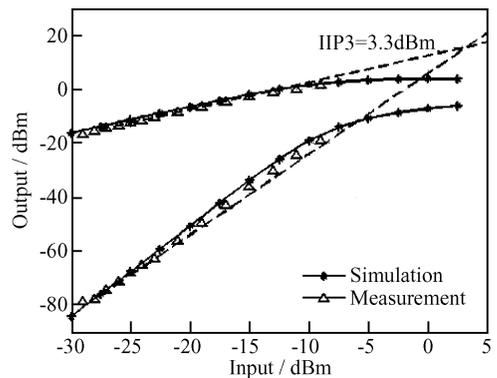


图 10 三阶交调点仿真与测量结果
Fig.10 Simulated and measured IIP3

502MHz 时, 三阶交调点约为 3.3dBm.

表 1 总结了本文电路的测试结果和近期文献中的其他 CMOS 宽带 LNA 设计结果. 从表中可以看到, 本文电路的输入、输出匹配和电压增益等参数与其他电路基本相同, 线性度 IIP3 有了一定的提高, 功耗有所下降, 总体性能较为平衡. 在 50~860MHz 工作频率范围内, 性能指标基本满足射频电视调谐器的应用需要.

表 1 测试结果概括及比较

Table 1 Summary of measured results and comparison to others' works

作者	Janssens ^[6]	Brucoleri ^[5]	Brucoleri ^[4]	Wang ^[7]	本文
工艺尺寸/ μm	0.5	0.35	0.25	0.13	0.25
频率/MHz	50~700	50~900	150~2000	100~930	50~860
S_{11} /dB	-	-	-8	-10	-9
S_{21} (增益)/dB	14.8	11	13.7	13	13.4
S_{12} /dB	-41	-30	-36	-20	-19
S_{22} /dB	-	-	-12	-10	-10
NF/dB	2.3~3.3	4.4	1.8~2.8	4	2.4~3.5
1dBBCP/dBm	-	-6	-9	-18	-6.7
IIP3/dBm	-4.7	14.7	0	-10.2	3.3
功耗/(mA·V)	3.3×3	1.5×3.3	14×2.5	0.6×1.2	12×2.5

5 结 论

本文分析了噪声抵消技术的原理和电路实现方法,介绍了一种采用噪声抵消技术的宽带 CMOS 低噪声放大器芯片的设计过程和测试结果.对电路的电压增益和噪声系数等参数进行了详细的分析,并给出了电路设计和参数计算的具体过程.测试结果表明,采用该技术的宽带低噪声放大器能够在宽的工作频率范围内得到较低的噪声系数、良好的阻抗匹配、高增益和高线性度等特性,基本满足射频电视调谐器的应用需要.

致谢 感谢南京五十五所的李拂晓、乔宝文、朱震宇和叶育红等人在芯片封装和测试方面的帮助,同时感谢上海 Agilent 开放实验室胡海洋等人提供芯片测试帮助.

参 考 文 献

- [1] Razavi B. RF microelectronics. New Jersey: Prentice-Hall, 1998
- [2] Shaeffer D K, Lee T H. A 1.5-V, 1.5-GHz CMOS low noise amplifier. IEEE J Solid-State Circuits, 1997, 32(5): 745
- [3] Dawkins M, Burdett A P, Cowley N. A single-chip tuner for DVB-T. IEEE J Solid-State Circuits, 2003, 38(8): 1307
- [4] Bruccoleri F, Klumperink E A M, Nauta B. Wide-band CMOS low-noise amplifier exploiting thermal noise canceling. IEEE J Solid-State Circuits, 2004, 39(2): 275
- [5] Bruccoleri F, Kulmperink E A M, Nauta B. Generating all two-MOS-transistor amplifiers leads to new wide-band LNAs. IEEE J Solid-State Circuits, 2001, 36(7): 1032
- [6] Janssens J, Crols J, Steyaert M. A 10mW inductorless, broadband CMOS low noise amplifier for 900MHz wireless communications. Proc IEEE CICC, 1998: 75
- [7] Wang S B T, Niknejad A M, Brodersen R W. A sub-mW 960-MHz ultra-wideband CMOS LNA. IEEE RFIC Symposium, 2005: 35

A Wide-Band CMOS Low-Noise Amplifier for TV Tuner Applications*

Liao Youchun, Tang Zhangwen[†], and Min Hao

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 201203, China)

Abstract: A wide-band CMOS low-noise amplifier (LNA) is presented, in which the input MOSFET thermal noise is canceled by exploiting a noise-canceling technique. The chip was implemented in a TSMC 0.25 μ m 1P5M RF CMOS process. Test results show that in the range of 50~860MHz, the voltage gain is about 13.4dB, and the noise figure (NF) is below 3.5dB with a minimum NF value of 2.4dB at 350MHz. The input-referred 1dB compression point is -6.7dBm, and the IIP3 is 3.3dBm. The chip consumes 30mW with a 2.5V power supply.

Key words: wide-band low-noise amplifier; noise figure; linearity; noise-canceling

EEACC: 1205; 1220; 6420D

Article ID: 0253-4177(2006)11-2029-06

* Project supported by the Shanghai Science & Technology Committee(No. 037062019) and the Shanghai Applied Material Funds(No. 0425)

[†] Corresponding author. Email: zwtang@fudan.edu.cn

Received 22 May 2006

©2006 Chinese Institute of Electronics