

# 基于耦合式电平位移结构的高压集成电路\*

乔 明<sup>†</sup> 方 健 李肇基 张 波

(电子科技大学微电子与固体电子学院, 成都 610054)

**摘要:** 设计并实现一种耦合式 C 型 (coupled) 高压电平位移结构, 避免常用 S 型结构中 LDMOS 漏极高压互连线 (HVI) 跨过器件源侧及高压结终端时的两处高场区, 以直接耦合式实现了高压电平位移和高低压隔离, 且减小了芯片面积. 借助 Pwell, Nepi, P-sub 所形成的 JFET 效应增加 C 型结构中隔离电阻; 引入金属场板 MFP, 防止 LD-MOS 的栅、漏与高压结终端多晶场板短接. 利用作者开发的高压 SPSM CD 工艺, 成功研制出基于 C 型电平位移结构的 1000V 三相功率 MOS 栅驱动集成电路. 结果表明, C 型电平位移结构的最高耐压为 1040V, 较常用 S 型结构提高了 62.5%, 所研制的 1000V 电路可满足 AC220V, AC380V 高压领域的需要.

**关键词:** 耦合式; 电平位移; 高压互连线; 高压集成电路

EEACC: 2560P; 2570P

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2006)11-2040-06

## 1 引言

高压功率 MOS 栅驱动集成电路中通常需要高压 LDMOS 完成高低压间的电平位移功能, 以满足驱动高端功率开关的需要. 高压 LDMOS 通常采用自隔离技术, 其漏极高压互连线 HVI (high voltage interconnection) 跨过 LDMOS 源侧和起着高、低端电路隔离作用的高压结终端, 称为 S 型 (separate) 电平位移结构. 由于 HVI 为最高正电位, 导致此两区内电场急剧增大, 使 1000V 级高压集成电路 (HVIC) 的耐压严重降低. 为此, 众多科研人员进行了大量的研究工作, 如采用单层多晶浮空场板<sup>[1,2]</sup>、双层多晶浮空场板<sup>[3,4]</sup>、改进的多浮空场板 (modified-MFFP)<sup>[5]</sup>、偏置多晶场板<sup>[6]</sup>、卷形阻性场板 (SRFP)<sup>[7]</sup> 等多种结构. 其中单层多晶浮空场板不能较好地屏蔽 HVI 的影响; 双层多晶浮空场板、modified-MFFP 增加了掩模版数目以及工艺成本; 偏置多晶场板、SRFP 存在工艺难度大, 工艺成本高, 有漏电流等缺点; 并且文献[1~7]中的 HVI 都跨过高压结构的低电势区, 本质上不能完全消除 HVI 导致的击穿电压降低, 从而无法达到高压结构的理想最高耐压.

本文首先通过二维器件仿真器 MEDICI<sup>[8]</sup> 分析 HVI 降低高压结构耐压的机理, 设计一种 C (coupled) 型电平位移结构, 避免常用 S 型结构中 HVI 引入的两处高场区所导致的击穿电压降低, 实现

LDMOS 以及高压结终端的最高耐压. 利用该高压 SPSM (single poly single metal) CD (CMOS DMOS) 工艺, 设计并成功研制了基于 C 型电平位移结构的 1000V 三相高压功率 MOS 栅驱动集成电路, 获得了满意的实验结果.

## 2 C 型电平位移结构与特性

图 1(a) 为常用 S 型电平位移结构的高压集成电路. 其中, 低端电路为基于低端逻辑地 GND 的电路, 高端电路为基于高端浮动地  $V_s$  的电路, 以满足桥式应用中驱动高端功率开关的需要; 一对采用自隔离技术的 LDMOS 完成高压电平位移功能, 其漏极 (D) HVI 跨过 LDMOS 源 (S) 侧以及起着高、低端电路隔离作用的高压结终端, 使得信号传送到基于  $V_s$  的高端电路, 从而完成基于 GND 的逻辑电平到基于  $V_s$  的位移; 高压结终端使得高、低端电路可工作在不同隔离岛内, 实现高低压隔离, 由于其与一对独立 LDMOS 是分开的, 因此它们构成了 S 型电平位移结构. HVI 为高压时, 其相对半导体表面带正电, 必然有电力线由此出发终止在结构中的低电势区, 导致 LDMOS、高压结终端的源侧场板末端 Si 表面处出现电力线局部集中、电场急剧增大, 从而极大降低二者的击穿电压. 我们设计并实现了图 1(b) 所示的一种 C 型电平位移结构, 其将一对独立的 LDMOS 耦合到高压结终端中, HVI 并没有跨过 LDMOS 及高压结终端的低电势区, 因此避免了由

\* 国家自然科学基金资助项目 (批准号: 60436030)

<sup>†</sup> 通信作者. Email: 2005qiaoming@163.com

2006-05-25 收到

HVI 导致的击穿电压降低,从而达到高压结构的最高耐压.其中 PFP 高压结终端为采用多晶场板(poly field plate)的高压结终端结构,MFP 高压结终端为采用金属场板(metal field plate)的高压结终端结构.

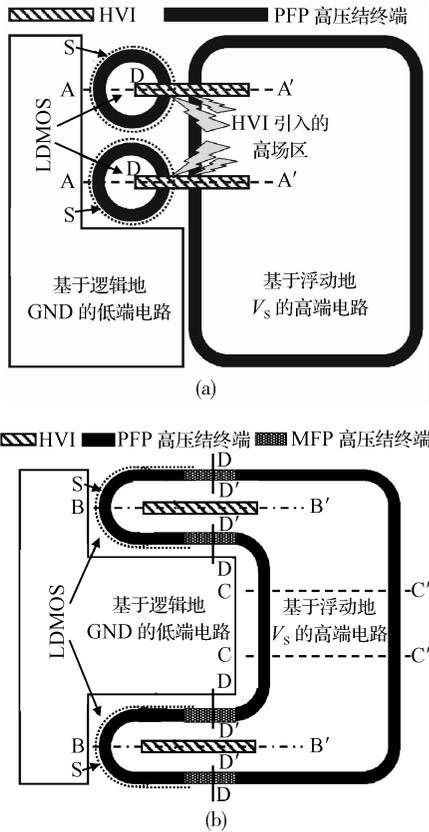


图 1 (a) S 型电平位移结构的高压集成电路;(b)C 型电平位移结构的高压集成电路  
Fig. 1 (a) HVIC with S level shift structure; (b) HVIC with C level shift structure

图 2 给出了图 1(a) AA' 剖面中 HVI 跨过 LDMOS 的高压结构图. LDMOS 采用双 RESURF (reduced surface field) 技术,实现了器件的高耐压以及低导电电阻.图中 P-sub 表示工艺中采用 p 型衬底材料,其浓度用  $p_{sub}$  表示;Nepi 表示 n 型外延层,其浓度及厚度分别用  $n_{epi}$  和  $x_{jnepi}$  表示;Pwell 用来形成 DMOS 器件的沟道区;P-top 的注入剂量、结深分别用  $Q_{ptop}$ ,  $x_{jptop}$  表示;结构中引入了 p 埋层,其产生的场调制了源端附近场分布,防止器件过早源区发生击穿; $n^+$  形成 LDMOS 的源和漏.应用二维器件仿真器 MEDICI 对器件进行仿真,其仿真的主要参数为: $p_{sub} = 1.79 \times 10^{14} \text{ cm}^{-3}$ ,  $n_{epi} = 1.1 \times 10^{15} \text{ cm}^{-3}$ ,  $x_{jnepi} = 23 \mu\text{m}$ ,  $Q_{ptop} = 3.2 \times 10^{12} \text{ cm}^{-2}$ ,  $x_{jptop} = 4.5 \mu\text{m}$ ,HVI 到硅表面的厚度为 2750nm.

图 3(a)给出了无 HVI 时,LDMOS 耐压 1000V 时的电势分布,相邻两条等势线间的电势差为

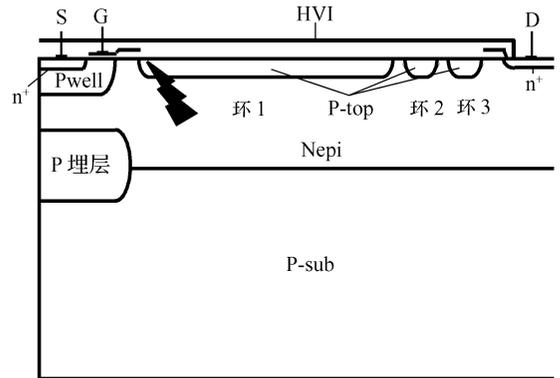


图 2 具有 HVI 的高压 LDMOS 剖面图  
Fig. 2 Cross section of HV LDMOS with HVI

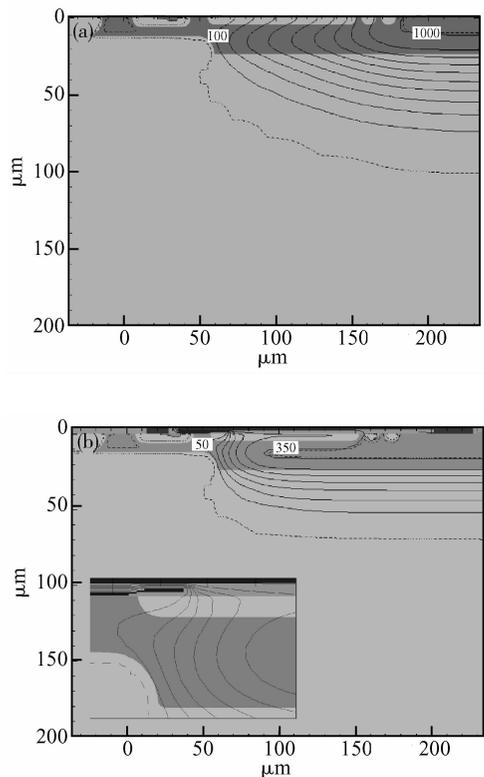


图 3 (a) 无 HVI 时 LDMOS 电势分布图;(b) 有 HVI 时 LDMOS 电势分布图  
Fig. 3 (a) Potential distribution of LDMOS without HVI; (b) Potential distribution of LDMOS with HVI

100V,器件击穿电压二维仿真值为 1015V. 而有 HVI 时,LDMOS 耐压二维仿真值仅仅为 381V,较无 HVI 时击穿电压降低了 62.46%. 图 3(b)给出了有 HVI 时,LDMOS 耐压 350V 时的电势分布以及电力线集中处器件结构局部放大图.相邻两条等势线间的电势差为 50V,等势线在源侧栅极场板末端局部集中,器件在未全耗尽时就已发生击穿.图 4 给出了有、无 HVI 时,器件耐压为 350V 时的表面电场分布.从图中可以看出,HVI 使得器件源侧栅极

场板末端表面电场从  $5 \times 10^4$  增加到  $3 \times 10^5$  V/cm, 使得双 RESURF 器件在外延层未全耗尽时就达到硅的临界击穿电场, 器件的击穿电压远低于无 HVI 时的 1015V. 因此, 常用 S 型电平位移结构并不能达到高压结构的最高耐压. 以上虽仅分析了有 HVI 时 AA' 剖面中 LDMOS 的耐压情况, 但有 HVI 的高、低端电路之间隔离的高压结终端耐压机理与之相同, 其结构仅仅将 LDMOS 的源极  $n^+$  去掉, 将源侧栅极多晶场板通过欧姆孔与金属连接到 GND.

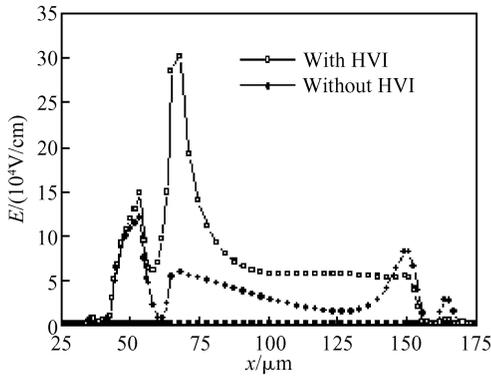


图 4 LDMOS 表面电场分布

Fig. 4 Surface electric field distribution of LDMOS

图 5(a)给出了 C 型电平位移结构中 BB' 剖面高压结构图, HVI 没有跨过低 GND 电位, 其电位最多与高端电路中的最高电位  $V_B$  相差一个低压逻辑电路的电源电压, 使得高压双 RESURF 结构能够不受 HVI 的影响, 从而达到最高耐压. 当连接到 LDMOS 栅极的低端电路输出信号使其开启时, 漏极电位将低于  $V_B$ , 漏极与  $V_B$  之间会存在一个寄生的  $R_{Nepi}$  电阻, 其阻值大小与 LDMOS 漏极电位有着密切联系. 若其值太小, LDMOS 导通时漏极电位有可能高于下级 CMOS 反相器的转折电平, 导致电路功能错误, 并且导通功耗大. 若其值过大, 以保证后级电路正常工作, 则需增加 D 到  $V_B$  的长度, 从而需要大的版图面积. 我们通过优化设计下级反相器的转折电平以及  $R_{Nepi}$  电阻等参数, 以保证电路可靠性、并减小 D 到  $V_B$  的长度. 另外, 可以通过在 LDMOS 漏极后增加如图 5(a)所示的 Pwell, 借助 Pwell, Nepi, P-sub 所形成的 JFET 隔离效应, 使得单位面积的  $R_{Nepi}$  增加, 从而进一步减小 C 型结构面积. 图 5(b)给出了 LDMOS 导通时寄生  $R_{Nepi}$  电阻的分布图, 其主要包括版图布局中高端电路的  $V_B$  到 D 的寄生电阻  $R_1$ ; 高压结终端  $V_B$  到 D 的寄生

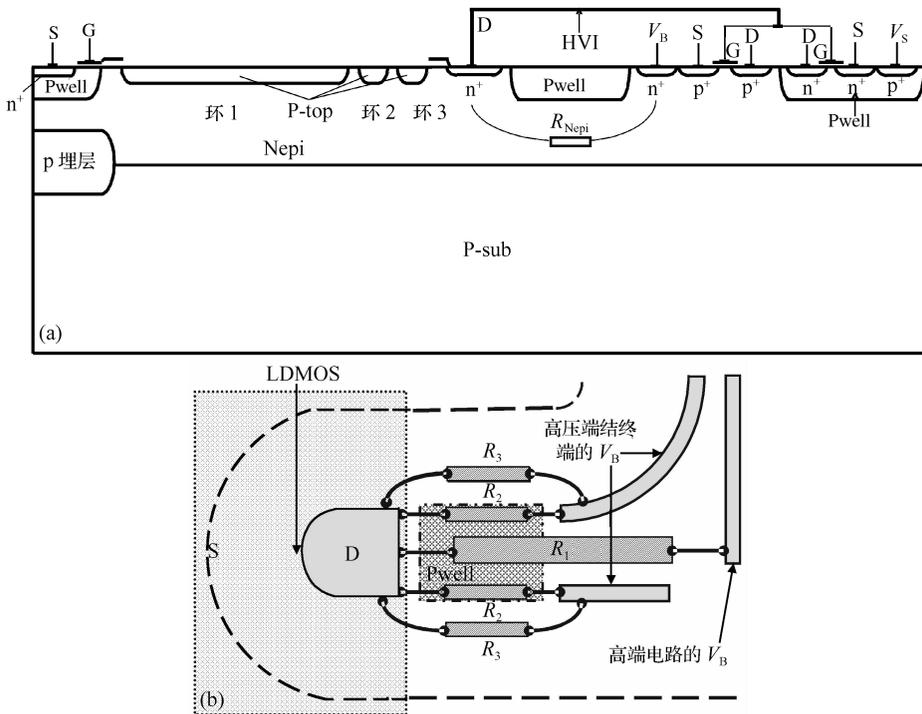


图 5 (a) C 型电平位移结构 BB' 剖面图; (b) C 型电平位移结构的  $R_{Nepi}$

Fig. 5 (a) Cross section of BB' in C level shift structure; (b)  $R_{Nepi}$  in C level shift structure

电阻  $R_2$ ; 以及  $V_B$  从低压变化到高压时 (例如  $10 \sim 1010V$ ), 由于 LDMOS 以及高压结终端的 Nepi 漂移区未全耗尽, 所产生的  $V_B$  到 D 间的寄生漂移区

电阻  $R_3$ .  $R_{Nepi}$  电阻的有效厚度随着  $V_B$  的增大而减小, 其近似等于 Pwell/Nepi, P-sub/Nepi 冶金结间纵向距离减去 Nepi 随  $V_B$  变化的纵向空间电荷区

厚度.图 1(b)中  $CC'$  为 PFP 高压结终端,其去掉了双 RESURF LDMOS 的源极  $n^+$  注入,并且栅、漏极多晶场板通过欧姆孔与源、漏电极金属连接.然而栅、漏极多晶不能一直连接到  $BB'$  处的多晶,否则将会使一对 LDMOS 的栅、漏极多晶场板短接,从而导致二器件栅极、漏极短路,使得 C 型电平位移结构失效.若去掉多晶场板,则由于  $P_{well}$  浓度、结深的变化等因素,高压结终端耐压工艺容差窗口会减小,导致工艺波动时击穿电压降低.因此在  $BB'$ ,  $CC'$  间,我们引入  $DD'$  剖面的 MFP 高压结终端,采用接 GND,  $V_B$  的栅、漏 MFP 高压结终端结构代替 PFP 高压结终端,并且版图中  $DD'$  剖面金属场板与  $BB'$ ,  $CC'$  剖面多晶场板有一定交叠,以防止套刻、光刻偏差所带来的无场板影响.由于借助  $P_{well}$ ,  $N_{epi}$ ,  $P_{-sub}$  所形成的 JFET 效应以增大  $R_{N_{epi}}$  隔离电阻,因此在 LDMOS 的漏极后会存在用  $P_{well}$  做阳极的 IGBT 耐压结构,通过二维器件仿真器 MEDICI 进行仿真,其与 LDMOS、PFP 高压结终端、MFP 高压结终端具有基本一致的耐压工艺参数.

### 3 基于 C 型电平位移结构的 1000V 高压集成电路实验结果

利用作者开发的高压 SPSM CD 工艺,在国内生产线上设计并研制了基于 C 型电平位移结构的 1000V 三相高压功率 MOS 栅驱动集成电路,其主要工艺流程为:采用高阻 p 型衬底材料,外延 n 型硅并做 pn 结对通隔离,注入、扩散形成  $P_{well}$  以及 P-top,场区氧化,栅氧,淀积多晶硅,源、漏  $n^+$ 、 $p^+$  注入,刻蚀引线孔,淀积铝,合金.

图 6 给出了所研制的 1000V 三相高压功率 MOS 栅驱动集成电路结构,电路主要包括输入及控

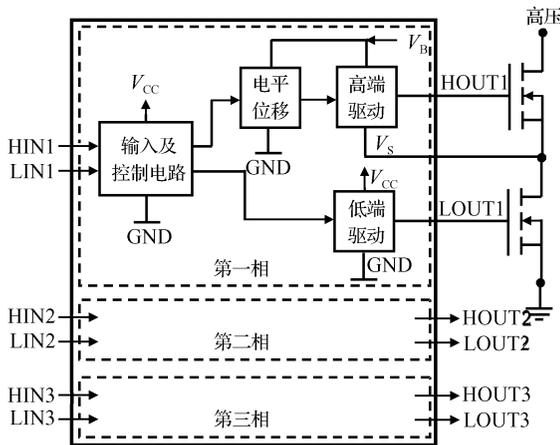


图 6 1000V 三相高压功率 MOS 栅驱动集成电路

Fig. 6 1000V 3-phase HV power MOS gate driver circuit

制电路,电平位移电路,高、低端输出驱动电路.其将三个独立的半桥驱动电路集成于同一芯片,具有过流、欠压等保护功能,内置的死区时间防止所驱动的功率桥发生直通.

图 7(a)给出了 LDMOS 采用常用 S 型电平位移结构时击穿特性测试结果和管芯相片, HVI 宽度为  $30\mu m$ , 器件击穿电压为 640V, 比仿真值高.这是因为互连线宽度对器件击穿电压有着一定的影

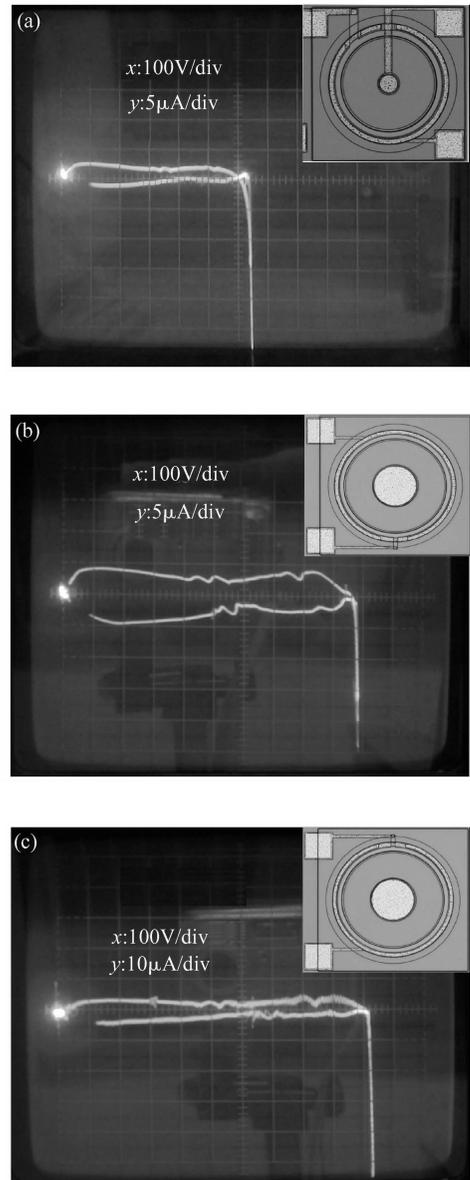


图 7 (a) 有 HVI 时 LDMOS 击穿特性测试结果和管芯相片; (b) 无 HVI 时 LDMOS 击穿特性测试结果和管芯相片; (c) LDMOS 击穿特性测试结果和管芯相片

Fig. 7 (a) Measured breakdown curve and experimental photograph of LDMOS with HVI; (b) Measured breakdown curve and experimental photograph of LDMOS without HVI; (c) Measured breakdown curve and experimental photograph of LDMOS

响<sup>[9]</sup>,二维仿真不能反映器件的三维特性.随着 HVI 宽度的减小,器件的击穿电压会略有提高,但仍不能达到无 HVI 时的器件理想耐压,并且考虑到功率管工作时电流大小以及铝引线的电迁移效应等因素,HVI 宽度不能无限减小.图 7(b)给出了无 HVI 时 LDMOS 的击穿特性测试结果和管芯相片,器件的击穿电压为 990V.由此可以看出,采用 S 型结构,LDMOS 击穿电压降低了 35.35%,用 S 型电平位移结构不能实现高压器件的最高耐压.图 7(c)给出了采用 Pwell 做阳极的 LIGBT 击穿特性测试结果和管芯相片,器件击穿电压为 1015V.因此,C 型电平位移结构中所引入的 Pwell 并没有降低高压结构的击穿电压.

图 8 给出了我们成功研制的 1000V 三相高压功率 MOS 栅驱动集成电路在显微镜下的相片,芯片面积为  $6325\mu\text{m} \times 4944\mu\text{m}$ ,其中三相中对应的左边两相采用了 C 型电平位移结构.第一相为没有 Pwell 增加  $R_{\text{Nepi}}$  电阻的 C 型电平位移结构,第二相为带有 Pwell 的 C 型电平位移结构.我们测试了 30 片封装出来的电路,其中第一相  $V_{\text{B}}$  到 GND 的最高击穿电压值为 1020V,第二相  $V_{\text{B}}$  到 GND 的最高击穿电压值为 1040V.由此可以看出,C 型电平位移结构能够达到器件的最高耐压,其击穿电压值较 S 型电平位移结构的 640V 提高了 62.5%.因此,基于 C 型电平位移结构的 1000V 高压集成电路可满足 AC 220V 和 AC 380V 高压领域的需要.表 1 给出了该电路的测试结果,电路中内置的死区时间典

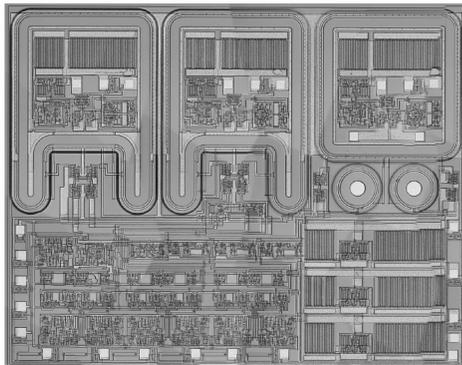


图 8 1000V 三相高压功率 MOS 栅驱动集成电路相片

Fig. 8 Photograph of 1000V 3-phase HV power MOS gate driver circuit

表 1 1000V 三相高压集成电路测试结果

Table 1 Experimental results of 1000V 3-phase HVIC

| 测试参数                      | 最小值  | 典型值  | 最大值  |
|---------------------------|------|------|------|
| 死区时间/ $\mu\text{s}$       | 1.07 | 1.11 | 1.16 |
| HIN 开启延迟时间/ $\mu\text{s}$ | 1.48 | 1.55 | 1.60 |
| HIN 关断延迟时间/ns             | 380  | 400  | 416  |
| LIN 开启延迟时间/ $\mu\text{s}$ | 1.46 | 1.51 | 1.54 |
| LIN 关断延迟时间/ns             | 384  | 412  | 464  |

型值为  $1.11\mu\text{s}$ ,防止了所驱动的功率桥发生直通.图 9 给出了高端地  $V_{\text{S}}$  浮动时的输入输出波形,电路可浮动工作在高压下.其中,Ch1 为输入信号,Ch2 为  $V_{\text{S}}$  浮动时的输出信号.

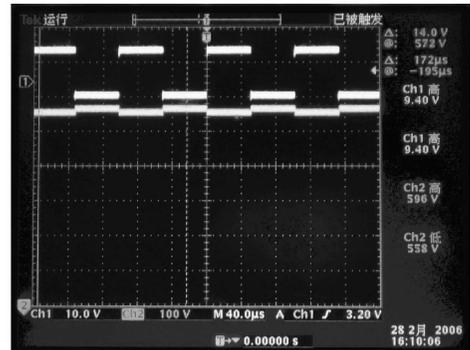


图 9 输入输出波形

Fig. 9 Waves of input and output

## 4 结论

本文通过二维器件仿真器 MEDICI 分析了 HVI 降低高压结构耐压的机理,设计并实现了一种基于 SPSM CD 工艺的 C 型高压电平位移结构,避免了常用 S 型结构中 LDMOS 漏极 HVI 跨过器件源侧及高压结终端时的两处高场区,以直接耦合式实现了高压电平位移和高压隔离,且减小了芯片面积.借助 Pwell, Nepi, P-sub 所形成的 JFET 效应增加 C 型高压电平位移结构中隔离电阻  $R_{\text{Nepi}}$ ;在一对 LDMOS, PFP 高压结终端间引入 MFP 高压结终端结构,防止 LDMOS 的栅、漏多晶通过 PFP 高压结终端中的多晶场板短接,以及无场板时高压结终端的耐压降低.利用作者开发的高压 SPSM CD 工艺,在国内生产线上成功研制 1000V 三相高压功率 MOS 栅驱动集成电路.其中,C 型电平位移结构的最高耐压为 1040V,较常用 S 型结构提高了 62.5%,从而避免 HVI 的影响,实现了高压结构的最高耐压,所研制的 1000V 电路可满足 AC220V, AC380V 高压领域的需要.

## 参考文献

- [1] Mearthur D, Mullen R. High voltage MOS transistor having shielded cross-over path for a high voltage connection bus. US Patent, 5040045
- [2] Falck E, Gerlach W, Korec J. Influence of interconnections onto the breakdown voltage of planar high-voltage pn junctions. IEEE Trans Electron Devices, 1993, 40: 439
- [3] Zhang Min, Li Zhaoji. Two-dimensional numerical simulation of float field plates. Chinese Journal of Semiconductors, 1999, 20 (4): 298 (in Chinese) [张旻, 李肇基. 浮空场板的二维数值分析. 半导体学报, 1999, 20(4): 298]

- [ 4 ] Zhang Min, Li Zhaoji. Design of floating field plate using automatic layout generator. Chinese Journal of Semiconductors, 1999, 20 (8): 694 (in Chinese) [张旻, 李肇基. 用版图自动生成器设计浮空场板. 半导体学报, 1999, 20(8): 694]
- [ 5 ] Shimizu K, Rittaku S, Moritani J. A 600V HVIC process with a built-in EPROM which enables new concept gate driving. Proc ISPSD, 2004: 379
- [ 6 ] Murray A F J, Lane W A. Optimization of interconnection-induced breakdown voltage in junction isolated IC's using biased polysilicon field plates. IEEE Trans Electron Devices, 1997, 44: 185
- [ 7 ] Endo K, Baba Y, Udo Y, et al. A 500V 1A 1-chip inverter IV with a new electric field reduction structure. Proc ISPSD, 1994: 379
- [ 8 ] TMA Medici. Technology Modeling Associates Inc. Version 2, 1994
- [ 9 ] Falck E, Willi G, Korec J. On the blocking capability of a planar p-n junction under the influence of a high-voltage interconnection-a 3-D simulation. IEEE Trans Electron Devices, 1996, 43: 165

## HVIC with Coupled Level Shift Structure\*

Qiao Ming<sup>†</sup>, Fang Jian, Li Zhaoji, and Zhang Bo

(College of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology, Chengdu 610054, China)

**Abstract:** A coupled level shift structure is designed and implemented. Compared with conventional S level shift structures, the two high electric fields of an LDMOS and a high voltage junction termination (HVJT) introduced by a high voltage interconnection (HVI) are avoided. The HV level shift and isolation of the high side and low side are directly coupled, so the chip size is reduced. The isolated resistor in the C level shift structure can be increased by a JFET consisting of a Pwell, Nepi, and P-sub, and the short of a poly field plate (PFP) in the LDMOS and HVJT is avoided by use of a metal field plate (MFP). Using HV single poly single metal (SPSM) CMOS DMOS (CD) technology developed by us, we experiment on a 1000V 3-phase power MOS gate driver circuit with C level shift structure successfully. The experimental results show that the maximal breakdown voltage of the C level shift structure is 1040V, which is 62.5% higher than that of a conventional S structure. The 1000V HVIC can be used for the HV application of AC220V and AC380V.

**Key words:** coupled; level shift; HVI; HVIC

**EEACC:** 2560P; 2570P

**Article ID:** 0253-4177(2006)11-2040-06

\* Project supported by the National Natural Science Foundation of China (No. 60436030)

<sup>†</sup> Corresponding author. Email: 2005qiaoming@163.com

Received 25 May 2006