

采用全对称测试结构的超薄单晶硅薄膜热导率测量*

张 皓[†] 吕志超 田立林 谭志敏 刘理天 李志坚

(清华大学微电子研究所, 北京 100084)

摘要: 改进了传统稳态加热法的测试结构, 设计了带隔离槽的全对称悬空薄膜测试结构, 并使用有限元工具对测试结构进行了优化. 测量了室温下 50 和 80nm 厚度的单晶硅薄膜的横向热导率, 分别为 32 和 38W/(m·K), 其相对体硅热导率(148W/(m·K))有明显下降, 实验结果与 BTE(Boltzmann transport equation)的理论预测曲线吻合得很好.

关键词: 超薄单晶硅薄膜; 热导率; 稳态加热法

PACC: 6500; 6860

中图分类号: TN304

文献标识码: A

文章编号: 0253-4177(2006)11-1961-05

1 引言

当今, 单晶硅薄膜被广泛应用于深亚微米器件(例如 UTB MOSFET、双栅 MOSFET 等^[1])和 MEMS 中, 超薄单晶硅薄膜的热输运性质将直接影响这些器件的工作性能和可靠性. 由于硅薄膜的热导率和体硅不同^[2~5], 精确测量单晶硅薄膜的热导率不仅具有重要的实际意义, 而且对于了解纳米尺度下传热的物理机制也有重要的作用^[6].

Asheghi 成功测试了厚度为 3 μm , 温度从 15K 到 300K, 掺杂浓度从 1×10^{17} 到 $3 \times 10^{19} \text{cm}^{-3}$ (分别掺硼和磷)的硅薄膜的横向(沿薄膜平面方向)热导率, 并且给出了解析模型^[2]. Zheng 测试了厚度为 0.15 μm , 掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的 Nitride/Silicon/Oxide 薄膜的热导率^[3]. Asheghi 还测量了厚度分别为 0.42, 0.83 和 1.6 μm , 掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 的单晶硅薄膜的热导率^[4]. 2005 年, Asheghi 报道了厚度只有 20nm 的单晶硅薄膜, 其热导率为 22W/(m·K)^[5].

针对目前流行的 SOI 器件结构, 其顶层硅薄膜厚度为 10~100nm, 我们测量了室温下 50 和 80nm 厚度的单晶硅薄膜的热导率.

2 测量结构

本工作采用接触式稳态加热法的掏空测量结构, 如图 1 所示. 与传统的测试结构^[7~9]不同, 其一是采用了全对称结构, 将加热电阻与测温电阻合并为一个, 减少了使用两根金属条分别用来加热和测温所带来的等温线不对称而造成的系统误差, 既提

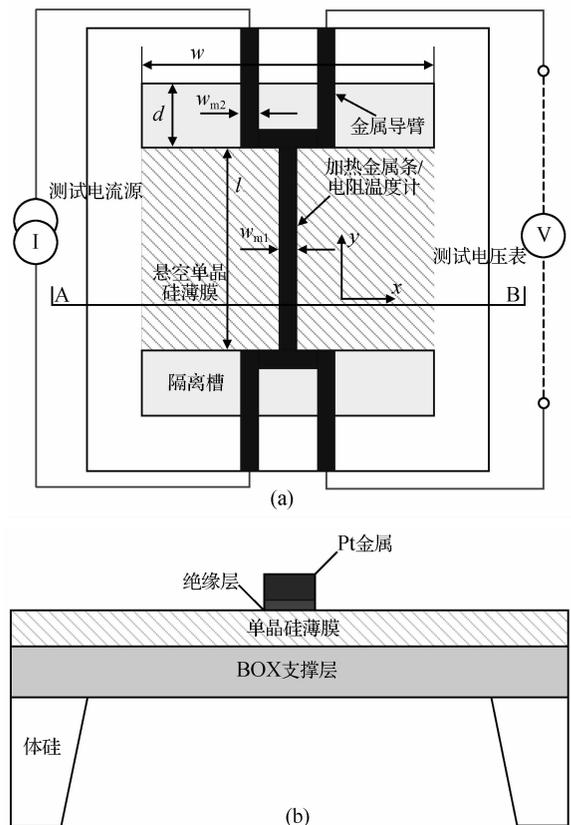


图 1 (a)单晶硅薄膜热导率测试结构;(b)单晶硅薄膜热导率测试结构 A-B 剖面图

Fig.1 (a) Schematic of experiment structure (top view); (b) Schematic of experiment structure (A-B cross section)

高了测试精度, 又减少了对测试设备的要求, 例如减少了测试探针数目, 使得测量简便了很多. 其二是

* 国家重点基础研究发展规划资助项目(批准号:G2000036501)

[†] 通信作者. Email: zhanghao@mails.tsinghua.edu.cn

2006-06-05 收到, 2006-06-30 定稿

在金属条两端制作热隔离槽,阻止热流向纵向传播,维持等温线平行于金属条.具体制作工艺如下:

(1) 支撑薄膜

由于被测的硅膜很薄,机械强度不够,因此利用 SOI 硅片中的埋氧层(buried oxide)作为其上的被测硅薄膜的机械支撑层.本实验所用的 SOI 硅片的埋氧层厚度为 380nm.埋氧层除了起支撑作用外,还作为体硅腐蚀时的自停止层,避免在腐蚀背面体硅形成空腔的过程中,体硅的过刻蚀损坏被测的单晶硅薄膜.

(2) 被测单晶 Si 薄膜和 SiO₂ 绝缘层

SOI 硅片中的顶层硅形成了被测的单晶硅薄膜.在实验中,通过热氧化减薄的方法,获得厚度分别为 50 和 80nm 的被测硅薄膜.然后在被薄薄膜上热生长 10nm 厚的 SiO₂,作为加热电阻和被测薄膜间的绝缘层.

(3) 加热金属条

加热金属条为 Pt,厚度 80nm.在测试过程中,加热金属条既作为加热电阻又作为测温电阻.

3 测量原理

理想情况下,加热金属条产生的功率完全沿 x 方向传播,硅薄膜上的等温线为平行分布.当硅薄膜中心温度与体硅边界温度相差不大时(小于 5°C),薄膜的横向热阻可以表示为: $R_{th} = \Delta T/Q$,式中 Q 即为 Pt 条的焦耳热功率 $P = IV$.由于体硅部分相对于薄膜来说可视为热沉,因此可认为薄膜边缘的温度就是硅衬底的温度 T_0 ,也即是测试台的温度.基于上述假设,室温 T_0 下,在 Pt 条上加恒定电流 I_1 ,测量出 Pt 电阻两端的电压 V_1 ,计算出电阻值 R_1 .设此时 Pt 条的温度为 T_1 ,则硅薄膜热阻为 $R_{th1} = (T_1 - T_0)/(I_1 V_1)$.然后,在 Pt 条上加恒定电流 I_2 ,测量出 Pt 电阻两端的电压 V_2 ,计算出电阻值 R_2 .设此时 Pt 条的温度为 T_2 ,则硅薄膜热阻为 $R_{th2} = (T_2 - T_0)/P_2$.因为 Pt 电阻具有线性温度系数,所以 $\Delta T = T_2 - T_1 = (R_2/R_1 - 1)/\alpha$ (α 为 Pt 的电阻温度系数,单位为 K^{-1}).硅薄膜的横向热导率在较小的温度变化范围(5°C)内为一常量^[5],故上述两种情况下硅薄膜的热阻相同,即:

$$R_{th} = \frac{T_1 - T_0}{I_1 V_1} = \frac{T_2 - T_0}{I_2 V_2} = \frac{\Delta T}{I_2 V_2 - I_1 V_1}$$

代入 ΔT 的表达式,得到硅薄膜的热阻:

$$R_{th} = \frac{(R_2/R_1 - 1)/\alpha}{V_2 I_2 - V_1 I_1} \quad (1)$$

根据热阻与热导率的关系,并针对本实验的对称结构,有:

$$R_{th} = \frac{1}{2} \times \frac{1}{k_{Si}} \times \frac{w/2}{lt_{Si}} \quad (2)$$

由(2)式可计算出硅薄膜的热导率:

$$k_{Si} = \frac{1}{4} \times \frac{1}{R_{th}} \times \frac{w}{lt_{Si}} \quad (3)$$

式中 l 为硅薄膜 y 方向的长度(等于加热金属条的长度); w 为硅薄膜 x 方向的长度; t_{Si} 为硅薄膜的厚度(见图 1).

如前所述,引入埋氧层可增加被测硅薄膜的机械强度,但同时也引入了测量误差.加热电阻条产生的热量将有一部分沿埋氧层传导,导致硅薄膜热阻的测量值偏小.考虑到热阻的测量值 R_{thx} 应为埋氧层热阻及硅薄膜热阻的并联阻值(略去电绝缘层热阻及 Si 和 SiO₂ 之间的界面热阻):

$$R_{thx} = \frac{R_{Si_{film}} R_{BOX}}{R_{Si_{film}} + R_{BOX}} \quad (4)$$

$$R_{Si_{film}} = \frac{1}{2} \times \frac{1}{k_{Si}} \times \frac{w/2}{lt_{Si}},$$

$$R_{BOX} = \frac{1}{2} \times \frac{1}{k_{BOX}} \times \frac{w/2}{lt_{BOX}}$$

其中 k_{BOX} 为埋氧层热导率; t_{BOX} 为埋氧层厚度.由(4)式得到:

$$R_{thx} = \frac{1}{4} \times \frac{w}{l} \times \frac{1}{k_{Si} t_{Si} + k_{BOX} t_{BOX}} \quad (5)$$

将(5)式代入(3)式即求得硅膜的横向热导率 k_{Si} .

4 测试结构的优化

4.1 隔离槽中埋氧层的 y 方向热阻分析

如图 1 所示,测量中热量还可能通过硅薄膜的 y 方向断面流出,造成系统误差.SiO₂ 隔离槽的 y 方向热阻为:

$$R_{thy_BOX} = \frac{1}{2} \times \frac{1}{k_{BOX}} \times \frac{d}{wt_{BOX}} \quad (6)$$

由(5)式和(6)式得到:

$$\frac{R_{thy_BOX}}{R_{thx}} = 2 \times \frac{ld}{ww} \times \frac{k_{Si} t_{Si} + k_{BOX} t_{BOX}}{k_{BOX} t_{BOX}} \quad (7)$$

对于本实验的测试结构: $t_{Si} = 50\text{nm}$ 和 80nm , $t_{BOX} = 380\text{nm}$.根据 BTE 理论预测曲线^[5],取 $k_{Si} \approx 30\text{W}/(\text{m} \cdot \text{K})$,并取 $k_{BOX} \approx 0.8\text{W}/(\text{m} \cdot \text{K})$ ^[10].若要减小热量通过隔离槽沿 y 方向流出薄膜,就要使 $\frac{R_{thy_BOX}}{R_{thx}}$ 尽可能的大,对于典型的测试结构 $l = 500\mu\text{m}$, $w = 100\mu\text{m}$,可以由(7)式得到:

$$\frac{R_{thy_BOX}}{R_{thx}} = 20 \times \frac{d}{34\mu\text{m}} \quad (8)$$

可见只要隔离槽的宽度 d 大于 $34\mu\text{m}$ 即可以通过 y 方向流出薄膜的热流降到 5% 以下.

4.2 金属导臂 y 方向热阻分析

金属导臂的 y 方向热阻约为:

$$R_{th,arm} = \frac{1}{4} \times \frac{1}{k_{Pt}} \times \frac{d}{w_{m2} t_{Pt}} \quad (9)$$

由(9)式和(5)式得到:

$$\frac{R_{thy,arm}}{R_{th,x}} = \frac{ld}{ww_{m2}} \times \frac{k_{Si} t_{Si} + k_{BOX} t_{BOX}}{k_{Pt} t_{Pt}} \quad (10)$$

取 $k_{Pt} = 72\text{W}/(\text{m} \cdot \text{K})$, $t_{Pt} = 80\text{nm}$, $l = 500\mu\text{m}$, $w = 100\mu\text{m}$, $w_{m2} = 5\mu\text{m}$, $d = 40\mu\text{m}$ 带入(10)式得:

$\frac{R_{thy,arm}}{R_{th,x}} \approx 12.5$. 可见此种结构下,由于金属测量臂造成的热量损失最多为 8%.

隔离槽中的金属导臂同样会产生功率,此部分热量会向被测薄膜注入,因此隔离槽的宽度 d 并不是越大越好,需要对隔离槽宽度和金属导臂的宽度进行联合优化.使用有限元分析软件 Ansys 对隔离槽宽度进行模拟和优化(见图 2). 优化结果为: $d = 40\mu\text{m}$, $w_{m1} = 5\mu\text{m}$, $w_{w2} = 4\mu\text{m}$.

模拟条件为室温(293K),体硅热导率 $148\text{W}/(\text{m} \cdot \text{K})$,硅薄膜横向热导率 $30\text{W}/(\text{m} \cdot \text{K})$,BOX 层横向热导率 $0.8\text{W}/(\text{m} \cdot \text{K})$,Pt 金属热导率 $72\text{W}/(\text{m} \cdot \text{K})$.

模拟过程中,我们使用最大电流($500\mu\text{A}$)在加热金属条上所产生的热功率.结果显示体硅边界温度为室温,硅膜中心温度与体硅边界温度相差均小于 3°C ,这样就验证了前面测量原理中的假设.

5 工艺设计

样品选用 SIMOX 形成的 SOI 硅片,整个流程共需 4 次光刻,工艺步骤如图 3 所示.图 4 为实际结构的显微照片.

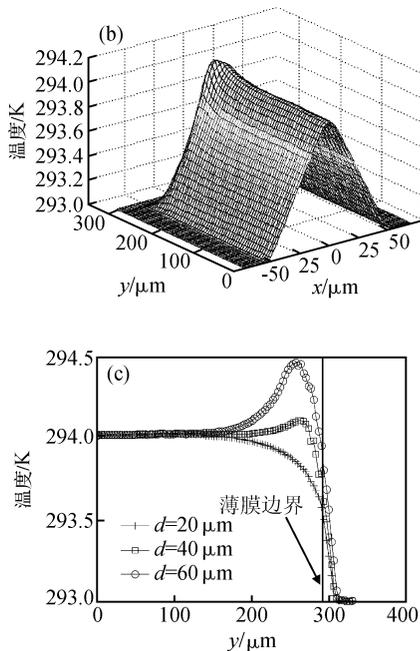
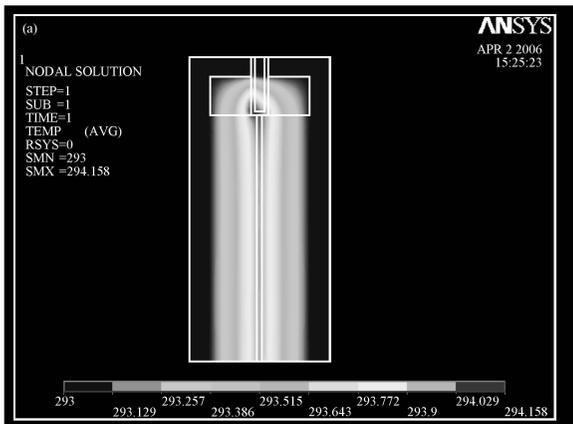


图 2 (a)硅薄膜表面温度分布的等温线图;(b)硅薄膜表面温度分布图 x, y 坐标的原点取在薄膜中心;(c)不同隔离槽宽度时 $x = 0$ 处 y 方向上硅薄膜的温度分布

Fig. 2 (a) Isotherm distribution of Si film; (b) Temperature distribution of Si film (Origin of x, y coordinates is set to the film center); (c) Temperature distribution of Si film on $x = 0$ for different widths of isolation trench

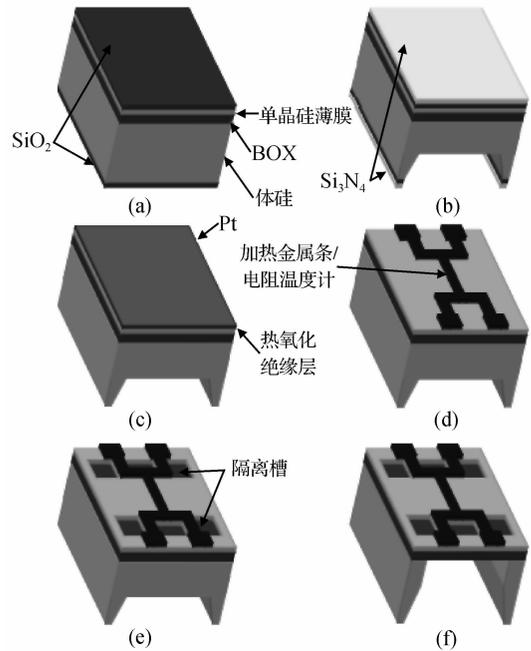


图 3 工艺过程
Fig. 3 Fabrication process

(1)图 3(a)备片.SOI 硅片厚度为 525nm ;埋氧层厚度 380nm ;顶层硅为 p 型,掺杂浓度 $1 \times 10^{15} \text{cm}^{-3}$ 左右,厚度 200nm ;衬底掺杂与顶层硅相同.热氧化顶层硅生成 220nm 的 SiO_2 ,作为缓冲层,缓冲其后生成的 Si_3N_4 层的应力.

(2)图 3(b)LPCVD 生长 150nm 的 Si_3N_4 作为保护层,防止在后续的体硅腐蚀中被测硅薄膜被腐

蚀. 光刻背面图形, 体硅腐蚀在 33% 的 KOH 溶液中进行, 腐蚀温度为 80°C, 时间为 7h, 最后留下 80 μm 的硅作为后续过程的支撑层.

(3) 图 3(c) RIE 去除 Si_3N_4 层, 再用 BHF 腐蚀掉缓冲氧化层. 然后通过热氧化将被测硅薄膜减薄到 50nm 和 80nm 两种厚度不同的硅片. 漂去减薄生成的氧化层. 干氧化生成 10nm 的 SiO_2 电绝缘层, 其上再淀积 80nm 的金属 Pt.

(4) 图 3(d) 形成金属加热条. 用光刻胶作为掩膜, IBE 刻蚀出 Pt 条. 硅片正面淀积厚度为 1 μm 的 Al, 刻蚀出 Pt 条的 PAD. 再以金属条作为掩膜, 腐蚀氧化层.

(5) 图 3(e) 刻蚀隔离槽. 用光刻胶作为掩膜, RIE 刻蚀掉隔离槽里面的 Si (50nm 或者 80nm, 由被测硅膜的厚度决定), 形成被测硅薄膜和周围硅薄膜的隔离.

(6) 图 3(f) 在正面工艺做完以后, 用 ICP (inductively coupled plasma) 去除背面(b)步骤留下的 80 μm 的硅, 形成悬空的薄膜结构.

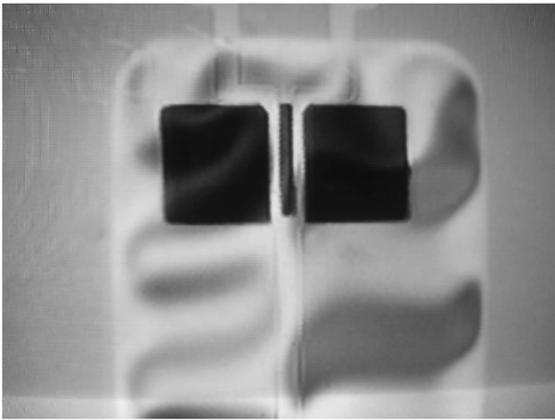


图 4 实际结构的显微照片

Fig. 4 Optical microscope image of the experiment structure

6 测量误差分析

在此测试结构中, 加热金属条产生的功率首先通过垂直方向的电绝缘层传导到硅薄膜, 然后沿硅薄膜横向传播, 此时支撑层和被测硅薄膜层同时导热. 因此, 通过测量求出的热阻 R_{thx} 由四部分组成: SiO_2 电绝缘层的垂直方向热阻 R_{dic} ; SiO_2 电绝缘层和被测硅薄膜之间的界面热阻 R_{int} ; 被测硅薄膜热阻 R_{Si} ; 支撑薄膜热阻 R_{BOX} (由于薄膜的厚度非常薄, 可以认为支撑薄膜和被测硅薄膜在垂直方向上没有温度差, 因此忽略它们之间的界面热阻). 所有热阻之间的拓扑结构如图 5 所示.

由上面的拓扑结构可以推导出测量热阻和各部

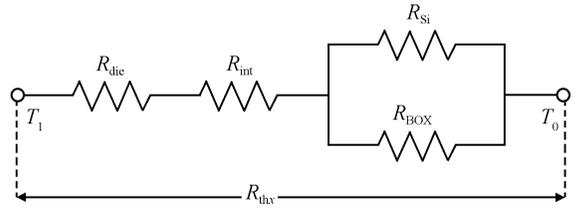


图 5 热阻的拓扑结构

Fig. 5 Thermal topology of the experiment structure

分热阻之间的数学表达式:

$$R_{\text{thx}} = R_{\text{dic}} + R_{\text{int}} + \frac{R_{\text{Si}} R_{\text{BOX}}}{R_{\text{Si}} + R_{\text{BOX}}} \quad (11)$$

式中 $R_{\text{dic}} = \frac{1}{k} \times \frac{t_{\text{dic}}}{lw_{\text{m1}}} \approx 5 (\text{K} \cdot \text{W}^{-1})$, 其中 t_{dic} 为 SiO_2 绝缘层厚度, 约为 10nm; $R_{\text{int}} = \lambda A_{\text{dic}}$, A_{dic} 为 SiO_2 电绝缘层面积; λ 为埋氧层单位面积热阻, 其值为 $6.3 \times 10^{-8} \text{K}/(\text{m}^2 \cdot \text{W})$ [11].

环境散热造成的热损失要考虑空气的对流和辐射, 模拟时设置的对流系数为 $150 \text{W}/(\text{m}^2 \cdot \text{K})$, 硅薄膜表面辐射系数为 0.5, 结果显示空气对流与辐射对温度分布几乎没有影响, 其造成的误差不会超过 1%.

7 测量结果

图 6 是加热电阻随衬底温度的变化关系, 通过直线拟合, 可以得到加热金属电阻值的温度系数 α 为:

$$\alpha = \frac{R^* - R_0}{\Delta T} \times \frac{1}{R_0} \quad (12)$$

式中 R_0 和 R^* 分别为加热前后的 Pt 条电阻值; ΔT 为加热前后温度差. 拟合结果 $\alpha = 0.022 \text{K}^{-1}$.

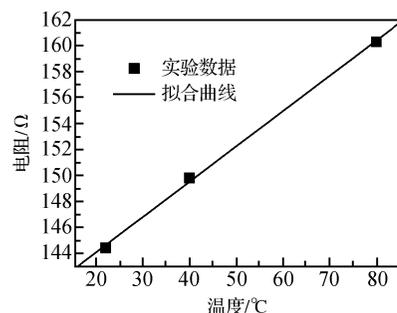


图 6 Pt 电阻值随温度的变化关系

Fig. 6 Resistance of Pt resistor as a function of temperature

测量结果为: 20°C 下, 单元 ($l = 500 \mu\text{m}$, $w = 100 \mu\text{m}$, $d = 40 \mu\text{m}$, $w_{\text{m1}} = 5 \mu\text{m}$, $w_{\text{m2}} = 4 \mu\text{m}$) 硅薄膜厚度分别为 50, 80nm 两种, 测量电流 $I_1 = 100 \mu\text{A}$, $I_2 = 300 \mu\text{A}$. 对比 BTE 的理论预测模型, 测试结果

与其理论预测值比较吻合,如图 7 所示.

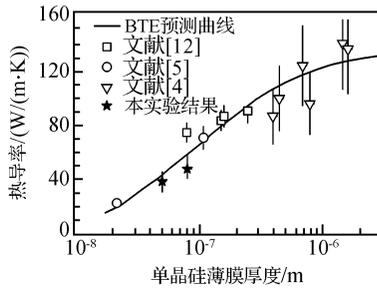


图 7 热导率随硅膜厚度的变化关系

Fig. 7 Room-temperature thermal conductivity data for silicon film layers as a function of thickness.

8 结论

制作了类 SOI 的悬空薄膜结构,采用全对称测试图形,测量了室温下 50 和 80nm 厚度单晶硅薄膜的热导率,其值分别为 32 和 38W/(m·K). 实验结果验证了 BTE 的理论预测曲线,表明了单晶硅薄膜的横向热导率相对于体硅有明显下降. 详细分析了测试结构中存在的系统误差来源,并采用有限元模拟的方法对测试结构进行了优化.

参考文献

- [1] Shanhidi G, Ajmera A, Assaderaghi F, et al. Mainstreaming of the SOI technology. IEEE International SOI Conference, 1999
- [2] Asheghi M, Kurabayashi K, Kasnavi R, et al. Thermal conduction in doped single-crystal silicon films. J Appl Phys, 2002, 91: 5079
- [3] Zheng X Y, Li S, Chen M. Giant reduction in lateral thermal conductivity of thin nitride/silicon/oxide membrane measured with a micro thermal bridge. Proc Int Mech Eng Congress Exp, 1996: 93
- [4] Asheghi M, Leung Y K, Goodson K E. Phonon - boundary scattering in thin silicon films. Appl Phys Lett, 1997, 71: 1798
- [5] Liu Wenjun, Asheghi M. Thermal conduction in ultra-thin pure and doped single crystal silicon layers at high temperatures. J Appl Phys, 2005, 98: 123523
- [6] Chen G, Borca-Tasciuc D, Yang R G. Nanoscale heat transfer. encyclopedia of nanoscience and nanotechnology. CA: American Scientific Publishers, 2004
- [7] Ju Y S, Goodson K E. Microscale heat conduction in integrated circuits and their constituent thin films. Kluwer: Academic Publishers, 1999
- [8] McConnell A D, Uma S, Goodson K E, et al. Thermal conductivity of doped polysilicon layers. J Microelectromechan Syst, 2001, 10: 360
- [9] Asheghi M, Touzelbaev M N, Goodson K E, et al. Temperature-dependent thermal conductivity of single-crystal silicon layers in SOI substrates. ASME Journal of Heat Transfer, 1998, 120: 30
- [10] Tenbroek B M, John R, Bunyan T, et al. Measurement of buried oxide thermal conductivity for accurate electrothermal simulation of SOI devices. IEEE Trans Electron Devices, 1999, 46: 251
- [11] He Ping, Liu Litian, Tian Lilin. Measurement of thermal conductivity of buried oxides of silicon-on-insulator wafers fabricated by separation by implantation of oxygen technology. Appl Phys Lett, 2002, 81: 1896
- [12] Kurabayashi K, Asheghi M, Goodson K E. Measurement of the thermal conductivity anisotropy in polyimide films. J Microelectromechan Syst, 1999, 8: 180
- [13] ANSYS User's Guide, 2003

Measurement of Thermal Conductivity of Ultra-Thin Single Crystal Silicon Film Using Symmetric Structure*

Zhang Hao[†], Lü Zhichao, Tian Lilin, Tan Zhimin, Liu Litian, and Li Zhijian

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: The traditional steady-state joule heating method is improved by inducing a symmetric structure, and a thermal isolation trench is added in suspended Si membrane. The novel measurement structure is optimized using ANSYS tools. A large reduction in thermal conductivity resulting from phonon boundary scattering is observed. The lateral thermal conductivity of the 50nm and 80nm Si films at a temperature of 293K are measured to 32 and 38W/(m·K), respectively, which, compared to the bulk value of 148W/(m·K), agree well with the prediction of the BTE equation.

Key words: ultra-thin single crystal layer; thermal conductivity; steady-state joule heating

PAAC: 6500; 6860

Article ID: 0253-4177(2006)11-1961-05

* Project supported by the State Key Development Program for Basic Research of China(No. G2000036501)

[†] Corresponding author. Email: zhanghao@mails. tsinghua. edu. cn

Received 5 June 2006, revised manuscript received 30 June 2006