

采用交流电源供电的低功耗开关电容电路*

乔 飞 杨华中[†] 汪 蕙

(清华大学电子工程系, 北京 100084)

摘要: 提出一种新的低功耗开关电容电路设计方法. 新的电路结构充分利用开关电容电路的工作特点, 同时采用 ACP 交流电源对电路进行供电. 当电路工作在采样相位阶段时, 关闭 OTA 放大器电源以达到降低电路功耗的目的. 电路仿真基于 CSMC 5V 0.6 μm CMOS 工艺, 与传统的采用 DCP 直流电源供电的开关电容电路相比, 新的 ACPSC 低功耗开关电容电路可以取得降低 40% 电路功耗的效果. ACPSC 电路技术经过流片测试, 验证了电路功能的有效性.

关键词: 低功耗电路; 开关电容电路; 交流电源

EEACC: 1100; 1205

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2006)12-2203-06

1 引言

在基于 IP 芯核的 SOC 集成电路设计风格中, 越来越多的模拟电路芯核 (analog intellectual property) 与数字电路模块集成到同一块芯片上, 同时模拟电路模块消耗的能量占整个芯片总耗能的比例一直居高不下^[1]. 不同于数字集成电路的低功耗设计方法, 模拟电路由于实现方式多样, 所以很难找到一种统一的低功耗设计方法和流程. 虽然模拟电路的低电压设计可以带来降低电路功耗的好处, 但是不可避免地会影响模拟电路模块信噪比 (SNR) 等电路性能. 为了降低模拟集成电路的功耗, 同样可以充分利用模拟电路模块多种多样的工作特性.

在离散信号处理技术中, 开关电容电路在模拟数字转换电路 (analog digital converter, ADC)、数字模拟转换电路 (digital analog converter, DAC) 和滤波器电路 (filter) 等模拟集成电路的设计中得到广泛应用^[2]. 低功耗开关电容电路的设计对于降低模拟和混和信号系统的功耗有重要意义. 根据开关电容电路的工作特点, 常见的针对开关电容电路的低功耗设计方法包括设计低功耗跨导放大器 (operational transconductance amplifier, OTA)^[3], 双采样开关电容电路技术 (double-sampling, SC)^[4], 开关运放技术 (switched-opamp)^[5] 和自适应偏置技术 (adaptive biasing)^[6] 等.

本文提出的采用交流电源供电 (alternative-current power supply, ACP) 的开关电容电路 (ACP

switched-capacitor circuit, ACPSC) 同样根据开关电容电路的工作特点进行设计, 即在电路采样阶段关闭 OTA 放大器电路的电源, 以此降低电路的功耗^[7].

2 ACPSC 低功耗电路技术

ACPSC 电路技术是一种可以直接采用 ACP 交流电源供电的低功耗开关电容电路设计技术, 因此在电路拓扑和优化方法上区别于传统的采用直流电源 (direct-current power supply, DCP) 供电的开关电容电路 (DCPSC). 为了对比分析 ACPSC 电路技术的工作原理, 首先以开关电容放大器电路为例进行分析, 并简要分析 DCPSC 放大器电路的工作过程.

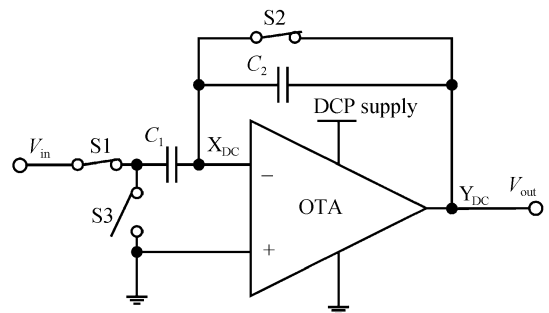


图 1 DCPSC 放大器

Fig. 1 DCPSC amplifier

* 国家自然科学基金重大科学计划资助项目 (项目编号: 90207001)

[†] 通信作者. Email: yanghz@tsinghua.edu.cn

2006-06-06 收到, 2006-07-16 定稿

如图 1 所示^[8],DCPSC 放大器电路由 DCP 直流电源供电. 当电路工作在采样相位阶段(CLK_1)时,开关 S1 和 S2 闭合,开关 S3 断开,节点 X_{DC} 和 Y_{DC} 的电压由 OTA 放大器负输入端口“虚地”确定. 当电路工作在放大相位阶段(CLK_2)时,开关 S3 闭合,开关 S1 和 S2 断开,采样电容 C_1 上的电荷转移到电容 C_2 上,并且开关电容放大器电路的放大倍数为 C_1/C_2 . 图 2(a)为控制上述电路开关工作的双

相不交叠时钟信号(CLK_1 和 CLK_2)时序;图 2(b)为 ACP 交流电源信号时序. ACP 交流电源信号与放大相位时钟信号(CLK_2)同步,在采样相位阶段(CLK_1),ACP 电源关闭(power off);在放大相位阶段(CLK_2),ACP 电源对电路正常供电(power on). ACP 电源状态转换时间为 T_R 和 T_F ,在我们的设计中假设 $T_R = T_F$.

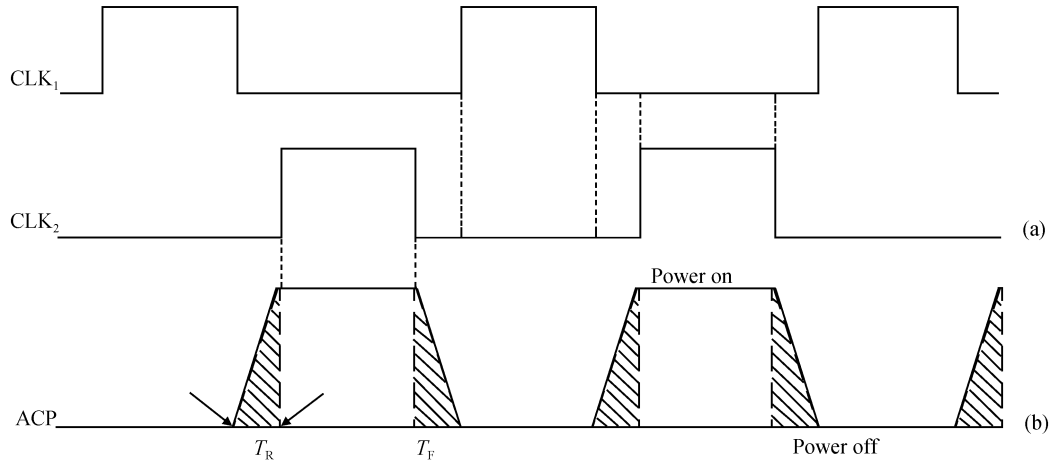


图 2 双相不交叠时钟时序波形(a)和 ACP 电源时序波形(b)

Fig.2 Timing schemes of non-overlap clock reference (a) and ACP supply (b)

ACPSC 电路技术^[7]针对开关电容电路的工作特点,采用 ACP 电源对 OTA 放大器电路供电. 当电路工作在采样相位时,关闭 OTA 放大器的电源,使电路进入低功耗状态;当电路工作在运算相位时,恢复 OTA 放大器的供电电源,使电路进入正常功耗状态. 如果对于图 1 所示开关电容放大器电路直接采用 ACP 交流电源供电,由于在采样相位阶段 OTA 放大器关闭,OTA 放大器差分输入端不能形成“虚地”,同时输出端也非高阻状态,所以会使输出负载电容放电,进而导致开关电容电路功能发生错误. 所以为了配合 ACP 交流电源的工作,需要在 ACPSC 电路结构中增加隔离开关电路.

图 3(a)是采用交流电源供电的开关电容放大器电路. 隔离开关 SI1 和 SI2 用于配合 ACP 交流电源工作. 如图 3(b)等效电路所示,当 ACPSC 放大器电路工作在采样相位,开关 S1 和 S2 闭合,开关 S3 断开;同时 ACP 电源关闭,使 OTA 放大器关闭;此时隔离开关 SI1 闭合,SI2 断开. 虽然 OTA 放大器的差分输入端不能形成“虚地”,但是开关 SI1 仍然使节点 X_{AC} 接地;虽然 OTA 放大器输出不是高阻节点,但是已经与输出端 V_{out} 断开,保证输出负载电容不会通过 OTA 放大器的输出端放电,以保证正常的电路功能. 同样,在采样相位阶段,输入信号对采

样电容 C_1 充电,电量为:

$$Q_{\text{sampling}} = (V_{in} - V_{X_{AC}})C_1 \quad (1)$$

当电路工作在放大相位时,开关 S1 和 S2 断开,开关 S3 闭合;同时 ACP 电源对 OTA 放大器正常供电;隔离开关 SI1 断开,SI2 闭合. 等效电路如图 3(c)所示,并与图 1 所示电路的放大相位等效电路相同. 电荷在电容 C_1 和 C_2 上重新分配,使得电容 C_2 上电量为:

$$Q_{\text{amplifying}} = (V_{out} - V_{X_{AC}})C_2 \quad (2)$$

在放大相位,OTA 差分输入端形成“虚地”,而在采样相位,节点 X_{AC} 直接接地,又根据电荷守恒原理,(1)和(2)式相等,所以可以得到 ACPSC 开关电容放大器的放大倍数:

$$A_{\text{ACPSC_Amp}} = C_1/C_2 \quad (3)$$

显而易见,采用 ACP 交流电源供电的开关电容放大器可以实现与传统 DCP 直流电源供电开关电容放大器相同的电路功能.

对于 ACPSC 放大器电路,为了配合 ACP 交流电源的工作,需要引入两个隔离开关 SI1 和 SI2. 在电路的采样相位,ACP 交流电源关闭并使得 OTA 放大器处于低功耗状态,此时隔离开关 SI1 闭合,SI2 断开,可以保证高阻节点 X_{AC} 和 Y_{AC} 直接连接到共模电平,减小了电路各节点工作状态受到外部噪

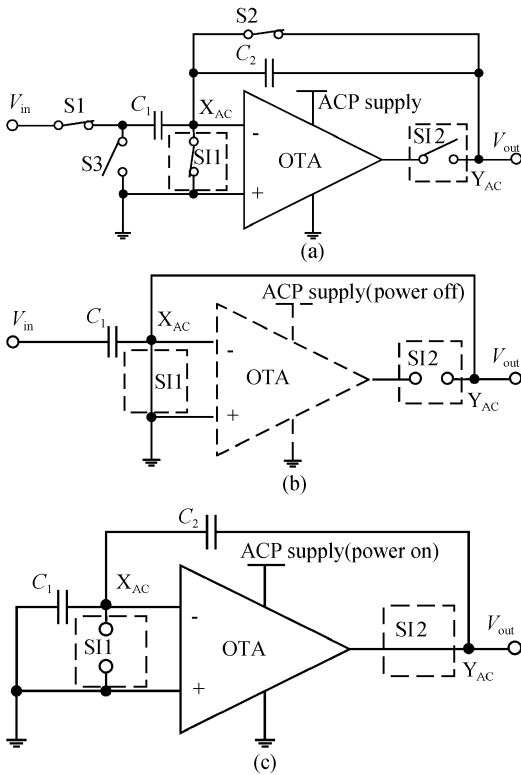


图 3 (a) ACP 交流电源供电的开关电容放大器; (b) 采样相位等效电路; (c) 放大相位等效电路

Fig.3 (a) ACPSC amplifier schematic; (b) Sampling-phase equivalent circuit; (c) Amplifying-phase equivalent circuit

声的影响. 当电路工作在放大相位时, 隔离开关 S11 断开, S12 闭合, 等效电路与 DCPSC 放大器电路相同, 此时可以通过调整开关 S12 电路晶体管参数减小电路导通电阻, 从而达到减小其引入额外噪声影响的目的.

ACPSC 电路技术可以实现和 DCPSC 电路技术相同的电路功能, 并且当电路工作在采样相位阶段, 电容网络负载较小时关闭功耗比较大的 OTA 放大器电路可以大大降低电路功耗. 如图 2(b) 所示 ACP 电源时序波形, ACP 电源正常供电状态 (power on) 时间 t_{on} 保证与放大相位时钟 CLK_2 相同的脉冲宽度, 以此来保证足够的建立时间长度 t_s . 假设 ACP 电源状态转换时间 T_R (T_F) 足够短, 那么采用 ACPSC 电路技术相对于 DCPSC 电路技术可以取得的最大节能效率为:

$$\eta_{max} = (1 - \frac{t_{on}}{T_{CLK}}) \times 100\% = (1 - \frac{t_s}{T_{CLK}}) \times 100\% \quad (4)$$

其中 T_{CLK} 是参考时钟信号 CLK 的周期. 同时可以看到, 状态转换时间 T_R (T_F) 对于电路建立特性是有重要影响的, T_R 时间越短表示能够节约越多的能量, 但是电路的建立时间增长. 所以在 ACPSC 电

路应用中, 需要在功耗和电路建立特性中做出折中, 这一点将通过电路仿真结果证明.

根据以上对 ACPSC 开关电容放大器电路工作原理的分析, 可以很容易得到基于 ACPSC 低功耗技术的开关电容积分器电路, 如图 4 所示. 当电路工作在采样相位阶段, 相对于节点 X_{AC} , 积分器等效电路存在有天然的对采样电容 C_1 的隔离作用, 所以只需要在电路的输出端设置隔离开关 S11 以隔离输出节点 Y_{AC} 即可.

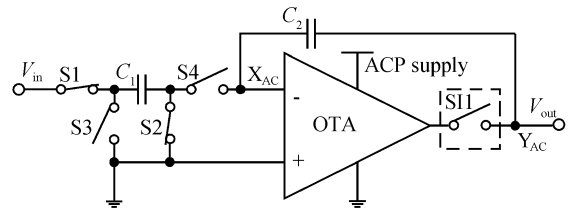


图 4 交流电源供电的开关电容积分器
Fig.4 ACPSC integrator

3 电路仿真结果和分析

为了验证 ACPSC 低功耗设计技术的电路功能, 并与传统的 DCPSC 电路技术比较, 电路基于 CSMC 5V 0.6 μ m CMOS 工艺设计和仿真. 本文分别比较了 ACPSC 和 DCPSC 开关电容放大器电路和积分器电路的功能实现和功耗性能, 并对在不同 ACP 电源转换时间下的电路建立时间特性通过仿真结果进行了分析和说明.

基于语音信号处理的应用背景, 开关电容电路的输入信号为 20kHz 正弦波信号, 峰峰值为 1V. 外部参考时钟信号 CLK 为 200kHz 方波信号, 信号占空比为 50%. 交流电源 ACP 信号与运算相位时钟信号 CLK_2 同步, 为 200kHz 梯形波信号, 并且状态转换时间 $T_R = T_F = 0.25\mu$ s. 电路的输出端电容负载为 10pF.

图 5(a) 所示为 ACPSC 放大器电路的瞬态仿真波形, 其中采样电容 C_1 为 0.8pF, 放大电容 C_2 为 0.4pF. 图 5(b) 所示局部波形细节为一次完整的 ACPSC 放大器的信号转换, 即当 CLK_2 时钟信号上升沿到来前, ACP 电源信号由关闭状态转为正常供电状态, 使得输出信号完成放大电路的功能. 可见, 采用交流电源供电的 ACPSC 开关电容放大器电路可以完成与传统的 DCPSC 放大器电路相同的功能.

图 6 为 ACPSC 和 DCPSC 放大器电路瞬态电源电流仿真波形. 当 ACP 电源关闭阶段, ACPSC 放大器电路的电源电流远远小于 DCPSC 放大器, 有助于降低电路的功耗. 当 ACPSC 放大器电路由关

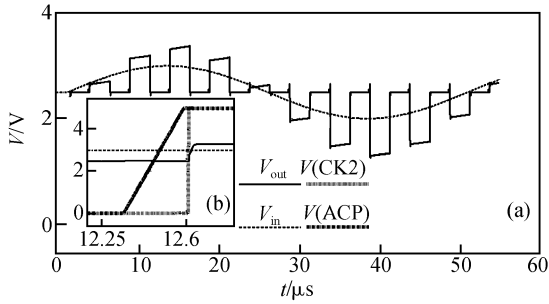


图 5 ACPSC 放大器电路瞬态仿真波形 (a) 输入输出信号波形; (b) 局部波形细节

Fig. 5 Simulated transient responses of the ACPSC amplifier V_{in} and V_{out} signals (a) and one complete signal transition with ACP supply (b)

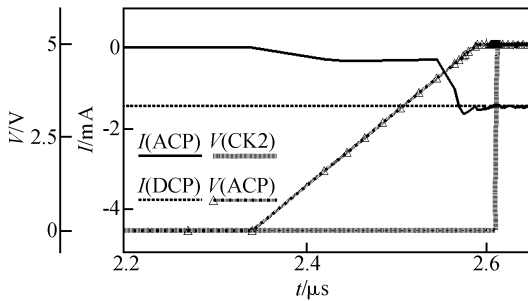


图 6 ACPSC 和 DCPSC 放大器电路瞬态电源电流仿真波形

Fig. 6 Comparison of power supply currents of ACPSC and DCPSC amplifiers

闭状态转换为正常供电状态时,随着 ACP 电源电压上升,电源电流值增大,并且在运算相位时钟 CLK_2 上升沿之前稳定在与 DCPSC 放大器电源电流相同的水平,不会影响电路实现正常的功能。

交流供电电源 (ACP) 必须与运算相位时钟信号 (CLK_2) 同步,所以其频率的选择需要根据双相不交叠时钟控制信号的频率.而双相不交叠时钟控制信号的最高工作频率受到对输出信号建立精度和 OTA 放大器工作带宽等因素的约束.同时,通过前面的分析,ACP 交流电源的状态转换时间 T_R (T_F) 对于电路的建立时间特性和功耗有重要影响.图 7 (a) 是 ACPSC 放大器电路在 0.1% 建立精度条件下归一化建立时间随 T_R/T 变化曲线,图 7 (b) 是相应的归一化功耗曲线.可以发现,随着电路转换时间的增加,可以减小电路建立时间,但是相应地降低了 ACPSC 电路的节能效率.所以在使用 ACPSC 低功耗电路技术时,要根据应用背景的设计需求在电路性能和功耗两方面统一考虑。

同样,ACPSC 积分器电路可以完成与 DCPSC 积分器电路相同的功能.与此相似,ACPSC 积分器电路工作过程中的电源电流和建立时间等特性与 ACPSC 放大器有相同的规律。

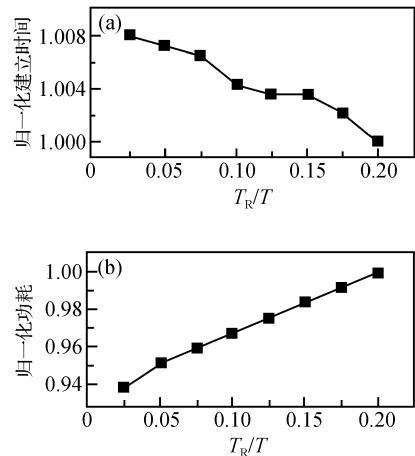


图 7 电路建立精度 0.1% 条件下归一化建立时间 (a) 和电路归一化功耗 (b) 随 T_R/T 变化曲线

Fig. 7 Normalized settling time with 0.1% settling accuracy (a) and normalized power consumption (b) versus T_R/T

表 1 为 ACPSC 和 DCPSC 电路仿真功耗结果的比较.对于开关电容放大器和开关电容积分电路,模式 (I) 为上文所述输入信号 20kHz,参考时钟信号和 ACP 电源信号为 200kHz 的结果;模式 (II) 为输入信号 100kHz,参考时钟信号和 ACP 电源信号为 2MHz 的结果.对于相同的电路形式,采用不同的工作模式,模式 (I) 功耗相对于模式 (II) 的降低主要是由于信号频率降低后,数字部分的动态功耗减少所致.而对于相同的工作模式,ACPSC 技术功耗降低则是由于电路中 ACP 电源在采样相位阶段关闭 OTA 放大器带来的好处.可以看到,采用 ACP 交流电源后,可以取得 35%~40% 的节能效率。

表 1 ACPSC 和 DCPSC 电路仿真功耗比较

Table 1 Comparison of simulated power consumptions of ACPSC and DCPSC

	DCPSC 技术 /mW	ACPSC 技术 /mW	节能比例/%
开关电容放大器 (I)	12.26	7.74	36.9
开关电容放大器 (II)	12.88	8.35	35.2
开关电容积分器 (I)	12.18	7.62	37.4
开关电容积分器 (II)	14.06	8.35	40.6

4 芯片测试结果

电路芯片设计同样采用 CSMC 5V 0.6 μ m CMOS 工艺实现,图 8 所示为 ACPSC 放大器 (ACPSC_Amplifier) 和积分器 (ACPSC_Integrator) 芯片的显微照片.为了对比电路的功能和功耗性能,芯片实现时同时设计了传统的 DCPSC 放大

器(DCPSC_Amplifier)和积分器(DCPSC_Integrator).

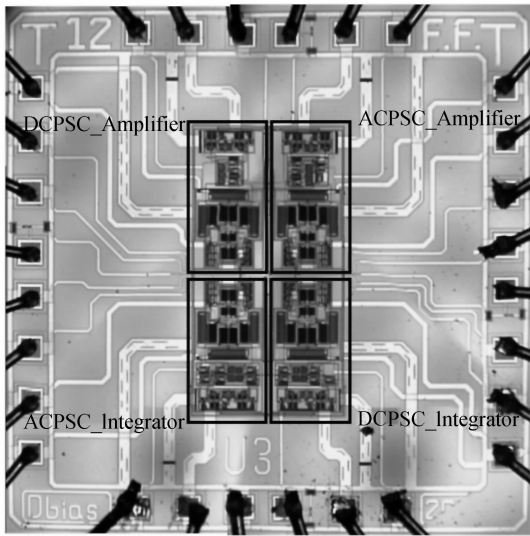


图 8 ACPSC 测试芯片显微照片
Fig.8 Microphotograph of ACPSC test chip

图 9 为 ACPSC 放大器电路的输入输出信号测试波形,其中输入数据信号、输入时钟信号和 ACP 交流电源信号的配置与图 5 所示的 ACPSC 放大器电路仿真配置相同.ACP 交流电源信号由测试板外围电路产生,并与时钟信号同步.为了提高集成度,当然很有必要把交流电源产生电路(功率时钟)集成到芯片上,同时就引入了额外的电路功耗.考虑到 ACPSC 电路与绝热电路技术联合设计极低功耗集成电路的前景,引入功率时钟的开销可以大大减小.图 9 中示波器 Channel 1 为输入 20kHz 正弦波信号,Channel 2 为 ACPSC 放大器电路输出信号波形.显而易见,ACPSC 放大器电路可以完成与传统的 DCPSC 放大器电路相同的电路功能.图 10 为 ACPSC 积分器电路的输入输出信号测试波形,电路测试配置情况与 ACPSC 放大器电路测试条件相同.同样可以看到,ACPSC 积分器电路可以完成与传统的 DCPSC 积分器电路相同的电路功能.

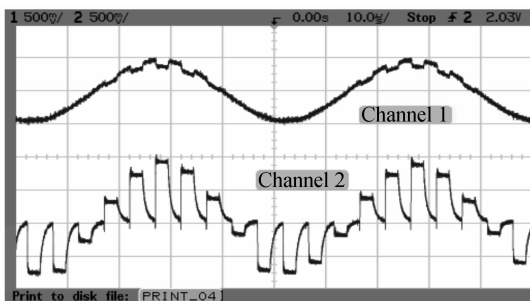


图 9 ACPSC 放大器电路输入输出信号测试波形
Fig.9 Measured input and output waveforms of the ACPSC amplifier

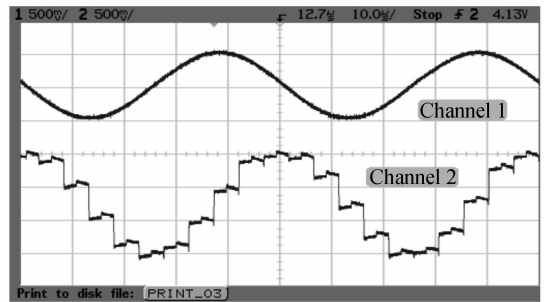


图 10 ACPSC 积分器电路输入输出信号测试波形
Fig.10 Measured input and output waveforms of the ACPSC integrator

表 2 为 ACPSC 和 DCPSC 电路功耗测试结果比较.电路测试过程中,主要通过考察电路工作过程中的平均电源电流情况对电路功耗进行测试和比较.由于在 PCB 测试板上除了待测芯片外,同时还有稳压电源芯片和偏置电流产生电路等,所以电路的测试功耗要大于仿真结果,并且节能效率降低.

表 2 ACPSC 和 DCPSC 电路测试功耗比较

Table 2 Comparison of measured power consumptions of ACPSC and DCPSC

	DCPSC 技术 /mW	ACPSC 技术 /mW	节能比例/%
开关电容放大器	14.31	10.25	28.37
开关电容积分器	14.24	10.06	29.35

可以注意到,由于电路芯片设计和测试过程中的各种非理想因素,电路测试结果与仿真结果稍有差别.但是从验证 ACPSC 低功耗电路技术功能的角度而言,目前的电路测试结果已经能够反映 ACPSC 电路技术的可行性,为了完善电路性能,进一步降低功耗,需要进行更加详细深入的理论分析、电路设计和测试.

5 结论

模拟电路的低功耗设计方法除了考虑降低电路的工作电压外,还可以充分利用模拟电路的工作方式.ACPSC 低功耗开关电容电路技术就是充分利用开关电容电路在采样相位阶段电容网络负载小,通过 ACP 交流电源关闭功耗最大的 OTA 放大器电路,以此达到降低开关电容电路功耗的目的.ACPSC 低功耗电路技术经过功能仿真验证和芯片测试,成功地应用于两个基本的开关电容电路单元(开关电容放大器和开关电容积分器)的设计,可以完成与传统的直流电源供电的开关电容电路相同的功能.最后,ACPSC 低功耗设计技术不仅可以与绝热数字

低功耗电路技术相结合,应用于交流电源供电的极低功耗 SOC 系统中,更为重要的是,采样相位阶段的供电电压低,能够显著降低芯片的漏电流,这在今后纳米尺度的芯片中将会有显著优势.

参考文献

- [1] Matsuzawa A. Low-voltage and low-power circuit design for mixed analog/digital systems in portable equipment. *IEEE J Solid-State Circuits*, 1994, 29: 470
- [2] Johns D, Martin K. *Analog integrated circuit design*. USA: John Wiley & Sons, Inc, 1997
- [3] Silveira F, Flandre D. Operational amplifier power optimization for a given total (slewing plus linear) settling time. *Proceedings of 15th Symposium on Integrated Circuits and Systems Design*, 2002: 247
- [4] Hurst P J. Double sampling in switched-capacitor delta-sigma A/D converters. *Proceedings IEEE International Symposium on Circuits and Systems*, 1990: 902
- [5] Baschiroto A, Castello R. A 1V CMOS fully-differential switched-opamp bandpass sigma-delta modulator. *Proceedings of 23rd European Solid-State Circuits Conference*, 1997: 16
- [6] Cusinato P S, Baschiroto F. Reducing the power consumption in high-speed sigma-delta bandpass modulators. *IEEE Trans Circuits Syst II*, 2001, 48: 952
- [7] Qiao Fei, Yang Huazhong, Wang Hui. Low power switched-capacitor circuits powered by AC-power supply. *IEEE Proceedings of Int ICCAS Conference, Hong Kong*, 2005: 1075
- [8] Razavi B. *Design of analog CMOS integrated circuits*. USA: McGraw-Hill, 2001

Low Power Switched-Capacitor Circuits Powered by AC-Power Supply*

Qiao Fei, Yang Huazhong[†], and Wang Hui

(*Department of Electronic Engineering, Tsinghua University, Beijing 100084, China*)

Abstract: A novel design method for low power switched-capacitor (SC) circuits is presented. The new SC circuits retain the best characteristics of switched-capacitor circuits and can be directly powered by an AC power supply. The power consuming OTA is powered off during the sampling phase. Compared with traditional direct-current-powered SC (DCPSC) circuits, AC-powered SC (ACPSC) circuits achieve a power saving ratio of up to 40% without obvious damage to the settling behavior, as simulated with CSMC 5V 0.6 μ m technology. The functionality of ACPSC circuits is also proven by fabricated chips.

Key words: low power circuits; switched-capacitor circuits; AC-power supply

EEACC: 1100; 1205

Article ID: 0253-4177(2006)12-2203-06

* Project supported by the Key Plan of the National Natural Science Foundation of China (No.90207001)

[†] Corresponding author. Email: yanghz@tsinghua.edu.cn

Received 6 June 2006, revised manuscript received 16 July 2006