

# 一个用于 GSM 的 80dB 动态范围 $\Sigma$ - $\Delta$ 调制器

陈建球<sup>†</sup> 任俊彦 许俊 王照钢 李怡然

(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

**摘要:** 设计了一个用于 GSM 系统的 Sigma-Delta 调制器. GSM 系统要求信号带宽大于 200kHz, 动态范围大于 80dB. 为了能取得较低的过采样率以降低功耗, 采用了级联结构(MASH)来实现, 与单环高阶结构相比, 它具有稳定及易于实现的优点. 设计工作时钟为 16MHz, 过采样率为 32, 基带带宽为 250kHz, 电路仿真可以达到最高 82dB 的 SNDR 和 87dB 的动态范围. 芯片采用 SMIC 0.18 $\mu$ m 工艺进行流片, 面积为 1.2mm $\times$ 1.8mm. 芯片测试效果最高 SNDR = 74.4dB, 动态范围超过 80dB, 测试结果与电路仿真结果相近, 达到了预定的设计目标. 芯片工作在 1.8V 电源电压下, 功耗为 16.7mW.

**关键词:** Sigma-Delta 调制器; 过采样; 级联结构; 动态范围

EEACC: 1250; 1265H; 1280

中图分类号: TN79<sup>+</sup>2

文献标识码: A

文章编号: 0253-4177(2007)02-0294-08

## 1 引言

Sigma-Delta 是实现高精度模数转换器的一种常用结构, 其在音频设备、测量仪器中得到广泛的应用. 近年来, Sigma-Delta 模数转换器已突破“低速高精度”的传统观点, 持续往高速方向发展, 甚至进入了无线通信的领域. 与 Nyquist 频率的模数转换器如流水线模数转换器相比, 其能达到更高的动态范围而消耗的功耗则小许多, 因此更适合无线手持设备的应用.

本文设计目标是要实现一个信号带宽达到 200kHz 和 80dB 的动态范围, 以满足全球移动通信系统(global system of mobile communication, GSM)要求的 Sigma-Delta 调制器, 同时要求其功耗足够低. 为了降低功耗, 我们希望能降低过采样率, 在时钟频率不提高的情况下获得更高的信号带宽.

## 2 结构选择

常用的高阶 Sigma-Delta 调制器有单环高阶、级联两种结构. 单环高阶调制器具有潜在的不稳定因素, 因此需要对其系数进行缩放, 以降低噪声传递函数(NTF)的带外增益<sup>[1]</sup>, 减小其输入范围. 尽管如此, 单环高阶调制器仍是潜在不稳定的, 需要增加额外的电路来监控其稳定性, 这是不适合 GSM 系统应用的. 因此本文不采用单环高阶的形式.

多回路级联(multi-stage noise shaping, MSAH)结构中每个回路都是稳定的, 因此没有稳定性问题. 通过数字域的相消逻辑, 其噪声传递函数(NTF)可以获得  $(1 - z^{-1})^n$  的标准形式. 但是级联结构也有自己的问题, 就是数字域与模拟域的不匹配会造成噪声的泄漏. 本文通过结构上的选择, 减少其泄漏.

根据调制器的动态范围(DR)的近似计算公式(1)<sup>[2]</sup>:

$$DR = \frac{3}{2} \left( \frac{2L + 1}{\pi^{2L}} \right) (2^N - 1)^2 OSR^{2L+1} \quad (1)$$

当阶数  $L = 4$ , 量化位数  $N = 1$ , 过采样率  $OSR = 32$  时, 动态范围  $DR = 107\text{dB}$ , 超出了设计目标. 但是这一近似公式没有考虑到不稳定性对输入幅度的限制, 输入幅度减小后, 信噪比(signal noise rate, SNR)也相应下降. 为了留给设计更大的裕度, 我们取  $L = 4$ ,  $OSR = 32$ ,  $N = 1$ .

常用的级联 4 阶结构有 MASH22 和 MASH211 两种结构. MASH211 的后级输入范围比 MASH22 要大些, 因此理论上能达到更大的 SNR<sup>[1,3]</sup>; 但是 MASH211 多了一个环路, 使不匹配性放大, 而且多了一个量化器, 增加了电路复杂度. 文献[4]使用了 222 调制, 实际上受电路特性影响, SNDR 增加不多, 因此本文选用 MASH22 结构.

本文介绍了 Sigma-Delta 调制器设计的过程及系统级仿真结果, 分析了电路的非理想特性及主要电路模块的设计, 最后给出了测试效果并对测试效果进行了分析.

<sup>†</sup> 通信作者. Email: 042052012@fudan.edu.cn

2006-08-06 收到, 2006-10-08 定稿

### 3 系统设计

图 1 是本设计采用的实用调制器结构图. 注意除了增益系数  $k_a, k_b$  之外, 与原始结构相比, 它增

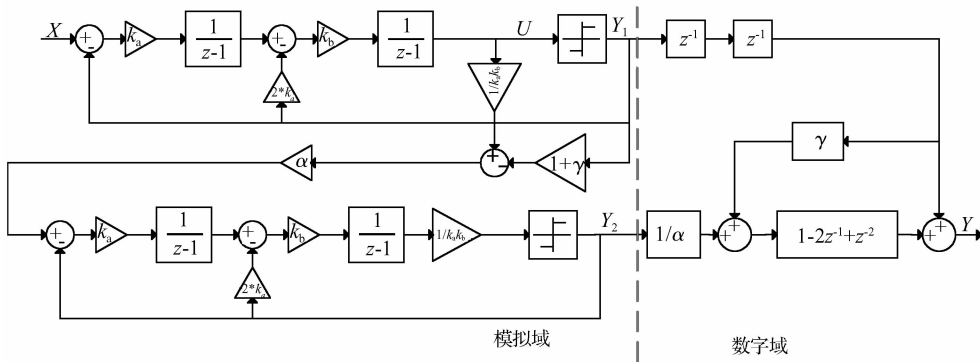


图 1 整体 MASH22 结构框图  
Fig.1 Architecture of MASH22

加了两个级间系数  $\alpha$  和  $\gamma$ , 它们的作用是减少第二级的输入信号幅度<sup>[1]</sup>. 这里取  $\alpha = 1/4, \gamma = 1, k_a = k_b = 0.5$ .

经过数字相消逻辑后, 得到调制器最后输出  $Y$  的表达式为:

$$Y = \left[ \frac{1}{\alpha} Y_2(z) + \gamma Y_1(z) z^{-2} \right] (1 - z^{-1})^2 + z^{-2} Y_1(z) = z^{-4} X(z) + \frac{1}{\alpha} (1 - z^{-1})^4 E_2(z) \quad (2)$$

可见为  $(1 - z^{-1})^n$  的标准形式, 但是噪声被放大了  $1/\alpha = 4$  倍, 相当于噪声提高了 6dB.

注意相消逻辑是在数字域完成的, 模拟域和数字域的系数不匹配, 会使第一级的量化噪声不能完全抵消, 称之为泄漏<sup>[5~8]</sup>. 为了达到 16bit 以上的精度, 需要使用自适应数字校准等技术来减少泄漏. 在本设计中, 目标信噪比 SNR 为 14bit, 而且第一级使用了 2 阶调制, 减少了泄漏, 因此不需要采取额外的数字校准逻辑.

在 MATLAB 中对图 1 的结构进行仿真, 当输入信号幅值为 0.6, OSR = 32 时, 得到最大信号与噪声谐波失真比 SNDR = 89.6 dB, 信号带宽内噪声基底低于 -100dB. 对输入信号进行扫描, 发现此 Sigma-Delta 调制器的动态范围为 92dB.

### 4 电路设计

Sigma-Delta 调制器中的主要误差来源包括:  $KT/C$  噪声、运放有限增益及不完全建立误差以及开关导通电阻、系数失配、内部 D/A 和运放失调电压等. 其中  $KT/C$  热噪声、运放的非理想因素和采样开关的非线性是主要的误差来源, 下面分别对其进行分析和设计.

#### 4.1 采样电路 $KT/C$ 热噪声

由于 MOS 采样开关工作于开关模式, MOS 开关管的静态沟道电流最终应该为 0, 因此其闪烁噪声可以忽略. 而 MOS 开关管贡献的热噪声为  $KT/C$ , 由于是差分输入, 故开关热噪声要乘以 2. 另外采样电容  $C_s$  在采样相和积分相时接不同的开关, 两相分别贡献  $KT/C$  的热噪声<sup>[9]</sup>. 因此采样开关的总采样热噪声为:

$$P_{sw,KT/C} = 4KT/C_s \quad (3)$$

设单端输入信号幅值为  $V_p$ , 那么差分输入信号的功率为  $(2V_p)^2/2$ , 则由采样热噪声引起的 SNR 为:

$$SNR_{KT/C} = \frac{(2V_p)^2}{2P_{sw,KT/C}/OSR} = \frac{V_p^2 OSR C_s}{2KT} \quad (4)$$

这里 OSR 是过采样率. 由于 Sigma-Delta 工作在过采样方式, 带外的噪声都会被后级滤波器滤除, 因此基带的总热噪声要除以 OSR. 取  $V_p = 0.3V, OSR = 32, C_s = 2.5pF$ . 代入 (4) 式得:  $SNR_{KT/C} = 89.4dB$ , 满足我们的设计要求. 注意到运放的热噪声与采样开关的热噪声在同一数量级, 因此加入运放的热噪声后, SNR 会下降约 3dB.

#### 4.2 开关导通电阻引入的误差

开关的非零导通电阻与采样电容组成了一个 RC 电路, 其不仅影响了采样信号对输入信号的追踪, 而且由于开关导通电阻的变化引起采样信号非线性. 减少非线性的一种有效方法是使用自举开关, 它的思想是控制  $V_g$  以保持  $V_{gs}$  基本恒定. 本设计采用了文献[10]提到的自举开关, 如图 2 所示. 电路在

时钟 CK 及其反相时钟  $\overline{\text{CK}}$  控制下实现对采样开关 M11 的栅源电压的动态调整, 最终可令  $V_{gs} \approx V_{dd}$ ,

导通电阻不受输入信号的影响.

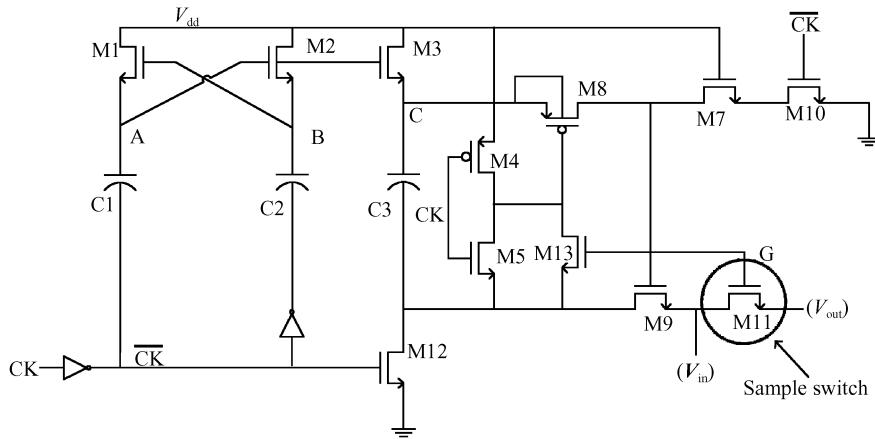


图 2 栅压自举开关

Fig. 2 Bootstrapped-switch

本采样开关在低电源电压和输入信号频率较高 ( $>5\text{MHz}$ ) 时性能会下降, 但是本设计最高输入信号为  $250\text{kHz}$ , 不存在上述问题. 使用上述栅压自举开关组成采样开关, 对输出差分采样信号作 FFT 分析, 其噪底低于  $-100\text{dB}$ , 且谐波分量不明显, 说明此自举开关设计是成功的.

值得注意的是, 非线性的产生是因为输入信号的变化, 对于输入是直流信号的开关, 没有必要采用自举开关, 一般使用 CMOS 开关并把导通电阻  $R_{on}$  设计得足够小即可.

### 4.3 运放的设计

#### 4.3.1 设计考虑

运放是 Sigma-Delta 调制器中最重要的一個电路部件, 其必须满足增益、带宽和压摆率等瞬态指标和较低的功耗, 同时还要兼顾较高的线性度、较大的输出摆幅、以及较小的 Offset 和等效输入热噪声等. 对于 Sigma-Delta ADC 而言, 线性度的要求是非常重要的, 而 Offset、输出摆幅等指标也比其他类型的 ADC 要求高许多. 由于运放的各项指标是相互制约的, 因此在设计初期要统一考虑好.

首先要根据建立时间来确定增益带宽的要求. 根据文献[11], 考虑了有限增益带宽影响后的积分器传递函数为:

$$\begin{aligned} H(z) &= \frac{C_s}{C_1} \times \frac{r_2(1-k_2)z^{-1}}{1-r_1[1-k_2(1-r_1)]z^{-1}} \\ &= \frac{C_s}{C_1} \times \frac{\alpha z^{-1}}{1-\beta z^{-1}} \end{aligned} \quad (5)$$

其中

$$r_1 = \frac{1+A+C_p/C_1}{1+A+C_s/C_1+C_p/C_1},$$

$$r_2 = \frac{A}{1+A+C_s/C_1+C_p/C_1}$$

$$\begin{aligned} k_2 &= \exp\left(-\frac{g_m}{C_s+C_p+(C_s+C_p+C_1)C_L/C_1} \times \frac{\tau_2}{r_2}\right) \\ &= \exp\left(-GB \frac{\tau_2}{r_2}\right) \end{aligned}$$

这里  $C_s$  是采样电容;  $C_1$  是积分电容;  $C_p$  是寄生电容;  $\frac{g_m}{C_s+C_p+(C_s+C_p+C_1)C_L/C_1}$  是运放闭环时的单位增益带宽;  $\tau_2$  是可用建立时间;  $A$  是运放直流增益.

本设计时钟速度为  $16\text{MHz}$ , 令  $\tau_2 = 31\text{ns}$ , 取  $A = 70\text{dB}$ , 单位增益带宽  $GB = 80\text{MHz}$  时, 代入(5)式, 系统级仿真  $\text{SNDR} = 87.2\text{dB}$ , 满足我们的设计要求. 为了满足运放线性度的要求, 在本设计中我们取增益为  $80\text{dB}$ .

为了实现高增益和中等带宽的运放, 有以下三种方案可供选择:

(1) 折叠共源共栅 + 增益自举. 由于是单级运放, 可以做到很高的单位增益带宽, 而通过增益自举, 同时可以达到高的增益. 缺点是输出摆幅小.

(2) 折叠共源共栅 + 共源级输出. 输出摆幅比较大, 同时由于是两级运放, 增益可以较高. 缺点是两级运放功耗比(1)要高.

(3) 折叠共源共栅 + A/B 类输出. 与(2)相比可以提供较大的瞬态电流, 减少了建立时间, 节省了功耗. 然而 A/B 类输出线性度不好.

在本设计中, 输出摆幅是很重要的, 因此我们选择方案(2).

运放设计最后一个要求是对压摆率的要求, 输入最大阶跃是  $0.6\text{V}$ , 我们希望其能在  $1/6$  的建立时

间即 5ns 内完成压摆阶段, 即  $SR > 0.6V/5ns = 120V/\mu s$ .

### 4.3.2 不同工作相时的拓扑结构

一个开关电容电路容易被疏忽的重要特性是, 其处于不同工作相时具有不同的拓扑结构, 因此也具有不同的等效负载电容及频率响应特性. 开关电容积分器电路处于采样相和积分相的等效电路如图 3 所示. 这里考虑了输入对管的寄生电容的影响, 取  $C_p = 0.1C_1 = 0.5pF$ .

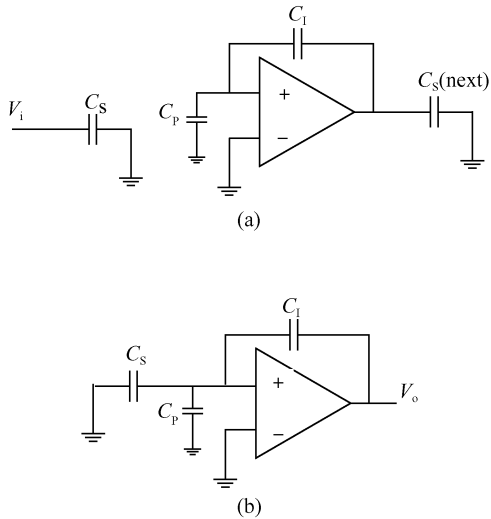


图 3 工作在采样相和积分相的等效负载电容 (a) 采样相; (b) 积分相  
Fig. 3 Effective  $C_L$  of hold phase and integrating phase (a) Hold phase; (b) Integrating phase

工作在采样相时, 本级采样电容  $C_s$  追踪输入信号, 而此时本级积分器的输出被采样至下一级的

采样电容上, 电路拓扑如图 3(a) 所示. 此时运放的等效负载电容和反馈系数为:

$$C_L = C_s + \frac{C_1 C_p}{C_1 + C_p} \approx 3pF, \beta = \frac{C_1}{C_p + C_1} = 0.9 \quad (6)$$

积分相时电路拓扑图如图 3(b) 所示, 此时等效负载电容和反馈系数为:

$$C_L = C_1 // (C_s + C_p) = \frac{C_1 (C_s + C_p)}{C_1 + C_s + C_p} = 1.875pF, \quad (7)$$

$$\beta = \frac{C_1}{C_s + C_1 + C_p} = \frac{5}{8}$$

对比(6)与(7)式, 它们之间较大的差别. 对于二级运放, 其带宽主要由补偿电容  $C_c$  决定, 而负载电容只会影响相位裕度. 但  $\beta$  变化较大, 对于闭环带宽影响较大.

### 4.3.3 电路结构

图 4 是用于 Sigma-Delta 调制器运放的具体电路图, 右边是连续时间共模反馈电路. 由两个电阻  $R$  串接在运放的两个输出端采集输出电压共模点, 其与外接输出共模控制电压  $V_{CMO}$  分别接在差分放大器两输入端, 差值被放大接在 M21 管栅极上, 控制输入对管的尾电流. 整个环路构成一个负反馈电路. 注意采样电阻  $R$  必须足够大, 否则会降低主运放的增益. 采样电阻  $R$  并联了适当的电容, 以滤除高频成分, 使该点的电压更恒定. pcs1, ncas 等为偏置电压, 这里偏置电路没有画出来.

二级运放需要频率补偿, 这里采用电阻电容补偿, 以达到更高的频率性能. 输出支路电流为  $480\mu A$ , 预计压摆率  $SR = \frac{480\mu A}{4p} = 120V/\mu s$ .

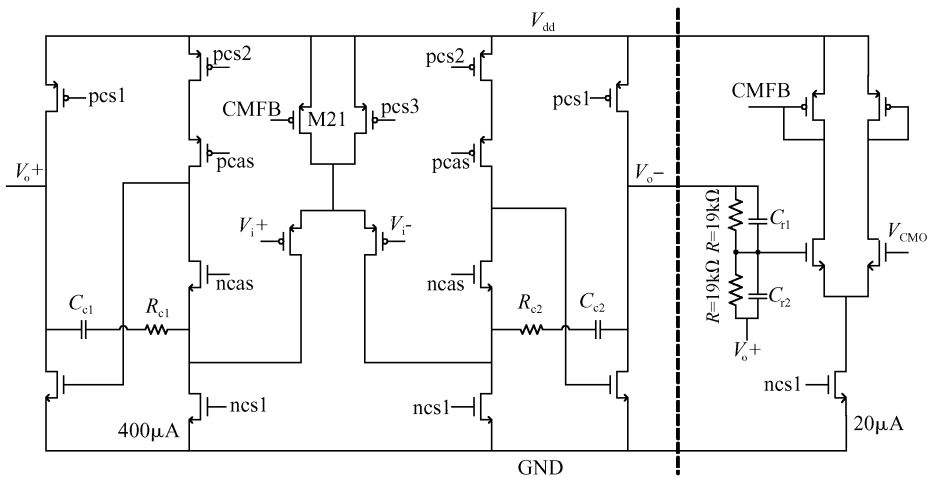


图 4 具体运放电路图  
Fig. 4 Topology of OP-AMP

### 4.3.4 运放的主要性能

由于运放在负反馈的形式,单位增益带宽是指 $|\beta A_v(s)| = 1$ 时的频率,相位裕度是指当 $|\beta A_v(s)| = 1$ 时 $\angle \beta A_v(s)$ 与 $180^\circ$ 之间的差值<sup>[12]</sup>,这里 $\beta$ 是反馈系数.可见单位增益带宽和相位裕度都与反馈系数有关.Hspice 仿真得:

采样相: $\beta = 0.9$ ;  $A_v = 84\text{dB}$ ,  $\text{GB} = 146\text{MHz}$ , 相位裕度 =  $73^\circ$

积分相: $\beta = 0.625$ ;  $A_v = 84\text{dB}$ ,  $\text{GB} = 92\text{MHz}$ , 相位裕度 =  $84^\circ$

可见积分相时由于 $\beta$ 较小,其单位增益带宽小于采样相,但仍满足设计的要求.

把差分运放接成电容反馈放大器的形式,加入差分正弦信号作为激励,其单端输出信号摆幅在 $0.4\sim 1.4\text{V}$ 时,谐波失真 $\text{THD} > 70\text{dB}$ .由于运放的非线性是在积分器后加入的,相当于经过了一阶整形,降低了其影响,因此线性度满足要求.

运放的各项指标如表 1 所示.

表 1 运放性能  
Table 1 Performance of OPAMP

	预设值	实际值
直流增益	$> 80\text{dB}$	84dB
单位增益带宽	$> 80\text{MHz}$	采样相: 146MHz
		积分相: 92MHz
输出摆幅	0.3~1.5V	0.4~1.4V; THD = 71.3dB
		0.3~1.5V; THD = 50dB
压摆率	$> 120\text{V}/\mu\text{s}$	积分相: 140V/ $\mu\text{s}$

### 4.4 比较器的设计

比较器的非理想特性包括比较器的输入失调(offset)以及迟滞效应(hysteresis),由于这些非理想特性出现在积分器后面,受到多阶整形,因此影响不是很大.

图 5 是本设计使用的差分输入比较器.(a)是比较器主体电路,(b)是一个 RS 触发器组成的锁存器,以保证比较器的数字输出在一个时钟周期内保持不变,ck2 和 ck1 为反相时钟.在 ck1 为高时,差分输入  $I^+ / I^-$  在预放大器中产生差分输出信号  $V_{oi+} / V_{oi-}$ ,在 ck2 为高时交叉耦合正反馈电路工作,把  $V_{oi+} / V_{oi-}$  放大,使其一个为  $V_{dd}$  另一个为 GND.注意此时 M3/M4 断开,输入管与  $V_{oi+} / V_{oi-}$  之间的信号通路被隔离,而预放大电路工作时交叉耦合正反馈并不工作,因此输入管的工作状态与  $V_{oi+} / V_{oi-}$  无关,也就不会产生迟滞效应的问题.同时由于 ck2 为高,  $V_{oi+} / V_{oi-}$  反相送至 RS 输出触发器更新输出结果.当 ck2d 为低时,RS

触发器的两个输入都为 1,根据 RS 触发器输出逻辑,输入为 11 时维持上次输出结果不变.

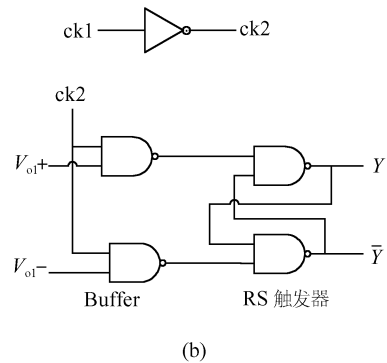
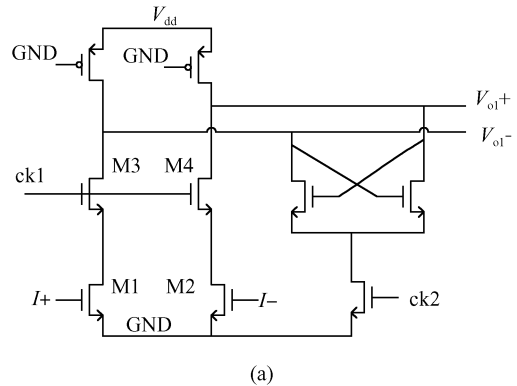


图 5 比较器电路 (a) 比较器主体电路;(b) 锁存器

Fig.5 Topology of comparator (a) Main circuit of the comparator;(b) Flip-latch

上述比较器曾成功应用在 Pipeline ADC 中,其工作时钟频率可达 100MHz,500 个样本的失调小于  $50\text{mV}$ <sup>[10]</sup>.

### 4.5 整体电路性能仿真

本 Sigma-Delta 调制器电路采用 SIMC  $0.18\mu\text{m}$  1P6M mixed-signal CMOS 工艺实现,其电源电压为 1.8V,采用全差分开关电容结构,电容为 MIM 电容,第一级输入采用栅压自举的采样开关.对 Sigma-Delta 调制器整体电路进行 Hspice 仿真,作 4096 点 FFT 频谱图,如图 6 所示(纵坐标归一化至输入信号幅度).由图 6 可以看到,其 SNDR  $> 82\text{dB}$ ,满足设计要求,无杂散动态范围, SFDR 为  $90.9\text{dB}$ .

加入小信号观察调制器的动态范围.由于仿真时间的限制,我们只作了  $V_{in} = 0.00002, 0.32, 0.35$  和  $0.4\text{V}$  几个点的仿真,如图 7 所示,可见其动态范围  $\text{DR} = 87\text{dB}$ .

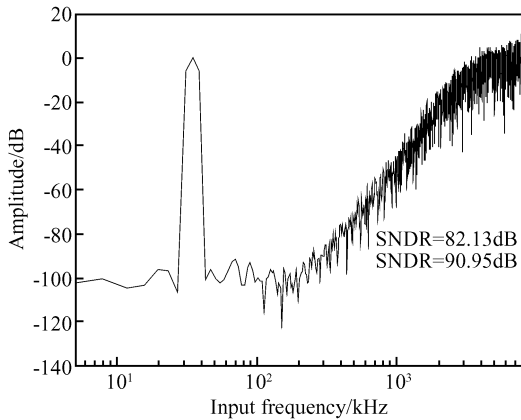


图 6 调制器电路级仿真 FFT 频谱图

Fig.6 FFT spectrum of circuit-level simulation

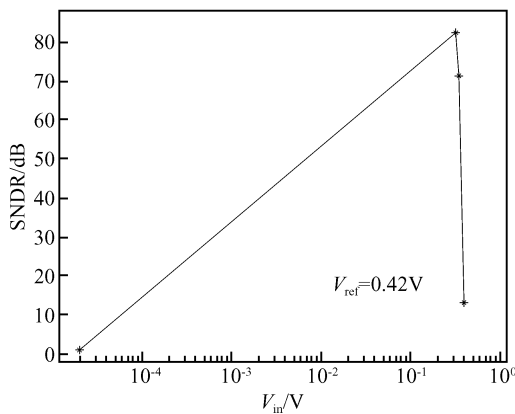


图 7 电路级仿真动态范围

Fig.7 Dynamic range of circuit-level simulation

#### 4.6 版图设计

版图设计对于 Sigma-Delta 调制器来说是关键的.级联 Sigma-Delta 调制器对版图设计的要求非常高,除了一般模拟电路所要求的电路匹配,特别是电容的严格匹配外,更重要的是它对时钟、电源的干扰也比一般模拟电路要敏感得多,因此对数字域与模拟域的隔离也比较严格,除此之外还要加上一些较大的滤波电容去除电源抖动的干扰.

在版图设计过程中,要注意对一些电路模块作后仿真,以保证版图级与电路级设计的一致.最后整体版图如图 8 所示,面积为  $1.2\text{mm} \times 1.8\text{mm}$ .

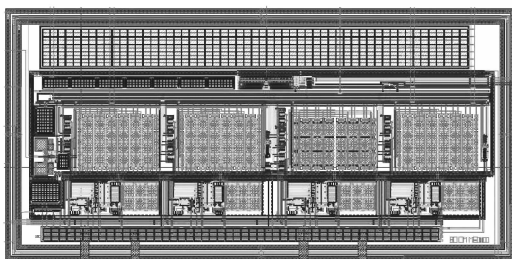


图 8 整体调制器版图

Fig.8 Layout of the modulator

## 5 测试

本芯片在 SMIC  $0.18\mu\text{m}$  工艺线上流片成功,测试 PCB 板如图 9 所示,中间芯片为本次流片的 Sigma-Delta 调制器.由安捷伦 AWG520 信号源提供模拟输入信号,调制器的数字输出码流用逻辑分析仪采集并送入 MATLAB 中进行分析.当  $V_{\text{dd}} = 1.8\text{V}$ ,工作时钟为  $16\text{MHz}$  时,Sigma-Delta 调制器共消耗  $16.7\text{mW}$  的功耗.这里  $\text{OSR} = 32$ ,信号带宽为  $250\text{kHz}$ .

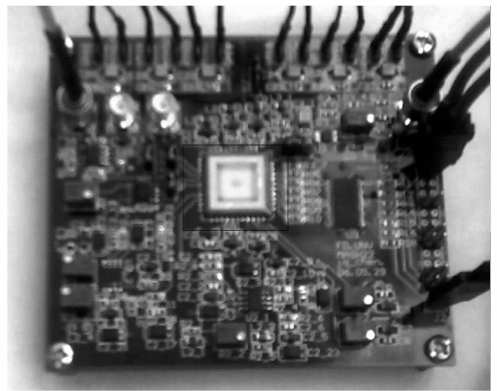


图 9 Sigma-Delta 调制器测试 PCB 板

Fig.9 Sigma-Delta modulator testing-board

图 10 是在  $f_{\text{CLK}} = 16\text{MHz}$ ,  $f_{\text{in}} = 122.07\text{kHz}$ ,输入单端信号幅度  $V_p = 0.305\text{V}$  (满幅度输入为  $0.45\text{V}$ ) 时调制器的输出频谱图.快速傅里叶变换 (FFT) 分析点数为 16384 点,加 hanning window.可以看到其信噪比 (SNR) 为  $75.448\text{dB}$ ,信号谐波失真比 (SNDR) 为  $74.422\text{dB}$ ,有效位数超过 12bit,无杂散动态范围 (SFDR) 为  $84\text{dB}$ .当系统没有过载

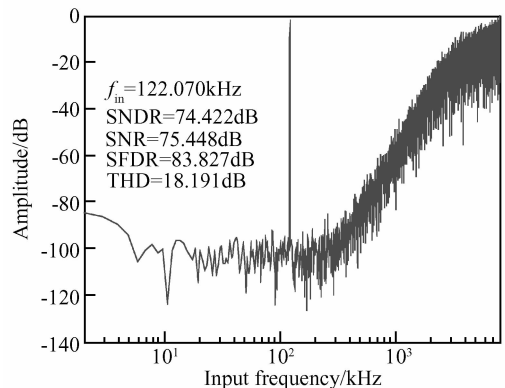


图 10 测试 16384 点 FFT 频谱图

Fig.10 FFT spectrum of 16384 points

时,在基带内没有观察到谐波的影响,说明本电路的线性度设计得非常好.

当 OSR 取 64 时,信号带宽减少一倍,此时最大 SNDR = 82dB.

为了测试调制器的动态范围,必须对输入信号进行扫描.但是由于测试仪器不能产生非常小的幅度如 -90dB 的小信号,因此动态范围难以测量.这

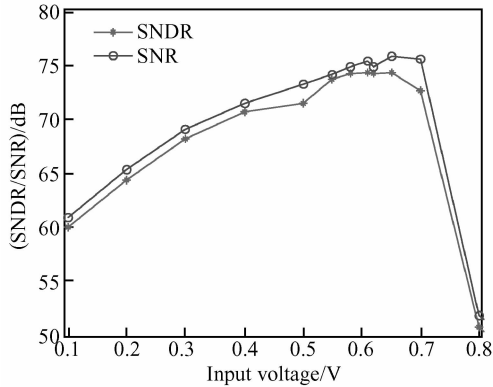


图 11 输入幅度与信噪失真比的关系

Fig. 11  $V_{in}$  versus SNDR

可以看到,测试效果与电路级仿真之间的信噪比还存在 7dB 的差别.误差的来源是多方面的,经过分析,误差主要来自两个方面:

(1)测试信号源的精度.输入信号源的 DA 输出只有 10bit 的分辨率,虽然通过过采样可以使信噪比和等效位数提高,但不太可能提高至 14bit 的精度.

(2)版图设计的非理想特性,器件参数的偏差,各种干扰和噪声,特别是电源扰动和数字时钟通过硅片衬底对模拟电路的干扰.本次设计的二级运放对电源抑制比不是非常高,在更高精度的应用中需要改进.

## 6 结论

本文成功实现了一个 Sigma-Delta 调制器.实测调制器工作在 16MHz 时钟下,OSR 取 32,信号带宽为 250kHz,信噪比 SNR = 76dB,动态范围为

里我们测试不同输入情况下的 SNDR,如图 11 所示(这里输入信号幅度归一化到参考电压),并根据输入信号为 0.02~0.4 时的几个点做拟合曲线,如图 12 所示.可以看到当  $V_{in.min} = -88\text{dB}$  时,SNDR = 0;而最大稳定输入  $V_{in.max} = 0.7 = -3\text{dB}$ ,故估计的 DR = 85dB.

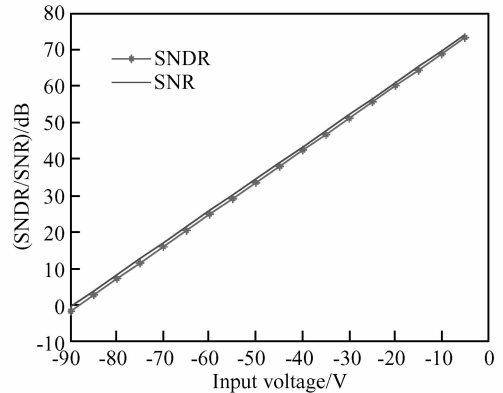


图 12 估计的动态范围

Fig. 12 Dynamic range of estimating

85dB,可以应用在 GSM 系统中.当 OSR 取 64 时,其信号带宽为 125kHz,最大 SNDR = 82dB.本 Sigma-Delta 调制器消耗功耗为 16.7mW,芯片面积为  $1.2\text{mm} \times 1.8\text{mm}$ .

表 2 是近几年国内发表的测试成功的 Sigma-Delta 调制器的比较,由于应用于不同场合,其速度精度不同,因此我们采用综合指标 FOM (figure of merit) 来衡量.由表 2 可以看到,本设计功耗较低,综合指标处于国内领先水平.

当要实现更高精度的 Sigma-Delta 调制器如 16bit 以上时,除了版图设计和测试仪器上的改进外,以下几方面的考虑是有益和必须的:首先 MASH 结构可能不再合适,单环结构对电路匹配性要求要小得多;其次运放的电源抑制比要提高,共源级输出的二级运放可能是不合适的;最后,精度越高非线性的影响会变得越重要,运放与采样开关可能要采用特殊设计方能满足线性度的要求.

表 2 国内 Sigma-Delta 调制器性能的对比

Table 2 Performances of some Sigma-Delta modulators

作者	出版物	工艺	电压/功耗	信噪比	信号带宽	$FOM = 4kT \frac{2^{SNR/6.02} \times BW}{P}$
李罗生	博士论文(2005)	0.18 $\mu\text{m}$	1.8V/110mW	80dB	1MHz	$1.51 \times 10^{-9}$
陈雷等	半导体学报(2006/07)	0.5 $\mu\text{m}$	5V/90mW	96dB	21.8kHz	$2.53 \times 10^{-10}$
本文		0.18 $\mu\text{m}$	1.8V/16.7mW	76dB	250kHz	$1.57 \times 10^{-9}$

**致谢** 本文得到了俊彪、陈丹凤等同学在版图设计和测试上的帮助,特此致谢。

### 参考文献

- [1] Norsworthy S R, Schreier R, Temes G C. Delta-Sigma data converters. Piscataway: IEEE Press, 1996
- [2] Allen P E, Holberg D R. CMOS analog circuit design. 2nd ed. Beijing: Publishing House of Electronics Industry, 2005
- [3] He Bo. A 1MHz bandwidth 14-bit Sigma-Delta modulator. Master Dissertation of Fudan University, 2004 (in Chinese) [何波. 1MHz 基带带宽 14-bit 精度的 Sigma-Delta 调制器. 复旦大学硕士论文, 2004]
- [4] Xu Donglin, Zhao Hui, Wang Zhaogang, et al. A 5mW 1.8V low over-sampling ratio  $\Sigma$ - $\Delta$  modulator with 81dB dynamic range. Chinese Journal of Semiconductors, 2004, 25(1): 12 (in Chinese) [徐栋麟, 赵晖, 王照钢, 等. 1.8V 电源电压 81dB 动态范围的低过采样率  $\Sigma$ - $\Delta$  调制器. 半导体学报, 2004, 25(1): 12]
- [5] Zou Jialu, Luo Lijun. Oversampled Delta-Sigma modulation (II A). Audio Engineering, 1994, (12): 33 (in Chinese) [邹家禄, 骆立俊. 过取样  $\Delta$ - $\Sigma$  调制技术(二上). 电声技术, 1994, (12): 33]
- [6] Zou Jialu, Luo Lijun. Oversampled Delta-Sigma modulation (II B). Audio Engineering, 1995, (1): 41 (in Chinese) [邹家禄, 骆立俊. 过取样  $\Delta$ - $\Sigma$  调制技术(二下). 电声技术, 1995, (1): 41]
- [7] Zou Jialu, Luo Lijun. Oversampled Delta-Sigma modulation (III A). Audio Engineering, 1995, (2): 41 (in Chinese) [邹家禄, 骆立俊. 过取样  $\Delta$ - $\Sigma$  调制技术(三上). 电声技术, 1995, (2): 41]
- [8] Zou Jialu, Luo Lijun. Oversampled Delta-Sigma modulation (III B). Audio Engineering, 1995, (3): 47 (in Chinese) [邹家禄, 骆立俊. 过取样  $\Delta$ - $\Sigma$  调制技术(三下). 电声技术, 1995, (3): 47]
- [9] Rabil S, Wooley B A. A 1.8V digital-audio Sigma-Delta modulator in 0.8- $\mu$ m CMOS. IEEE J Solid-State Circuits, 1997, 32(6): 783
- [10] Wang Zhaogang. 1.8V 8-bit 125MHz pipeline analog to digital convertor. Master Dissertation of Fudan University, 2004 (in Chinese) [王照钢. 1.8 伏 8 比特 125 兆赫兹流水线结构模数转换器. 复旦大学硕士论文, 2004]
- [11] Geerts Y, Marques A M, Steyaert M S J, et al. A 3.3-V, 15-bit, Delta-Sigma ADC with a signal bandwidth of 1.1MHz for ADSL applications. IEEE J Solid-State Circuits, 1999, 34: 927
- [12] Razavi B. Design of analog CMOS integrated circuits. Xi'an: Xi'an Jiaotong University Press, 2003 (in Chinese) [毕查德·拉扎维. 模拟 CMOS 集成电路设计. 西安: 西安交通大学出版社, 2003]

## An 80dB Dynamic Range $\Sigma$ - $\Delta$ Modulator for a GSM System

Chen Jianqiu<sup>†</sup>, Ren Junyan, Xu Jun, Wang Zhaogang, and Li Yiran

(State Key Laboratory of ASIC & Systems, Fudan University, Shanghai 201203, China)

**Abstract:** We propose a Sigma-Delta modulator for a GSM system, whose channel bandwidth is wider than 200kHz and dynamic range is more than 80dB. A multi-stage noise shaping structure, rather than a single-loop structure, is chosen to achieve lower OSR and higher stabilization. The design parameters are:  $f_{CLK} = 16\text{MHz}$ ,  $\text{OSR} = 32$ , and baseband width = 250kHz. Simulation at the circuit level achieves a peak SNDR of 82dB and DR of 87dB. The chip is implemented in SMIC 0.18 $\mu$ m CMOS technology, and the area is 1.2mm  $\times$  1.8mm. Measurement at 16MHz clock frequency and OSR of 32 achieves a peak SNDR of 75dB and DR over 80dB, which are close to the values obtained by the circuit level simulation. The chip operates under a 1.8V power supply with a power dissipation of 16.7mW.

**Key words:** Sigma-Delta modulator; over sampling; MASH; dynamic range

**EEACC:** 1250; 1265H; 1280

**Article ID:** 0253-4177(2007)02-0294-08

<sup>†</sup> Corresponding author. Email: 042052012@fudan.edu.cn

Received 6 August 2006, revised manuscript received 8 October 2006