

## 2.5Gbps/ch 两通道并行时钟数据恢复电路

刘永旺<sup>†</sup> 王志功 李 伟

(东南大学射频与光电集成电路研究所, 南京 210096)

**摘要:** 采用 TSMC 公司标准的 0.18 $\mu\text{m}$  CMOS 工艺, 结合锁相环和延迟锁相环技术, 设计并制作了一个全集成的 2.5Gbps/ch 并行时钟数据恢复电路. 与传统并行数据恢复电路相比, 该电路不需要本地参考时钟, 并且恢复出的并行数据是位同步的. 输入 2 路并行的  $2^{31} - 1$  PRBS 数据, 恢复出的 2.5GHz 时钟的均方抖动值为 2.6ps, 恢复出的两路 2.5Gb/s 数据的均方抖动值分别为 3.3ps 和 3.4ps.

**关键词:** 并行时钟数据恢复; 锁相环; 延迟锁相环; 位同步

EEACC: 2570D

中图分类号: TN929

文献标识码: A

文章编号: 0253-4177(2007)03-0460-05

### 1 引言

在超高速通信系统中, 并行传输作为突破电子技术瓶颈的一种有效方案, 成为研究的热点. 并行数据恢复技术, 在诸如 SFI-5 等高速接口中得到了广泛应用<sup>[1~3]</sup>. 由于并行信道诸如串扰等非理想特性, 信号经传输后质量会下降, 往往难以直接对其进行逻辑操作, 而是需要首先对各路数据进行恢复<sup>[3]</sup>.

传统的并行数据恢复电路一般基于延迟锁相技术<sup>[1,2]</sup>. 传统方案没有对并行输入数据之间的相位差作任何处理, 因此恢复数据不是位同步的: 每个通道的恢复数据均须以源同步方式输出(即相位关系确定的时钟和数据同步输出). 这不仅造成高速输出的增多, 而且需要专门的后续处理电路, 将所有通道的数据同步到一个时钟下, 才能提供给后续逻辑电路<sup>[1,2]</sup>.

本文设计的 2.5Gbps/ch 两通道并行时钟数据恢复电路, 将锁相环技术和延迟锁相环技术结合在一起. 利用锁相环, 从并行数据中提取出 2.5GHz 时钟信号, 从而在并行数据恢复的同时, 增加了时钟恢复的功能, 节省了系统的参考时钟. 使用延迟锁相环将两路数据的相位调整为一致, 实现两路并行数据的位同步, 然后再由恢复时钟对两路数据进行统一的数据判决. 该方案只需输出一路时钟, 从而减少了高速输出. 更重要的是, 无须任何调整电路, 后续的逻辑电路即工作在一个时钟域内.

### 2 电路设计

#### 2.1 系统方案

图 1 给出了  $n$  路并行数据恢复电路的输入数据示意图, 由于并行信道各通道延迟特性的不一致,  $n$  路输入数据一般不是位同步的.

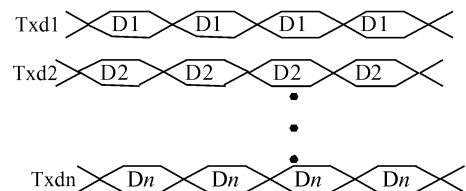


图 1 并行输入数据

Fig. 1 Parallel input data

图 2(a) 给出了传统的并行数据恢复方案<sup>[1,2]</sup>, 参考时钟  $\text{clk\_ref}$  由系统提供. 在每个通道内, 利用延迟锁相环调整  $\text{clk\_ref}$  的相位, 得到本通道时钟  $\text{clk}_i (i = 1, 2, \dots, n)$ , 使得每个通道的时钟  $\text{clk}_i$  的上升沿(或下降沿)均对准输入数据  $\text{Tx}d_i$  的眼图中心, 以利于数据判决. 传统方案恢复出的并行数据如图 2(b) 所示.

如图 3(a) 所示, 本文设计的并行时钟数据恢复电路主要包含三个部分, 即一个锁相环(PLL), 一个延迟锁相环(DLL), 以及两个 D 触发器(DFF). 图中所有高速信号均采用差分形式. 锁相环用于实现

<sup>†</sup> 通信作者. Email: lywang@seu.edu.cn

2006-09-01 收到, 2006-10-06 定稿

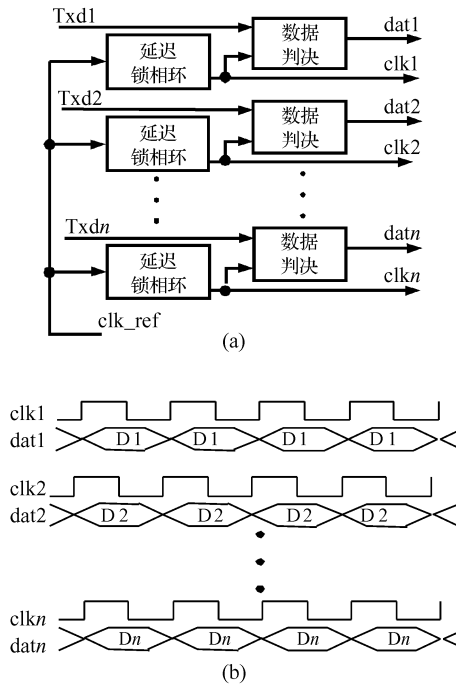


图 2 传统的并行数据恢复电路框图 (a)和传统电路的并行恢复数据 (b)  
 Fig.2 Block diagram of conventional parallel data recovery circuit (a) and the parallel recovered data of conventional circuit (b)

时钟恢复,它以两个并行数据通道中的任意一路(图中为通道 1,输入数据  $Txd_{1p}, Txd_{1n}$ )作为输入,从中提取出 2.5GHz 的时钟  $ckp, ckn$ . 环路锁定时,  $ckp$  的下降沿与  $Txd_{1p}, Txd_{1n}$  的边沿对准. 将  $ckp, ckn$  作为参考时钟输入到延迟锁相环. 延迟锁相环用于实现数据的位同步. 延迟锁相环将输入数据  $Txd_{2p}, Txd_{2n}$  延迟为  $d_{2p}, d_{2n}$ . 环路锁定时,  $d_{2p}, d_{2n}$  的边沿与  $ckp$  的下降沿对准. 因而,两个数据判决电路的输入数据  $Txd_{1p}, Txd_{1n}$  和  $d_{2p}, d_{2n}$  的眼图中心均对准  $ckp$  的上升沿,也即实现了两路数据的位同步. 数据判决电路由两个 D 触发器 (DFF1, DFF2) 实现. 本方案恢复的并行数据如图 3 (b)所示.

### 2.2 时钟恢复锁相环设计

本方案中,恢复出一个高质量的时钟,是实现整个电路的关键. 如图 3(a)所示,时钟恢复锁相环包括一个鉴频鉴相器 (PFD), 一个环路滤波器 (LF1) 和一个压控振荡器 (VCO).

相对于只使用鉴相器的时钟恢复锁相环而言,采用鉴频鉴相器可以大大提高环路的锁定范围. 该 PFD 是文献[4]中 PFD 的 CMOS 实现形式. 它包括一个鉴相器 (PD1)、一个正交鉴相器 (QPD) 和一个鉴频器 (FD). 其中,鉴相器和正交鉴相器的电路结

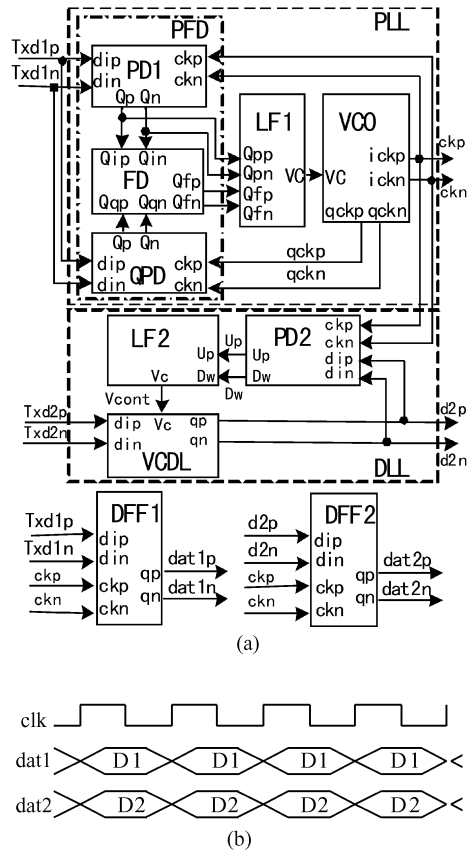


图 3 2.5Gbps/ch 并行时钟数据恢复电路 (a) 和本方案恢复的并行数据 (b)  
 Fig.3 2.5Gbps/ch 2-channel parallel clock and data recovery circuit (a) and the parallel recovered data of this concept (b)

构完全一致,均由一个双沿采样的 D 触发器实现. 在数据跳变的每一个边沿,输入的 NRZ 数据分别对两路相位关系正交的时钟进行采样. 当 VCO 振荡频率  $f_{osc}$  与数据比特率  $f_b$  之差  $|f_{osc} - f_b|$  超出 PD 的捕获范围时,鉴频器推动 VCO 振荡频率接近数据比特率. 当  $|f_{osc} - f_b|$  足够小落入 PD 的捕获范围时,鉴频器停止作用,鉴相器开始作用. 最终在相位锁定状态,时钟  $ckp$  的下降沿对准输入数据  $Txd_{1p}, Txd_{1n}$  的边沿,时钟频率等于数据比特率. 为了提高工作速度,同时提高共模噪声抑制能力,电路采用电流模逻辑 (current mode logic) 实现.

环路滤波器 (loop filter) 包括一个电流模逻辑的电流加法电路. PD1 和 FD 的输出分别控制一个电流源. 两个电流相加后,在环路滤波电容上产生控制电压,以确定 VCO 的振荡频率.

VCO 由 4 级相同的延迟单元组成,输出两路相位关系正交的时钟信号. 延迟单元采用差分形式实现,使得 VCO 电路的电流近似维持稳定,这可以减少注入到电源线和衬底的噪声,从而减小时钟的

抖动.

### 2.3 延迟锁相环设计与位同步的实现

延迟锁相环包括一个鉴相器(PD2),一个环路滤波器(LF2),以及一个压控延迟线(VCDL).压控延迟线用于调整输入数据  $Txd2p, Txd2n$  的相位.延迟后的数据  $d2p, d2n$  和时钟恢复锁相环的输出  $ckp, ckn$  接鉴相器的输入端,该鉴相器同样为一个双沿采样的 D 触发器.当  $d2p, d2n$  落后于  $ckp, ckn$  时,鉴相器输出  $Up = '0', Dw = '1'$ ,使得环路滤波电容上的电压下降,以减小压控延迟线对  $Txd2p, Txd2n$  的延迟.当  $d2p, d2n$  超前于  $ckp, ckn$  时,鉴相器输出  $Up = '1', Dw = '0'$ ,使得环路滤波电容上的电压升高,以增大压控延迟线对  $Txd2p, Txd2n$  的延迟.环路锁定时, $d2p, d2n$  的边沿对准  $ckp, ckn$  的下降沿.

延迟锁相环中的鉴相器(PD2)与时钟恢复锁相环中的鉴相器(PD1)完全一致,这就保证两个环路均锁定时,两路数据( $Txd1p, Txd1n$  与  $d2p, d2n$ )与  $ckp, ckn$  的相位关系完全一致( $Txd1p, Txd1n$  与  $d2p, d2n$  的眼图中心均对准  $ckp$  的上升沿),从而保证了二者的位同步.

### 2.4 对位同步功能的仿真验证

在 Hspice 中对本电路进行仿真,输入两路并行的  $2^{31} - 1$  2.5Gb/s PRBS 数据,恢复出的 2.5GHz 时钟和两路 2.5Gb/s 数据如图 4 所示,可见,两通道恢复数据  $dat1p, dat2p$  是位同步的.

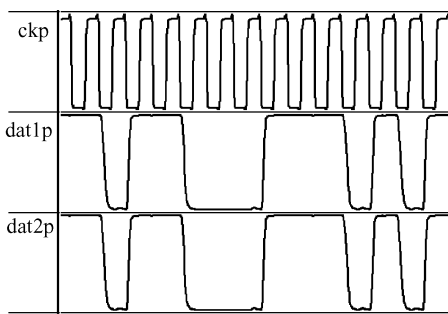


图 4 位同步功能仿真波形

Fig.4 Simulation waves of the bit-synchronous function

## 3 应用举例

在 SFI-5 接口中,光模块到复接电路的数据传输是以并行方式进行的,待传输的数据包括 16 路 2.5Gb/s 数据和一路辅助去斜移的 2.5Gb/s 数据<sup>[3]</sup>.对这 17 路高速数据进行数据恢复,是一个技

术难题.在本文设计的基础上,增加 15 个延迟锁相环,同时增加 15 个数据判决电路,如图 5 所示,即可实现 17 通道并行数据恢复.该电路方案的工作原理与上述 2.5Gbps/ch 两通道并行时钟数据恢复电路完全一致.与传统实现方案<sup>[1,2]</sup>相比,其恢复出的并行数据是位同步的,因而,无须任何调整电路,既可以使后续逻辑电路用一个时钟信号推动.同时,由于该电路具备时钟提取功能,还可节省系统的参考时钟.

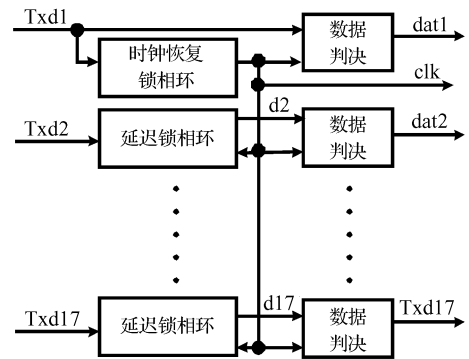


图 5 用于 SFI-5 接口的 40Gb/s 并行时钟数据恢复电路

Fig.5 40Gb/s parallel clock and data recovery circuit for SFI-5

## 4 芯片版图设计及测试结果

芯片采用 TSMC 标准的  $0.18\mu\text{m}$  CMOS 工艺制作.芯片照片如图 6 所示,本电路的所有器件,包括两个环路滤波器,全部集成在片内,面积仅为  $675\mu\text{m} \times 875\mu\text{m}$ .

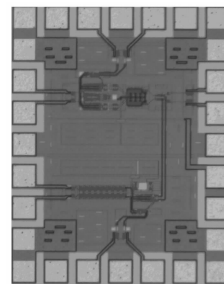


图 6 2.5Gb/s 两通道并行时钟数据恢复电路芯片照片

Fig.6 Chip photograph of the 2-channel 2.5Gbps/ch parallel CDR circuit

在 Cascade 芯片测试台上进行了在片测试.主要测试仪器包括信号发生器 Advantest D3186、示波器 Agilent 86100A、数字频谱分析仪 E4440A.图 7 给出了主要测试结果,当输入两路并行的  $2^{31} - 1$  2.5Gb/s PRBS 数据,恢复出的 2.5GHz 时钟如图

(a),其均方抖动为 2.6ps,该时钟的相位噪声曲线如图(b),10kHz 频偏的相位噪声为 -111dBc/Hz.恢复出的两路 2.5Gb/s 并行数据,分别如图(c),(d),均方抖动分别为 3.4ps 和 3.3ps.

由于传统的电路方案不具备时钟恢复功能,因此不能直接比较.与一些单通道时钟恢复电路的测

试结果相比,本电路恢复出的时钟信号,其噪声性能更好:文献[5]中恢复出的 2.5GHz 时钟,其均方抖动为 9.5ps,而本电路为 2.6ps;文献[6]中恢复出的 2.5GHz 时钟在 100kHz 频偏的相位噪声为 -106dBc/Hz,而本电路恢复出的 2.5GHz 时钟,在 10kHz 频偏的相位噪声为 -111dBc/Hz.

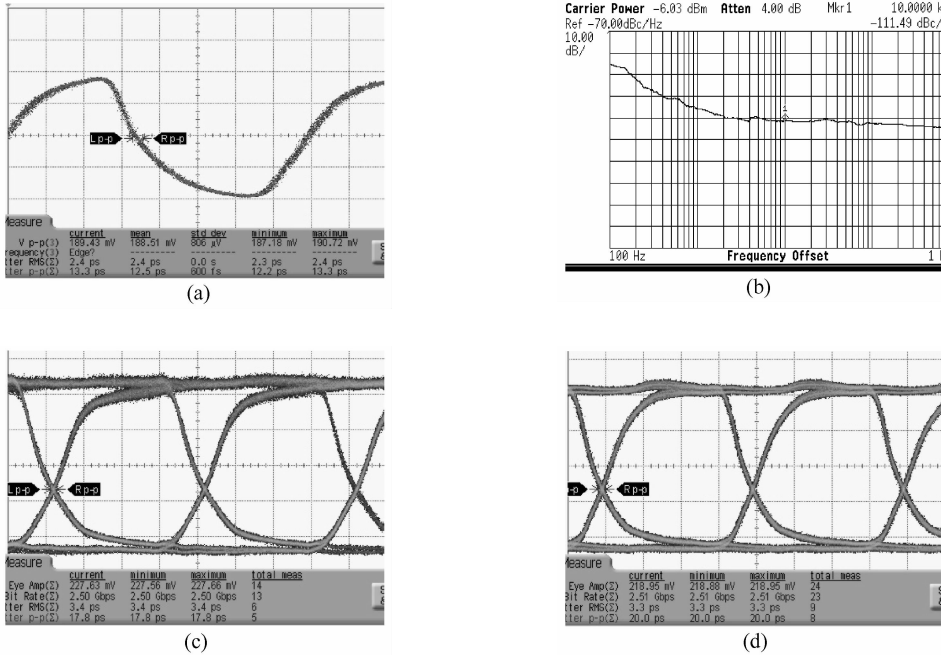


图7 (a) 恢复出 2.5GHz 时钟的抖动;(b) 恢复出 2.5GHz 时钟的相位噪声曲线;(c) 通道 1 恢复出 2.5Gb/s 数据的眼图;(d) 通道 2 恢复出 2.5Gb/s 数据的眼图

Fig.7 (a) Output waveform and jitter of the recovered 2.5GHz clock;(b) Tested phase noise curve of the recovered 2.5GHz clock;(c) Eye-diagram of the recovered 2.5Gb/s data of Channel 1;(d) Eye-diagram of the recovered 2.5Gb/s data of Channel 2

### 5 结论

本文设计并验证了一种新的并行时钟数据恢复方案,并采用 TSMC 标准的 0.18μm CMOS 工艺实现了一个 2.5Gbps/ch 两路并行时钟数据恢复电路.与传统的并行数据恢复电路相比,本方案恢复出的并行数据,不需要经过专门的调整电路,即可由同一个时钟驱动,这对后续逻辑电路的工作是有利的.同时,由于具备时钟恢复能力,可以避免使用本地参考时钟.本文设计的电路,可以方便地扩展为适用于 SFI-5 接口的多通道并行时钟数据恢复电路.

#### 参考文献

[1] Xu Min. An SFI-5 compliant 16 : 4 multiplexer for OC-768

systems. IEEE International Solid-State Circuits Conference, 2003,1:283  
 [2] Yang Fuji. A 1.5-V 86-mW/ch 8-channel 622-3125Mb/s/ch CMOS SerDes macrocell with selectable Mux/Demux ratio. ISSCC Digest of Technical Papers,2002:48  
 [3] Dartneil P. Serdes framer interface level 5 (SFI-5): implementation agreement for 40Gb/s interface for physical layer devices. Optical Networking Forum,2002  
 [4] Pottbacker A, Langmann U, Schreiber H U. A Si bipolar phase and frequency detector IC for clock extraction up to 8 Gb/s. IEEE J Solid-State Circuit,1992,27(12):1747  
 [5] Anand S B, Razavi B. A CMOS clock recovery circuit for 2.5-Gb/s NRZ data. IEEE J Solid-State Circuits, 2001, 36 (3):432  
 [6] Chen Yingmei, Wang Zhigong, Xiong Mingzhen, et al. 2.5Gb/s monolithic IC of clock recovery, data decision, and 1 : 4 demultiplexer. Chinese Journal of Semiconductors, 2005,26(8):1532

## 2. 5Gbps/ch 2-Channel Parallel Clock and Data Recovery Circuit

Liu Yongwang<sup>†</sup>, Wang Zhigong, and Li Wei

(*Institute of RF and OE-ICs, Southeast University, Nanjing 210096, China*)

**Abstract:** A monolithic 2.5Gbps/ch 2-channel parallel clock and data recovery circuit is designed and fabricated in TSMC's standard 0.18 $\mu$ m CMOS process. PLL and DLL techniques are applied to implement the IC. Compared with conventional circuits, the recovered parallel data is bit-synchronous, and the reference clock is avoided. The rms jitter of the recovered clock is 2.6ps for 2 parallel PRBS input data ( $2^{31} - 1$ ). The rms jitters of the two recovered data are 3.3 and 3.4ps, respectively.

**Key words:** parallel clock and data recovery; DLL; PLL; bit-synchronous

**EEACC:** 2570D

**Article ID:** 0253-4177(2007)03-0460-05

---

<sup>†</sup> Corresponding author. Email: lywang@seu.edu.cn

Received 1 September 2006, revised manuscript received 6 October 2006