

VSF: CMOS 组合电路的静态功耗评估模型*

赵晓莺[†] 佟冬 程旭

(北京大学微处理器研究与开发中心, 北京 100871)

摘要: 为了解决利用晶体管级电路模拟分析 CMOS 电路静态功耗时模拟时间随电路规模增大迅速增加的问题, 在分析晶体管堆叠效应对标准单元泄漏电流影响的基础上, 定义了归一化堆叠系数和电路等效堆叠系数的概念, 提出了基于电路有效堆叠系数的静态功耗评估模型. 该模型可用于 CMOS 组合电路静态功耗估算和优化. 实验结果表明使用该模型进行静态功耗估算时, 不需要进行 Hspice 模拟. 针对 ISCAS85 基准电路的静态功耗优化结果表明, 利用该模型能够取得令人满意的静态功耗优化效果, 优化速度大大提高.

关键词: 归一化堆叠系数; 电路有效堆叠系数; 静态功耗评估模型; CMOS 组合电路

EEACC: 1210; 2570D

中图分类号: TP302

文献标识码: A

文章编号: 0253-4177(2007)05-0789-07

1 引言

随着深亚微米工艺的日益发展, 不断提高的集成度和性能要求使电路的功耗越来越大, 静态功耗在电路总功耗中所占的比例迅速增加. 工艺技术每改进一代, 泄漏电流引起的静态功耗将增加约 50%^[1]. 为了对静态功耗进行优化, 各种针对不同设计层次的静态功耗优化方法应运而生^[2].

静态功耗优化需要准确的静态功耗评估的支持, 有效的静态功耗评估模型是必要的. 在目前的工艺水平下, 亚阈值电流是构成 CMOS 泄漏电流的主要因素. 大部分的半导体制造厂商和 IC 设计公司在器件模型开发与电路模拟上都采用了基于 BSIM3v3 的亚阈值电流模型^[3], 通过晶体管级电路模拟估算电路的静态功耗. 晶体管级电路模拟能够得到准确的静态功耗估算结果, 但是随着电路规模的增大, 晶体管级电路模拟需要的时间会迅速增加. 为了提高静态功耗估算效率, Nourivand 等人^[4]通过门级模拟估算静态功耗. 该方法首先建立标准单元的 VHDL 模型, 然后在门级模拟过程中进行静态功耗分析. 但是在建立标准单元 VHDL 模型时, 仍然需要通过晶体管级模拟得到不同输入状态下的泄漏电流数值, 这相当于重新建立一个标准单元库, 工作量很大.

本文面向基于标准单元的 CMOS 组合电路, 在分析了晶体管堆叠效应对标准单元泄漏电流影响的基础上, 定义了归一化堆叠系数(unified stacking

factor, USF)和电路等效堆叠系数(virtual stacking factor, VSF)的概念, 建立了基于 VSF 的静态功耗评估模型. 该模型的表达方式简单, 对选定的标准单元库, 提取模型参数时只需对少量晶体管进行晶体管级电路模拟即可. 利用基于 VSF 的静态功耗评估模型, 在评估电路的静态功耗时不需要再进行晶体管级电路模拟, 分析速度大大提高. 最后, 针对 ISCAS85 电路, 使用 10000 个随机产生的输入向量, 分别用基于泄漏电流模拟的静态功耗评估模型和基于 VSF 的静态功耗评估模型对电路的静态功耗进行了评估和优化. 实验结果表明, 基于 VSF 的静态功耗评估模型的静态功耗分析结果与基于泄漏电流模拟的静态功耗评估模型的静态功耗估算结果比误差不大于 5%, 但运行速度提高了 2~4 个数量级. 使用基于 VSF 的静态功耗评估模型, 能够取得令人满意的静态功耗优化效果. ISCAS85 基准电路的静态功耗能够减小为其平均静态功耗的 40%~70%.

2 基于泄漏电流模拟的静态功耗评估模型

在静态功耗估算和优化过程中, 为了对电路的静态功耗特性进行评价和比较, 需要利用静态功耗模型来进行静态功耗估算. 考虑输入状态对静态功耗的影响, 当电路的输入向量为 v_i 时, 电路的静态功耗可以表示为:

$$P_{\text{leakage}}(v_i) = V_{\text{dd}} I_{\text{leakage}}(v_i) \quad (1)$$

* 国家高技术研究发展计划资助项目(批准号: 2004AA1Z1010)

[†] 通信作者. Email: zhaoxiaoying@mprc.pku.edu.cn

2006-10-05 收到, 2006-12-15 定稿

其中 $I_{\text{leakage}}(v_i)$ 和 $P_{\text{leakage}}(v_i)$ 分别是输入向量为 v_i 时, 电路的泄漏电流及静态功耗. 为了确定输入向量 v_i 所对应的电路静态功耗, 需要通过晶体管级电路模拟来求解输入向量为 v_i 时的泄漏电流, 因此 (1) 式描述了一个基于泄漏电流模拟的静态功耗评估模型.

在目前的工艺水平下, 亚阈值电流是构成 CMOS 泄漏电流的主要因素. 对一个 MOSFET 而言, 其亚阈值电流表示为^[3]:

$$I_{\text{ds}} = I_{\text{s0}} \left(1 - \exp\left(-\frac{V_{\text{ds}}}{v_t}\right) \right) \exp\left(\frac{V_{\text{gs}} - V_{\text{th}} - V_{\text{off}}}{nv_t}\right) \quad (2)$$

$$I_{\text{s0}} = \mu_0 \frac{W}{L} \sqrt{\frac{q\epsilon_{\text{si}} N_{\text{ch}}}{2\phi_s}} v_t^2 \quad (3)$$

其中 V_{th} 为阈值电压; V_{off} 为偏置电压; $v_t = kT/q$ 为热电压.

3 归一化堆叠系数

晶体管堆叠效应是指串联的堆叠晶体管结构中, 多于一个晶体管处于关断状态时, 流过串联的堆叠晶体管结构的泄漏电流会显著减小的现象. 针对基于标准单元的 CMOS 电路, 标准单元是电路的基本构成单位, 可以被视为由 nMOS 和 pMOS 构成的串并网络, 存在“天然的”堆叠晶体管结构. 由于晶体管堆叠效应的影响, 标准单元在不同输入状态下的泄漏电流与堆叠晶体管中截止的晶体管个数有关.

采用 TSMC 0.18 μm 工艺, 利用 HSpice 对 nMOS 和 pMOS 构成的堆叠晶体管在截止晶体管数目不同时的泄漏电流进行模拟. 对不同栅宽的 nMOS 和 pMOS, 得到模拟结果如表 1 所示.

表 1 堆叠晶体管中截止晶体管数目及泄漏电流的模拟结果

Table 1 Number of OFF transistors versus simulated leakage current of stacked transistors

截止晶体管数目	泄漏电流/A					
	nMOS			pMOS		
	$W = 0.9\mu\text{m}$	$W = 1.2\mu\text{m}$	$W = 1.5\mu\text{m}$	$W = 0.9\mu\text{m}$	$W = 1.2\mu\text{m}$	$W = 1.5\mu\text{m}$
0	2.00×10^{-10}	2.58×10^{-10}	3.05×10^{-10}	1.70×10^{-10}	1.67×10^{-10}	2.00×10^{-10}
1	2.12×10^{-11}	2.77×10^{-11}	3.53×10^{-11}	1.72×10^{-11}	1.60×10^{-11}	1.94×10^{-11}
2	1.06×10^{-11}	1.39×10^{-11}	1.77×10^{-11}	5.98×10^{-12}	5.71×10^{-12}	6.62×10^{-12}
3	6.99×10^{-12}	9.19×10^{-12}	1.17×10^{-11}	4.30×10^{-12}	4.16×10^{-12}	4.67×10^{-12}
4	5.19×10^{-12}	6.84×10^{-12}	8.80×10^{-12}	3.69×10^{-12}	3.61×10^{-12}	3.92×10^{-12}

表 1 中第一列为堆叠晶体管中截止的晶体管数目. 在标准单元库中, 由于受驱动能力和延迟的限制, 堆叠晶体管中的晶体管数目一般不会超过 4.

表 1 的数据说明, 流过堆叠晶体管的泄漏电流受到堆叠晶体管中截止的晶体管数目的影响. 随着栅宽的变化, 流过堆叠晶体管的泄漏电流也会发生变化.

定义 1: 归一化堆叠系数 (USF): N 为堆叠晶体管中晶体管的数目, n 为堆叠晶体管中截止的晶体管的数目, I_{leakage_n} 为堆叠晶体管中 n 个晶体管截止

时的泄漏电流, $n \leq N$. I_{leakage_N} 为堆叠晶体管中所有晶体管均截止时的泄漏电流, 针对标准单元, $N \leq 4$. 归一化堆叠系数表示为:

$$\text{USF}_n = \frac{I_{\text{leakage}_n}}{I_{\text{leakage}_N}} \quad (4)$$

USF 描述了晶体管堆叠效应对标准单元泄漏电流的影响. 采用 TSMC 0.18 μm 工艺, 不同栅宽的 nMOS 和 pMOS 构成的堆叠晶体管的 USF 变化情况如表 2 所示.

表 2 堆叠晶体管中截止晶体管数目与 USF 的变化

Table 2 Number of OFF transistors versus USF of stacked transistors

截止晶体管数目	USF					
	nMOS			pMOS		
	$W = 0.9\mu\text{m}$	$W = 1.2\mu\text{m}$	$W = 1.5\mu\text{m}$	$W = 0.9\mu\text{m}$	$W = 1.2\mu\text{m}$	$W = 1.5\mu\text{m}$
0	39.56	38.62	41.42	35.95	35.98	35.98
1	4.65	4.43	4.93	4.07	4.07	4.06
2	1.62	1.58	1.69	2.04	2.04	2.04
3	1.17	1.15	1.19	1.34	1.35	1.34
4	1	1	1	1	1	1

从表 2 的数据可以看到,对确定的工艺,USF 对栅宽的变化并不敏感.当堆叠晶体管的栅宽变化时,USF 的变化量很小.综合表 2 的数据,采用 TSMC 0.18 μm 工艺时,nMOS 和 pMOS 的 USF 取值见表 3.

表 3 采用 TSMC 0.18 μm 工艺时 nMOS 和 pMOS 的 USF_n 取值

Table 3 USF_n of nMOS and pMOS under TSMC 0.18 μm process

USF _n	nMOS	pMOS
USF ₀	39.87	35.97
USF ₁	4.67	4.07
USF ₂	1.63	2.04
USF ₃	1.17	1.34
USF ₄	1	1

4 电路等效堆叠系数

栅宽的变化对 USF 的影响不明显,但是栅宽的变化会影响泄漏电流的绝对值.

采用 TSMC 0.18 μm 工艺库的工艺文件,利用 HSpice 模拟了不同栅宽的单个 nMOS 和 pMOS 的亚阈值电流,模拟结果见图 1.

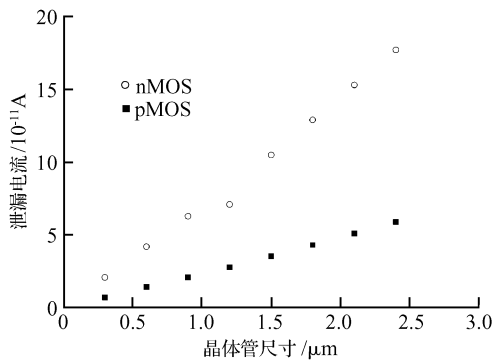


图 1 不同栅宽 nMOS/pMOS 泄漏电流的模拟结果
Fig. 1 Simulated leakage current of nMOS/pMOS with different gate widths

从图 1 的数据可以看到,栅宽的变化对 nMOS 和 pMOS 泄漏电流大小会产生影响.在相同的栅宽下,nMOS 和 pMOS 泄漏电流存在一定的差异,这主要是由于电子和空穴的迁移率不同.

定义 2:标准单元的状态(s_i): c_i 为电路 C 中具有 n 输入的标准单元,其输入状态 s_i 为一个长度为 n 的向量,每一位的取值分别为“0”或“1”.标准单元 c_i 所有可能的输入状态的集合为 $S(i)$.

定义 3:电路等效堆叠系数(VSF):当电路的输入向量为 $v_i \in V$ 时,电路等效堆叠系数表示为:

$$VSF(v_i) = \sum_{c_i \in C} \frac{W_{c_i}}{\alpha} \sum_{s_i \in S(i)} USF_{c_i}(s_i) \quad (5)$$

其中 W_{c_i} 为标准单元 c_i 的堆叠晶体管结构中单个 nMOS(或 pMOS)的栅宽;USF _{c_i} (s_i)为标准单元 c_i 在输入为 s_i 时对应的 USF; α 是一个常数,对 nMOS, $\alpha=1$,对 pMOS, $\alpha=3$.

W_{c_i} 体现了标准单元中晶体管栅宽对静态功耗的影响,而 USF _{c_i} (s_i)体现了晶体管堆叠效应对静态功耗的影响. α 体现了载流子迁移率对 nMOS 和 pMOS 泄漏电流的影响.

5 基于 VSF 的 CMOS 组合电路静态功耗评估模型

从 ISCAS85 基准电路中选取了 C499 和 C7552,利用 HSpice 模拟了随机产生的 50 个输入向量的泄漏电流,并根据(5)式计算了相应的 VSF(v_i),结果如图 2 所示.

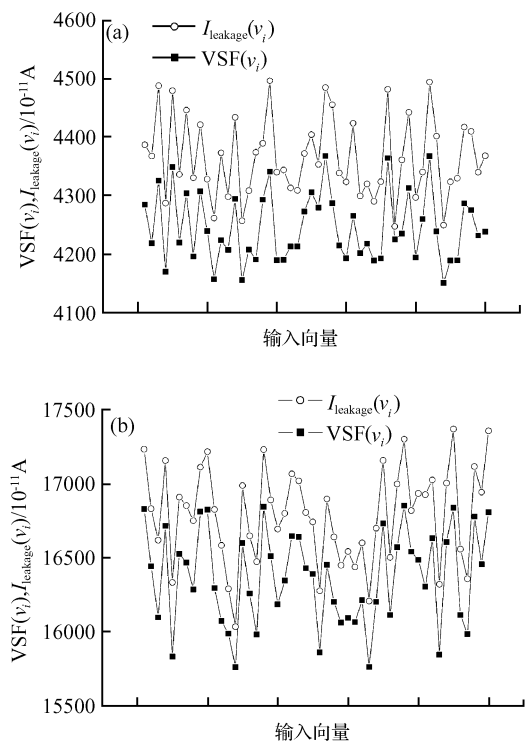


图 2 C499 和 C7552 的 $I_{leakage}(v_i)$ 及对应的 $VSF(v_i)$ (a) C499; (b)C7552
Fig.2 $I_{leakage}(v_i)$ and $VSF(v_i)$ of C499 (a) and C7552 (b)

从图 2 可发现,VSF(v_i)和 $I_{leakage}(v_i)$ 之间存在一定的比例关系.将 C499 和 C7552 在 50 个随机采样的输入向量下的 VSF(v_i)及对应的 $I_{leakage}(v_i)$ 进行比较,引入经验参数 R .

$$R = \frac{\text{VSF}(v_i)}{I_{\text{leakage}}(v_i)} \quad (6)$$

根据(6)式,计算 C499 和 C7552 在 50 个随机采样的输入向量下的 R , 结果如图 3 所示.

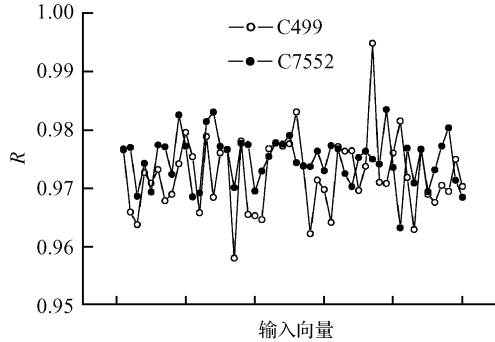


图 3 50 个随机输入向量下 C499 和 C7552 的 R 的取值变化
Fig.3 R of C499 and C7552 with 50 random selected input vectors

从图 3 的数据可以看到,采用 TSMC 0.18 μm 工艺时,不同的输入向量对应的 R 的取值变化不大,在 0.95~1.00 之间.为了计算方便,对所有采样点的 R 的取值进行算术平均,取 $R = 0.97$.

定义 4:基于 VSF 的 CMOS 组合电路静态功耗评估模型:当电路的输入向量为 $v_i \in V$ 时,CMOS 电路的静态功耗可以表示为:

$$P_{\text{leakage}}(v_i) = \frac{V_{\text{dd}}}{R} \text{VSF}(v_i) \quad (7)$$

其中 V_{dd} 为电源电压.

6 模型参数提取方法

针对基于标准单元的 CMOS 组合电路,在特定的工艺下,为了能够利用基于 VSF 的静态功耗评估模型进行静态功耗评估,需要提取的参数包括: α , USF, W_{c_i} 和 R . 参数提取流程如图 4 所示.

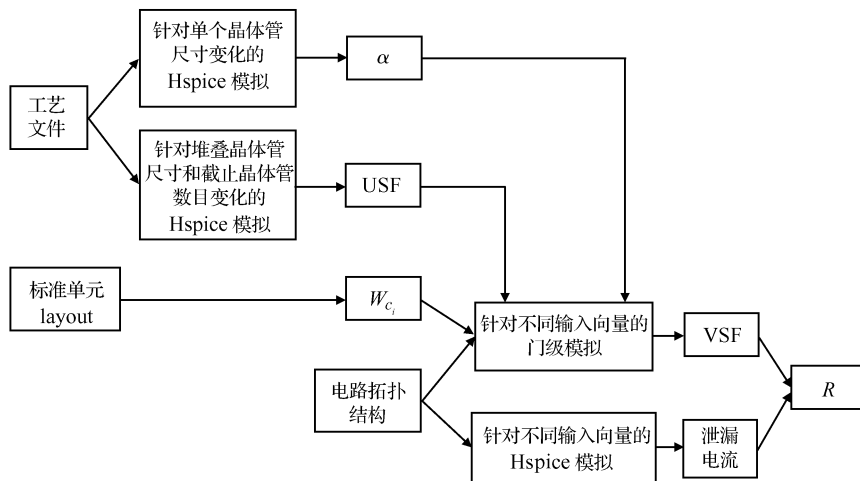


图 4 基于 VSF 的静态功耗评估模型参数提取流程

Fig.4 Parameter extraction flow for VSF based leakage power evaluation model

在参数提取的过程中,需要的输入文件包括:工艺文件、标准单元布局信息文件和组合电路拓扑结构描述.其中对基于标准单元的设计来说,工艺文件和标准单元布局信息文件一般都由标准单元库提供.组合电路可以从设计中随意选取,一般选择电路规模较小的设计以便提高分析速度,对参数提取的结果影响不大.

通过针对不同尺寸的单个晶体管泄漏电流的 Hspice 模拟,得到 nMOS 和 pMOS 对应的 α .

通过针对不同尺寸和截止晶体管数目的堆叠晶体管泄漏电流的 Hspice 模拟,得到 nMOS 和 pMOS 的 USF 值.

标准单元中堆叠晶体管的栅宽可以从标准单元布局信息文件中提取.

利用求得的 α , USF 和 W_{c_i} ,通过对组合电路在不同输入向量下的门级模拟和 Hspice 模拟可以分别求得各输入向量对应的 VSF 和泄漏电流,然后求解 R .

针对特定的工艺,采用基于 VSF 的 CMOS 组合电路静态功耗评估模型,只需要进行一次的参数提取流程,参数提取流程中需要进行少量的 Hspice 模拟.在使用基于 VSF 的静态功耗评估模型进行静态功耗估算的过程中,不再需要进行 Hspice 的模拟,能够加快评估速度.

7 基于 VSF 的静态功耗优化方法

CMOS 电路静态功耗优化方法的研究是近年来低功耗设计领域的研究热点之一. 输入向量控制技术利用晶体管堆叠效应, 通过对输入向量的选择来优化待机状态电路的静态功耗. 求解使电路泄漏电流最小的输入向量 (minimum leakage vector, MLV) 是采用输入向量控制技术进行静态功耗优化的关键问题. 文献[5~9]分别介绍了几种常用的

MLV 求解方法, 在这些方法中都使用泄漏电流来评价不同输入向量所对应的静态功耗, 而泄漏电流则通过晶体管级电路模拟获得.

本节将采用文献[6]中介绍的方法, 通过对输入向量集合随机采样求解 MLV. 在评价不同输入向量所对应的静态功耗时, 使用基于 VSF 的静态功耗评估模型, 避免进行晶体管级电路模拟, 提高分析效率.

基于 VSF 的 CMOS 组合电路静态功耗优化平台如图 5 所示.

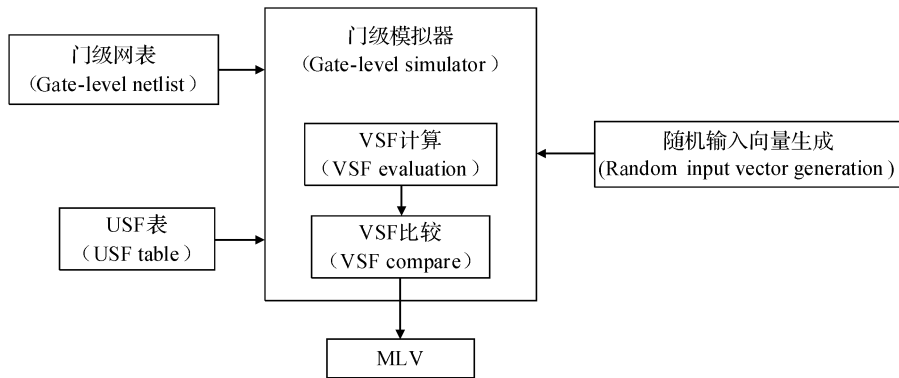


图 5 基于 VSF 的静态功耗优化平台

Fig. 5 VSF based leakage power optimization platform

采用基于 VSF 的静态功耗优化方法, 首先计算出选定工艺下的 USF 表, 然后在门级模拟的过程中, 利用基于 VSF 的静态功耗评估模型计算不同输入向量对应的静态功耗, 最后选择具有最小的静态功耗的输入向量作为所求解的 MLV.

8 实验数据和分析

本节介绍了利用基于 VSF 的 CMOS 组合电路静态功耗评估模型, 评估 CMOS 组合电路的平均静态功耗的方法.

实验中选择利用随机产生的 10000 个向量作为电路的输入. 电路的平均静态功耗表示为:

$$P_{\text{average}} = \frac{1}{M} \sum_{i=1}^M P_{\text{leakage}}(v_i) \quad (8)$$

其中 M 为随机产生的输入向量的数目.

实验中选择 ISCAS85 基准电路作为评估对象, 采用 TSMC 0.18 μm 标准单元库对基准电路进行逻辑综合, 生成门级网表. 使用 Synopsys 公司的 VCS 模拟器对输入向量进行模拟. 在门级模拟时, 利用 VPI 对电路中的标准单元及其状态进行监视, 根据 (7) 式估算每一个输入向量对应的静态功耗. 同时,

利用 Hspice 进行晶体管级电路模拟求解泄漏电流, 根据 (1) 式估算静态功耗.

实验中使用频率为 2.0GHz 的 AMD opteron 处理器进行电路的门级模拟, 运行时间为 CPU 时间.

利用基于 VSF 的静态功耗评估模型和基于泄漏电流模拟的静态功耗评估模型估算的平均静态功耗及运行时间如表 4 所示.

从表 4 的数据可以看到, 基于 VSF 的静态功耗评估模型的静态功耗评估结果与基于泄漏电流模拟的静态功耗评估模型的静态功耗估算结果相比, 误差不大于 5%, 但运行速度提高了 2~4 个数量级.

最后, 利用第 7 节中介绍的基于 VSF 的静态功耗优化方法对 ISCAS85 部分基准电路进行静态功耗优化, 优化平台如图 5 所示.

同时, 针对随机产生的输入向量, 利用 Hspice 模拟了电路的泄漏电流, 用来计算对应的静态功耗. 选取最小的静态功耗以便和基于 VSF 的静态功耗优化结果进行比较.

针对 ISCAS85 基准电路, 静态功耗优化结果及运行时间如表 5 所示.

表 4 ISCAS85 基准电路的平均静态功耗模拟结果及运行时间

Table 4 Simulated average leakage power and run time of ISCAS85 benchmark circuits

电路	输入端 数目	标准单元 数目	平均静态功耗/W		误差/%	运行时间/s	
			VSF	Hspice		VSF	Hspice
C1355	41	486	8.276×10^{-8}	8.080×10^{-8}	2.426	79.230	238241.200
C1908	33	340	5.305×10^{-8}	5.466×10^{-8}	-2.945	66.120	155571.250
C2670	157	570	1.042×10^{-7}	1.065×10^{-7}	-2.159	91.550	221012.540
C3540	50	700	1.294×10^{-7}	1.265×10^{-7}	2.292	113.010	559110.020
C432	36	147	2.507×10^{-8}	2.455×10^{-8}	2.118	28.100	6557.200
C499	41	482	6.832×10^{-8}	6.966×10^{-8}	-1.924	72.510	22174.120
C5315	179	1439	2.492×10^{-7}	2.437×10^{-7}	2.257	224.310	200854.000
C6288	32	2343	3.901×10^{-7}	3.727×10^{-7}	4.669	422.110	833154.500
C7552	207	1818	2.862×10^{-7}	2.808×10^{-7}	1.923	297.180	351021.200
C880	60	321	6.625×10^{-8}	6.796×10^{-8}	2.516	56.510	19654.100

表 5 ISCAS85 基准电路静态功耗优化结果

Table 5 Leakage optimization results for ISCAS85 benchmark circuits

电路	单元数	最小静态功耗/W		平均静态 功耗/W	优化效果/%		运行时间/s	
		VSF	Hspice		VSF	Hspice	VSF	Hspice
C1355	486	3.303×10^{-8}	3.298×10^{-8}	8.080×10^{-8}	59.121	59.183	89.480	238998.120
C1908	340	2.275×10^{-8}	2.260×10^{-8}	5.466×10^{-8}	58.379	58.653	68.100	156257.200
C2670	570	4.556×10^{-8}	4.488×10^{-8}	1.065×10^{-7}	57.221	57.859	107.050	221379.250
C3540	700	5.407×10^{-8}	5.407×10^{-8}	1.265×10^{-7}	57.257	57.257	133.610	559381.100
C432	147	9.157×10^{-9}	9.157×10^{-9}	2.455×10^{-8}	62.701	62.701	31.710	6750.000
C499	482	4.134×10^{-8}	4.134×10^{-8}	6.966×10^{-8}	40.655	40.655	88.750	24115.310
C5315	1439	1.285×10^{-7}	1.243×10^{-7}	2.437×10^{-7}	47.271	483995	274.500	201298.200
C6288	2343	1.975×10^{-7}	1.975×10^{-7}	3.727×10^{-7}	47.008	47.008	472.440	833567.100
C7552	1818	1.572×10^{-7}	1.572×10^{-7}	2.808×10^{-7}	44.017	44.017	345.220	351580.000
C880	321	2.155×10^{-8}	2.155×10^{-8}	6.796×10^{-8}	68.290	68.290	61.750	20092.310

静态功耗优化效果表示为:

$$p_{\text{leak_saving}} = \frac{I_{\text{leakage_min}}}{I_{\text{leakage_max}}} \times 100\% \quad (9)$$

从表 5 的数据可以看到,采用基于 VSF 的静态功耗优化方法,能够取得令人满意的静态功耗优化效果,ISCAS85 部分基准电路的静态功耗能够减小为其平均静态功耗的 40%~70%,运行速度明显提高。

9 结论

本文定义了归一化堆叠系数(USF)和电路等效堆叠系数(VSF)的概念,建立了基于 VSF 的静态功耗评估模型,并分析了模型参数的提取方法.利用该模型对 ISCAS85 部分基准电路进行静态功耗分析和优化,实验结果验证了基于 VSF 的静态功耗评估模型的有效性。

参考文献

[1] Stiffler S. Optimizing performance and power for 130 nanometer and beyond. IBM Microelectronics, 2003, (13): 2

[2] Agarwal A, Mukhopadhyay S, Raychowdhury A, et al. Leakage power analysis and reduction for nanoscale circuits. IEEE Micro, 2006, 26(2): 68

[3] <http://www-device.eecs.berkeley.edu/~bsim3>

[4] Nourivand A, Wang Chunyan, Ahmad M O, et al. A VHDL based technique for an accurate estimation of leakage power digital CMOS circuits. Proceedings of the 3rd International IEEE-NEWCAS Conference, 2005: 47

[5] Xu Yongjun, Luo Zuying, Chen Zhiguo, et al. Minimum leakage pattern generation using stack effect. Proceedings of 5th International Conference on ASIC, 2003, 2: 1239

[6] Halter J P, Najm F N. A gate-level leakage power reduction method for ultra-low-power CMOS circuits. Proceedings of IEEE Custom Integrated Circuits Conference, 1997: 475

[7] Afshin A, Farzan F, Massoud P. Runtime mechanisms for leakage current reduction in CMOS VLSI circuits. Proceedings of the International Symposium of Low Power Electronics and Design, 2002: 213

[8] Wen-Tsong Shiue. Leakage power estimation and minimization in VLSI circuits. IEEE International Symposium on Circuit and Systems, 2001, 4: 178

[9] Chen Z, Johnson M, Wei L, et al. Estimation of standby leakage power in CMOS circuits considering accurate modeling of transistor stacks. Proceedings of International Symposium on Low Power Electronics and Design, 1998: 239

VSF: A Leakage Power Evaluation Model for CMOS Combinational Circuits^{*}

Zhao Xiaoying[†], Tong Dong, and Cheng Xu

(*Micro-Processor Research & Development Center, Peking University, Beijing 100871, China*)

Abstract: Two parameters, one called the unified stacking factor (USF) and the other called the circuit virtual stacking factor (VSF), are defined based on the relationship between the transistor stacking effect and the leakage current of standard cells. A VSF-based leakage power evaluation model is then developed and used for evaluating and reducing the leakage power of CMOS combinational circuits. Experiments show that the VSF model is not needed for Hspice simulation when evaluating leakage power. For ISCAS85 benchmark circuits, satisfactory leakage power reduction can be achieved, and the optimization speed can be accelerated greatly.

Key words: unified stacking factor; virtual stacking factor; leakage power evaluation model; CMOS combinational circuit
EEACC: 1210; 2570D

Article ID: 0253-4177(2007)05-0789-07

^{*} Project supported by the National High Technology Research and Development Program of China (No. 2004AA1Z1010)

[†] Corresponding author. Email: zhaoxiaoying@mprc.pku.edu.cn

Received 5 October 2006, revised manuscript received 15 December 2006