

# 高栅压下超薄栅 nMOSFET 的 RTS 噪声\*

鲍立<sup>†</sup> 庄奕琪 包军林 李伟华

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

**摘要:** 在深入研究 SMIC 90nm 工艺 1.4nm 栅厚度 nMOS 器件 RTS 噪声时域特性的基础上, 提出了该类噪声电子隧穿栅介质的物理起源, 并对高栅压下 RTS 噪声机理作了深入阐述. 结合 IMEC 和 TSMC 的研究, 建立了栅压与 RTS 噪声时间参数的物理模型, 实验结果和模型模拟结果的一致说明了模型的有效性. 该研究为边界陷阱动力学和此类器件可靠性提供了新的研究手段.

**关键词:** RTS; 深亚微米; 边界陷阱; MOS 器件

**PACC:** 4350; 5225G; 7270

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2007)04-0576-06

## 1 引言

传统的 RTS 模型中载流子交换仅仅发生在陷阱和沟道之间<sup>[1,2]</sup>. 但是随着工艺水平的提高, 栅厚度已经减小到纳米量级<sup>[3]</sup>, 陷阱和栅电极之间载流子的交换也已经不容忽视. 近期的研究中已经观测到栅电流影响器件低频噪声的现象<sup>[4]</sup>.

在 IMEC 的研究<sup>[4,5]</sup>中, 观测到了栅介质隧穿引起 MOS 器件噪声增大的现象. 研究者认为, 这一现象是价带电子隧穿的结果<sup>[5]</sup>. 在对 TSMC 样品的研究<sup>[6]</sup>中, RTS 噪声在多个高栅压下的 nMOS 中再次出现, 研究者利用 IMEC<sup>[4,5]</sup>的结论解释了这一现象, 并将其归结为另外一个能级上的陷阱. 虽然这一解释能够解释他们的实验现象, 但是不能够解释高栅压和通常栅压下 RTS 噪声的依存关系. 陷阱辅助隧穿是从栅电流角度研究边界陷阱的另一个热点<sup>[7~11]</sup>. 也有关于栅电流噪声的研究<sup>[9,10]</sup>, 有的甚至研究了陷阱辅助隧穿对 MOSFET 低频噪声的影响<sup>[4]</sup>. 但是目前尚未出现以陷阱辅助隧穿来解释 RTS 噪声的报道.

文中使用的高栅压超出了器件的额定范围 (0.9V), 但是这种情况下的 RTS 噪声是边界陷阱影响器件特性的另一种行为方式, 也是和器件可靠性密切相关的一个特征. 研究该噪声的特性和机理, 对氧化层中陷阱空间分布、完整动力学特征的提取以及器件可靠性的表征都很有意义, 可以进一步为器件工艺的改善提供指导.

RTS 研究中普遍认为陷阱中载流子交换是热

激活过程<sup>[1,2]</sup>, 而在陷阱辅助隧穿研究中则广泛接受载流子交换是一隧穿过程<sup>[12]</sup>. 本文研究中结合了热激活过程和隧穿过程二者特点, 使用热激活 + 隧穿<sup>[13]</sup>建立模型, 解释 nMOS 在高栅压下表现出 RTS 噪声这一实验现象.

## 2 理论

传统的 RTS 噪声研究<sup>[1,2]</sup>认为, 边界陷阱只和沟道发生电子交换. 近期的研究<sup>[9,10]</sup>则认为, nMOS 中的边界陷阱可以和沟道以及栅电极中的任意一个交换电子, 但价带和导带中电子能量不同, 发生交换的机制也有所不同. 另外, 随着栅电压的升高, 由于介质势垒的降低以及介质中电场的增强, 陷阱和栅电极之间的隧穿几率越来越大. 陷阱辅助隧穿的研究<sup>[7~11]</sup>认为, 在栅电压比较高的情况下, 陷阱向栅电极发射电子已经占据主导地位.

在高栅压下, 沟道中电子可以像传统 RTS 理论认为的通过热激活和隧穿进入陷阱<sup>[9,10]</sup>; 而陷阱中的电子则如陷阱辅助隧穿理论<sup>[7~11]</sup>中所描述的向栅电极发射电子. 这两个过程交替发生, 由于陷阱内电荷的变化影响了沟道内电子的运动, 使得器件表现出 RTS 噪声. 由于这一电子输运机制具备了热激活和隧穿两个特点, 本文使用热激活 + 隧穿建立模型.

热激活 + 隧穿模型<sup>[13]</sup>认为, 陷阱对载流子的俘获和发射在能量和空间上都发生了变化, 是一个热激活与隧穿结合的过程, 载流子必须完成热激活和隧穿两个过程才能被陷阱俘获或者发射. 考虑到栅

\* 国家自然科学基金资助项目(批准号:60276028,60676053)

<sup>†</sup> 通信作者. Email: paulinx@163.com

2006-10-13 收到, 2006-12-05 定稿

介质很薄,经历了热激活和隧穿到达陷阱位置的载流子还有可能不被陷阱俘获而直接隧穿到栅电极,因此,还应该在俘获几率中减去直接隧穿的部分,得到

$$p_c = p_{ac}(p_{in} - p_{through}) \quad (1)$$

$$p_c = p_{at}p_{out} \quad (2)$$

式中  $p_{ac}$  和  $p_{at}$  分别为沟道和陷阱内电子的热激活几率; $p_{in}$ 、 $p_{out}$  和  $p_{through}$  分别为电子隧穿进入陷阱、隧穿出陷阱以及贯穿栅介质的几率。

根据 SRH 理论<sup>[1,2,14,15]</sup>,陷阱俘获电子激活几率为

$$p_{ac} = nv\sigma_c e^{-\frac{E_{ac}}{kT}} \quad (3)$$

式中  $n = \frac{(V_G - V_T)C_{ox}}{e}$  为沟道电子浓度; $v = \sqrt{\frac{8kT}{\pi m^*}}$  为沟道电子平均热速度; $\sigma_c$  为陷阱在沟道中的俘获截面; $E_{ac}$  为陷阱俘获沟道载流子的激活能。

由于栅压比较高,陷阱能级要高于栅极多晶硅导带.那么,陷阱向栅极发射电子的热激活几率为

$$p_{at} = \eta \sigma_g T^2 e^{-\frac{E_{ag}}{kT}} \quad (4)$$

式中  $\eta = N_{ox} \sqrt{\frac{8k}{\pi m^*}}$ ;  $\sigma_g$  为陷阱在栅极中的俘获截面; $E_{ag}$  为陷阱向栅极发射载流子的激活能。

文献[13]在对隧穿的计算中使用了矩形近似,而本文需要考虑势垒形状随着栅极电压的变化,所以建立如图 1 所示坐标系以计算隧穿几率.在 1.4nm 的栅介质中,直接隧穿取代 FN 隧穿成为载流子穿越氧化层的主要机制<sup>[11]</sup>.根据隧穿理论<sup>[16~22]</sup>,在 Wentzel-Kramer-Brillouin 近似下:

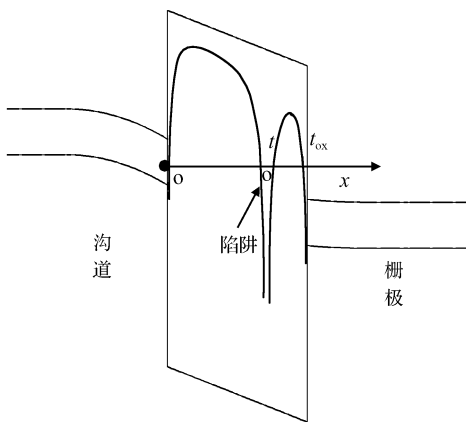


图 1 计算隧穿几率中使用的坐标系

Fig.1 Coordinate diagram for calculating tunneling probability

沟道电子直接隧穿到栅的几率

$$p_{through} = e^{-\frac{2\sqrt{m^*}}{h} \int_0^{t_{ox}} \sqrt{\varphi(x) - E_{ac} - E_c + |\varphi(x) - E_{ac} - E_c|} dx} \quad (5)$$

沟道电子隧穿到陷阱的几率

$$p_{in} = e^{-\frac{2\sqrt{m^*}}{h} \int_0^t \sqrt{\varphi(x) - E_{ac} - E_c + |\varphi(x) - E_{ac} - E_c|} dx} \quad (6)$$

陷阱电子隧穿到栅电极的几率

$$p_{out} = e^{-\frac{2\sqrt{m^*}}{h} \int_t^{t_{ox}} \sqrt{\varphi(x) - E_{ag} - E_T + |\varphi(x) - E_{ag} - E_T|} dx} \quad (7)$$

式中  $\varphi(x)$  为势垒函数; $t_{ox}$  为栅氧厚度; $t$  为陷阱纵向位置。

受到镜像电场的影响,势垒下降<sup>[22~24]</sup>

$$\Delta\varphi = \frac{q^2}{16\pi\epsilon x} \quad (8)$$

故势垒函数

$$\varphi(x) = \begin{cases} E_{cox} - Fx - \frac{q^2}{16\pi\epsilon x} - \frac{q^2}{16\pi\epsilon(t-x)} - \frac{q^2}{16\pi\epsilon(t_{ox}-x)}, & 0 < x < t \\ E_{cox} - Fx - \frac{q^2}{16\pi\epsilon x} - \frac{q^2}{16\pi\epsilon(x-t)} - \frac{q^2}{16\pi\epsilon(t_{ox}-x)}, & t < x < t_{ox} \end{cases} \quad (9)$$

式中  $E_{cox}$  为氧化层导带能级; $F$  为栅介质内电场强度。

### 3 实验

实验中使用 SMIC 的 90nm CMOS 工艺生产的 nMOS 样品,两个器件沟道长度为 0.13 $\mu$ m,宽度分别为 3 和 6 $\mu$ m,栅氧化层厚度为 1.4nm,噪声测量在室温下屏蔽室内的实验暗箱中进行。

图 2 为测量系统示意图,电源使用一节 5 号 1.5V 碱性干电池,前置放大采用 EG&G 公司的 PARC113 型低噪声前置放大器.放大后的信号用 DAQ2010 采集卡采集后由 LabView 处理并记录。

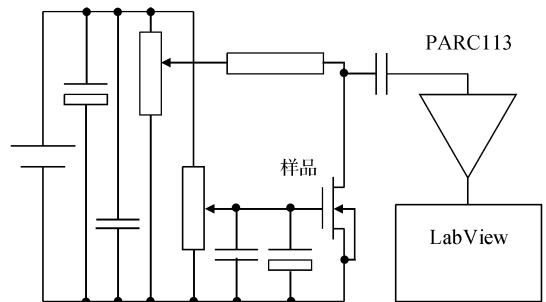


图 2 噪声测试系统示意图

Fig.2 Diagram of noise measurement system

实验过程中漏极电压约为 5~10mV,可认为器件工作在线性区.前置放大器带宽置于 DC~30K,增益置于 10K.采集卡采样精度为 14 位,采样率设

置为 100ksps, 实验中对每一栅偏置连续采样 50s.

对宽度为  $6\mu\text{m}$  的样品测量中当栅偏置为 1.28V 时, 所测得的 RTS 噪声的片段如图 3(a) 所示. 在 VC++ 6.0 中编写程序对时间序列进行分析, 搜索高低电平的边沿, 从而识别出 RTS 噪声的发射时间和俘获时间. 按此方法得出的发射时间和俘获时间的分布如图 3(b) 所示. 由于两个时间常数符合指数分布<sup>[1,2]</sup>, 本文利用这一特性对得到的时间常数分布进行拟合, 从而得到时间常数的最终结果, 图 3(b) 中的曲线拟合结果分别为  $\tau_c = 623\mu\text{s}$  和  $\tau_e = 517\mu\text{s}$ .

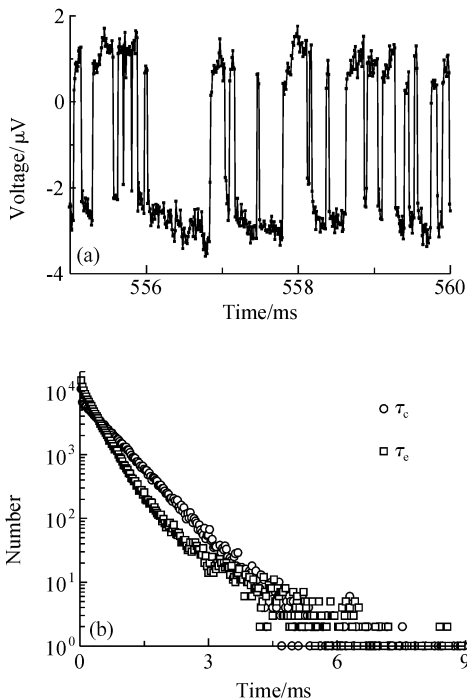


图 3 栅极电压为 1.28V 时测得的波形 (a) 以及该栅压下测得的时间常数的分布 (b)

Fig.3 Time sequence at gate bias of 1.28V (a) and its time parameter distribution (b)

模拟计算中使用参数为  $E_{ac} = 0.46\text{eV}$ ,  $E_{ag} = 0.52\text{eV}$ ,  $t = 1\text{nm}$ ,  $\sigma_c = 3\text{nm}^2$ ,  $\sigma_g = 0.5\text{nm}^2$ . 该样品 RTS 噪声时间常数以及陷阱占据几率的测量和模拟计算出的结果如图 4 和图 5 所示. 图 4 是时间常数和栅压关系, 图 5 是陷阱占据几率和栅电压的关系.

## 4 分析与讨论

图 4 是其中一个样品的发射时间和俘获时间及其数值模拟结果的关系. 在低栅压 RTS 中, 随着栅电压的增加, 发射时间增加, 而俘获时间减少; 与低

栅压下相反, 在高栅压 RTS 中, 发射时间减少, 而俘获时间增加. 这种模拟结果和我们实验中测得的 SMIC 样品中出现的 RTS 时间常数变化相符合, 这个实验现象在 TSMC 的样品中<sup>[6]</sup>也出现过.

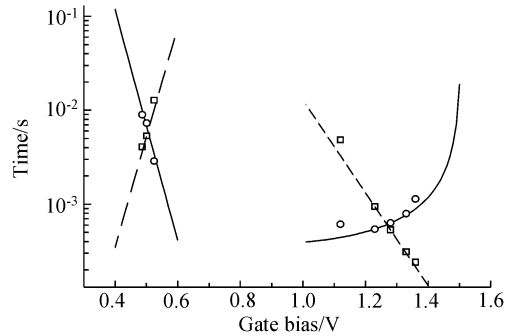


图 4 RTS 时间常数  $\tau_c$ ,  $\tau_e$  随栅压变化关系 其中虚线和实线分别表示  $\tau_e$  和  $\tau_c$  的模拟结果;  $\square$ ,  $\circ$  分别表示  $\tau_e$  和  $\tau_c$  的测量值.

Fig.4 Time parameter  $\tau_c$  and  $\tau_e$  versus gate bias Dash and solid lines represent for the simulation results of  $\tau_e$  and  $\tau_c$ , while  $\square$  and  $\circ$  for the measurement results of  $\tau_e$  and  $\tau_c$  respectively.

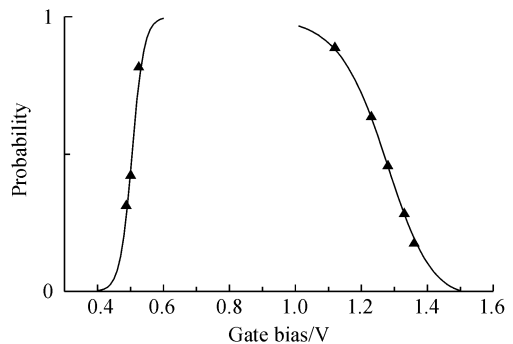


图 5 陷阱占据几率随栅压变化关系 曲线为模拟结果,  $\blacktriangle$  为测量值.

Fig.5 Trap occupied probability versus gate bias Curve for the simulation result and  $\blacktriangle$  for measurement.

陷阱、沟道和栅电极三者中的任意两者均可以交换电子, 栅或沟道和陷阱发生交换以及栅和沟道之间的情形如图 6<sup>[9,10]</sup> 所示. 低栅压下, 陷阱和沟道之间电子交换的两个过程比较显著<sup>[1,2]</sup>, 这时不论是模拟结果还是实验结果都与以往的理论吻合得很好. 高栅压下, 根据 (9) 式, 栅极势垒随栅压的变化如图 7 所示. 图中五条曲线自上而下分别对应栅极电压为 0.9, 1.05, 1.2, 1.35 和 1.5V 时的势垒形状. 从图中可以看出, 高栅压下随着栅极电压的增加, 陷阱与沟道之间的势垒变化比较小, 而陷阱和栅电极

之间的势垒随着栅压的增加迅速减少. 这表明随着栅压的增加, 电子从沟道隧穿到陷阱处的几率变化不大, 而从陷阱处隧穿到栅极的几率急剧增加. 这导致了两个结果, 一是很多电子从沟道隧穿至陷阱位置后直接隧穿到栅极而不被陷阱俘获, 引起陷阱俘获时间的增加; 二是陷阱中的电子通过隧穿发射至栅极的几率增加, 引起陷阱发射时间的减少.

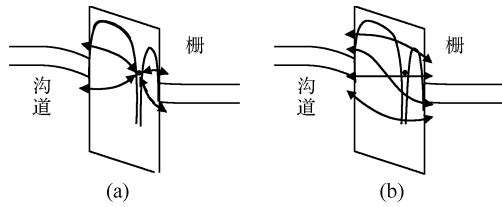


图 6 陷阱和栅、沟道交换(a)以及栅和沟道交换(b)电子  
Fig.6 Electron exchange between trap and gate or channel (a), and gate and channel (b)

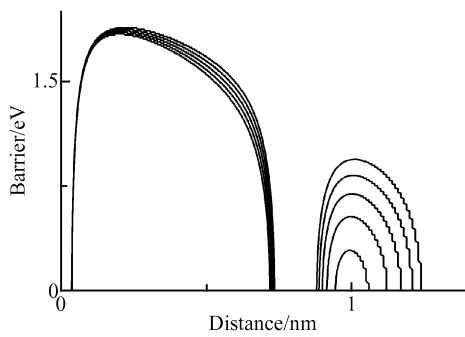


图 7 栅介质势垒随栅压变化关系(0.9~1.5V)  
Fig.7 Oxide barrier versus gate bias from 0.9 to 1.5V

图 5 是根据图 4 中发射时间和俘获时间计算出的陷阱被电子占据的几率. 可以看出随着栅电压增加, 在第一次 RTS 出现时, 陷阱占据几率迅速增加, 在不到 0.2V 的范围内从几乎全空迅速增加到近乎全占据; 而在第二次 RTS 到来时, 陷阱占据几率又迅速减少, 不过减少比第一次稍慢, 在 0.4V 左右的范围内从几乎全满又迅速减少到近乎全空. 这不仅是模拟中的现象, 同时还一致地出现在本文以及 Wu 等人的实验<sup>[6]</sup>中.

在第一次 RTS 出现时, 陷阱由沟道内电子填充, 其分布服从波尔兹曼分布, 因此, 电子占据几率会在陷阱能级变化几个  $kT$  内从很接近 0 变化到近乎全占据<sup>[1,2]</sup>. 而在第二次 RTS 出现时, 栅介质中电场很强, 接近栅氧化层的临界场强. 从图 6 中看来, 栅极和陷阱之间介质的势垒急剧减小, 而且栅压的增加会加速势垒的减少. 这样, 在栅电压增加到某一数值后, 陷阱和栅电极之间的势垒迅速减少直至两

者之间的电子可以自由运动, 这时电子受到电场力的作用向栅极运动, 从而陷阱占据几率再次下降到 0. 由于势垒的下降幅度要比第一次 RTS 中的几个  $kT$  大, 所以占据几率的变化要慢一些.

Mercha 等人在 2nm 厚度的器件中, 揭示了薄栅器件中高栅压下  $1/f$  噪声和陷阱辅助隧穿以及直接隧穿的内在联系<sup>[4,5]</sup>. Wu 等人<sup>[6]</sup>虽然认为这种高栅压下的 RTS 噪声和隧穿有关, 但是, 在 RTS 噪声的成因上, 却认为高栅压下的 RTS 噪声是由不同于低栅压下产生 RTS 陷阱的另外一个陷阱造成的. 那么按此说法, 由于高栅压下 RTS 噪声是不同陷阱产生的, 应该大量存在低栅压才出现 RTS 噪声和仅在高栅压下才表现出 RTS 噪声的器件, 甚至应该存在三次、四次 RTS 噪声的器件. 而实际上, Wu 等人在实验中更换了样品后仍能够观测到高栅压下的 RTS 噪声. 本文则在两个器件中都观测到了这种噪声, 没有发现仅在低栅压才出现 RTS 噪声的器件. 同时, 仅在高栅压下才表现出 RTS 噪声的现象既没有在我们的实验中出现也没有被报道过. 而且从来没有发现存在三次、四次 RTS 噪声的器件的报道. 对于这种两个不同栅压下 RTS 噪声频繁地同时出现在同一个器件中的现象, 仅仅以巧合来解释是不能够让人信服的. 所以, 这两种 RTS 噪声是由同一个陷阱引起的, 只有这样才能解释二者之间如此强的依存关系.

利用确定陷阱位置的方法<sup>[25]</sup>, 本文样品中陷阱位置位于距 Si-SiO<sub>2</sub> 界面大约 1nm 处. 若陷阱位于距离界面很近的地方, 那么陷阱向栅电极发射电子就很困难, 可能需要更高的栅电压, 很可能不会出现这种高栅压下的 RTS 噪声; 若陷阱出现在更远的地方, 这种二次 RTS 出现的可能性也会减小. 我们在模拟中也发现, 对于 1.4nm 的栅厚度, 只有位置处于 0.9~1.2nm 处的陷阱才能显现出高栅压下的 RTS 噪声, 而在其他位置的陷阱则不会. 在早期对厚栅器件 RTS 的研究中, 普遍认为产生 RTS 的陷阱于距界面 2~3nm 处, 而距离界面 1nm 以内的缺陷通常以界面态的形式影响沟道内电子<sup>[1,2]</sup>. 而现在栅厚度已经减小到 2nm 以下, 我们在对 1.4nm 薄栅器件的 RTS 研究中测量出来的陷阱位置大都在 1nm 附近<sup>[25]</sup>. 说明这种现象在 1.5nm 左右栅厚度的器件中出现不是偶然的, 而是大量存在的, 这也正是 Wu 等人在多只样品中测到此现象, 以及我们很容易重复他的实验的原因.

## 5 结论

本文建立了一套 RTS 测试系统, 测量了 SMIC 90nm 工艺 1.4nm 栅厚度 nMOS 器件的 RTS 噪声.

在深入研究了高栅压下 RTS 噪声的时域特性的基础上,本文指出高栅压下 RTS 噪声是由栅介质隧穿引起的.在栅电压比较高时,栅介质隧穿比较严重.由于陷阱至栅电极部分介质势垒受栅极电压影响显著,所以随着栅极电压的升高,陷阱至栅极之间的介质在击穿之前因隧道效应而贯通.而伴随着这一过程的,是陷阱中电子占据几率的下降,也就伴随着 RTS 噪声的出现.

对于这种物理解释,本文给出了物理模型以及解析表达,并且给出了一个数值模拟结果.而模拟结果和实验中测得的结果相一致,说明了模型的正确、有效性.该理论模型在 RTS 噪声的研究中,引入了陷阱向栅电极发射电子的机制,认为陷阱中电子可向栅电极一侧发射.不仅完善了 RTS 噪声模型,还建立了传统 RTS 噪声和高栅压下 RTS 噪声模型的统一模型.为氧化层中陷阱空间分布、完整动力学特征的提取,为更全面地得到陷阱的关键参数提供了方法和依据.

#### 参考文献

- [1] Zhuang Yiqi, Sun Qing. Noise and its minimizing technology in semiconductor devices. Beijing: National Defence Industry Press, 1993 (in Chinese) [庄奕琪, 孙青. 半导体器件中的噪声及其低噪声化技术. 北京: 国防工业出版社, 1993]
- [2] Bao Junlin. Study on noise-reliability diagnostic methods in semiconductor devices. PhD Dissertation of Xidian University, 2005 (in Chinese) [包军林. 半导体器件噪声-可靠性诊断方法研究. 西安电子科技大学博士论文, 2005]
- [3] Valenza M, Hoffmann A, Sodini D. Overview of the impact of downscaling technology on  $1/f$  noise in p-MOSFETs to 90nm. IEE Proc Circuits Devices Syst, 2004, 151(2): 102
- [4] Mercha A, Simoen E, Claeys C. Impact of the high vertical electric field on low-frequency noise in thin-gate oxide MOSFETs. IEEE Trans Electron Devices, 2003, 50(12): 2520
- [5] Mercha A, Rafi J M, Simoen E, et al. "Linear kink effect" induced by electron valence band tunneling in ultrathin gate oxide bulk and SOI MOSFETs. IEEE Trans Electron Devices, 2003, 50(7): 1675
- [6] Wu J W, You J W, Ma H C, et al. Excess low-frequency noise in ultrathin oxide n-MOSFETs arising from valence-band electron tunneling. IEEE Trans Electron Devices, 2005, 52(9): 2061
- [7] Simeonov S, Yurukov I, Kafedjiiska E, et al. Trap-assisted tunneling in MOS structures with ultrathin  $\text{SiO}_2$ . Semiconductor CAS 2002 Proceedings. International, 2002: 399
- [8] Wu Y L, Lin S T. Two-trap-assisted tunneling model for post-breakdown I-V characteristics in ultrathin silicon dioxide. IEEE Trans Devices Mater Reliab, 2006, 6(1): 75
- [9] Lee J, Bosman G, Green K R, et al. Noise model of gate-leakage current in ultrathin oxide MOSFETs. IEEE Trans Electron Devices, 2003, 50(12): 2499
- [10] Iannaccone G, Crupi F, Neri B, et al. Theory and experiment of suppressed shot noise in stress-induced leakage currents. IEEE Trans Electron Devices, 2003, 50(5): 1363
- [11] Depas M, Vermeite B, Mertens P W, et al. Determination of tunneling parameters in ultra thin oxide layer poly-Si- $\text{SiO}_2$ -Si structures. Solid-State Electron, 1995, 38(8): 1465
- [12] Wu J, Register L F, Rosenbaum E. Trap-assisted tunneling current through ultra-thin oxide. IEEE 37th Annual International Reliability Physics Symposium, 1999: 389
- [13] Ma Zhongfa, Zhuang Yiqi, Du Lei. A percolation study of RTS noise in deep sub-micron MOSFET by Monte Carlo simulation. Chinese Physics, 2005, 14(4): 808
- [14] Shi Z M, Miéville J P, Dutoit M. Random telegraph signals in deep submicron n-MOSFET's. IEEE Trans Electron Devices, 1994, 41(7): 1161
- [15] Schenk A. An improved approach to the Shockley-Read-Hall recombination in inhomogeneous fields of space-charge regions. J Appl Phys, 1992, 71(7): 3339
- [16] Lo S H, Buchanan D A, Taur Y, et al. Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin-oxide nMOSFETs. IEEE Electron Device Lett, 1997, 18(5): 209
- [17] Schuegraf K F, King C C, Hu C. Ultra-thin silicon dioxide leakage current and scaling limit. IEEE Symposium on VLSI Technology, 1992: 18
- [18] Register L F, Rosenbaum E, Yang K. Analytic model for direct tunneling current in poly crystalline silicon-gate metal-oxide-semiconductor devices. Appl Phys Lett, 1999, 74(3): 457
- [19] Choi C H, Oh K H, Goo J S, et al. Direct tunneling current model for circuit simulation. IEEE International Electron Device Meeting, 1997: 735
- [20] Ghetti A, Hamad A, Silverman P J, et al. Self-consistent simulation of quantization effects and tunneling current in ultrathin gate oxide MOS devices. IEEE Conference on Simulation of Semiconductor Processes and Devices, 1999: 239
- [21] Clerc R, O'Sullivan P, McCarthy K G, et al. A physical compact model for direct tunneling from nMOS inversion layers. Solid-State Electron, 2001, 45(10): 1705
- [22] Schenk A, Heiser G. Modeling and simulation of tunneling through ultra-thin gate dielectrics. J Appl Phys, 1997, 81(12): 7900
- [23] Kobayashi K, Teramoto A, Hirayama M, et al. Model for the substrate hole current based on thermionic hole emission from the anode during Fowler-Nordheim electron tunneling in n-channel metal-oxide-semiconductor field-effect transistors. J Appl Phys, 1995, 77(7): 3277
- [24] Larcher L. Statistical simulation of leakage currents in MOS and flash memory devices with a new multiphonon trap-assisted tunneling model. IEEE Trans Electron Devices, 2003, 50(5): 124
- [25] Bao Li, Bao Junlin, Zhuang Yiqi. A method for locating the position of an oxide trap in a MOSFET by RTS noise. Chinese Journal of Semiconductors, 2006, 27(8): 1426 (in Chinese) [鲍立, 包军林, 庄奕琪. 利用 RTS 噪声确定 MOSFET 氧化层中陷阱位置的方法. 半导体学报, 2006, 27(8): 1426]

## RTS Noise in Ultra-Thin Oxide nMOSFET under High Gate Bias\*

Bao Li<sup>†</sup>, Zhuang Yiqi, Bao Junlin, and Li Weihua

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,  
School of Microelectronics Engineering, Xidian University, Xi'an 710071, China)

**Abstract:** The timing characteristics of RTS in SMIC 90nm CMOS nMOS devices with a 1.4nm gate oxide are measured and analyzed. It is proposed that tunneling through the gate dielectric of electrons in the conduction band is responsible for RTS noise, and a detailed description of the mechanics of the RTS noise under high gate bias is presented. Also, based on the research from IMEC and TSMC, a physical model of the timing characteristics of the RTS noise versus gate bias is constructed, and the consistency of the experiment and the simulation shows the effectiveness of this model. The research in this paper provides new measures for dynamic characterization of border traps and the reliability of deep sub-micron MOS devices.

**Key words:** RTS; deep sub-micron; border traps; MOS device

**PACC:** 4350; 5225G; 7270

**Article ID:** 0253-4177(2007)04-0576-06

---

\* Project supported by the National Natural Science Foundation of China (Nos. 60276028, 60676053)

<sup>†</sup> Corresponding author. Email: paulinx@163.com

Received 13 October 2006, revised manuscript received 5 December 2006

©2007 Chinese Institute of Electronics