

一种半绝缘键合 SOI 新型 BCD 结构*

谭开洲^{1,2,†} 杨漠华¹ 徐世六² 刘玉奎² 李肇基¹ 刘勇² 冯建²

(1 电子科技大学微电子与固体电子学院, 成都 610054)

(2 模拟集成电路国家重点实验室, 重庆 400060)

摘要: 提出了一种采用半绝缘 SOI 的新型 BCD 结构, 该结构把高压大电流 VDMOS, CMOS 和双极器件同时可靠地集成在一起, 其特点是集成了垂直导电的 VDMOS. 这种结构在汽车电子、抗辐射、强电磁脉冲环境等领域有良好的潜在应用. BCD 样品芯片垂直导电 VDMOS 击穿电压为 160V, 导通电阻为 0.3Ω, 比导通电阻为 26mΩ·cm²; npn, pMOS, nMOS 击穿电压分别为 50, 35, 30V; npn 管 β 为 120, f_i 为 700MHz.

关键词: BCD; 半绝缘 SOI; VDMOS; 功率集成电路

EEACC: 2530N; 2570K; 2570P

中图分类号: TN303

文献标识码: A

文章编号: 0253-4177(2007)05-0763-05

1 引言

厚膜 SOI 材料被广泛应用在半导体器件已有许多年, 由于其特有的性质, 被应用在许多微电子领域, 如 MEMS、高可靠功率集成电路、汽车电子、抗辐射电路等^[1~6]. 普通的 SOI 在进行功率集成或者智能功率集成时, 功率驱动级器件的电极只能从硅片表面引出, 底部是 SOI 全介质隔离, 器件的散热较差, 这将限制处理功率的提高. 而半绝缘 SOI 结构和材料, 可以克服普通 SOI 的这种缺点.

文献[1,2]的半绝缘 SOI 使用了 V 型槽, 这种方式限制了集成度, 并且深槽也不易填充; 文献[3]采用区熔再结晶的方式来形成半绝缘 SOI, 其单晶质量难以得到很好的保证; 普通 SOI 结构采用埋层和穿透工艺可以改善垂直导电功率器件的处理功率, 但是在垂直导电功率器件的横向尺寸比纵向尺寸大很多(面积很大)时, 其面积利用率将降低^[7]. 针对前述文献中的半绝缘 SOI 弱点, 本文开发了新型的半绝缘 SOI 结构材料(Semi-SOI)^[8]. 利用这种材料, 我们开展了单片同时集成 BJT, CMOS 和垂直导电 VDMOS 研究(简称为 BCD), 提出了一种采用半绝缘键合 SOI 的新型 BCD 结构及技术. 在国内还未见到这种结构的 BCD 技术报道.

2 半绝缘 SOI^[8] 的 BCD 结构

本文中 BCD 结构最大的特点是采用了键合半

绝缘 SOI 材料, 使该结构中 VDMOS 是真正垂直导电器件, 保证了 SOI 材料高可靠、抗辐射和单晶硅良好散热能力.

图 1 是半绝缘 SOI 的 BCD 结构示意图, 这种结构包含了三类器件: BJT, CMOS 和 VDMOS; 其 SOI 的埋氧化层一部分是不连续的, 使得其上有源硅层可以直接与衬底硅片直接接触, 形成良好的导电和导热能力, 并且这一部分导电区域与其他有源硅层通过深槽 SiO₂ 得到很好的隔离.

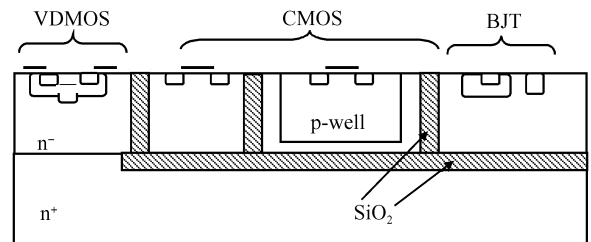


图 1 半绝缘 SOI 的 BCD 结构示意图

Fig.1 Schematic of BCD structure

2.1 新型 BCD 工艺兼容性

半导体器件是一个与结构、形状和尺寸密切相关的领域, 理论上可以拥有远比现在的器件种类更多, 性能更好的器件, 但是其中大多数器件结构受限于以平面工艺为特征的微细加工技术及相关的物理化学规律的限制, 而不能实现或者没有竞争力. 本文的 BCD 结构也面临同样的问题.

首先面临的问题是光刻困难, 其部分绝缘和部分导电结构处于键合面, 需要将这个信息通过某种

* 国家微电子预研资助项目(批准号:41308020413)

† 通信作者, Email:tkz123@163.com

2006-11-20 收到, 2006-12-23 定稿

方式传递到硅片表面以便光刻的对准.一种途径是键合前形成深槽,由深槽的位置信息来确定半绝缘键合 SOI 结构的导电区域;另一种途径是采用双面光刻来确定半绝缘 SOI 的导电位置,而这种方式需要更多的曝光程序,并且需要双面曝光机,一般需要硅片是双面抛光的.我们采用了第一种途径.

其次是深槽的问题,深槽需要考虑两个问题,一个是深槽的耐压,另一个是深槽在工艺过程中的保护.从耐高压的角度考虑,希望深槽的介质比较厚,可以有两种主要方式实现,一种是直接采用各种 CVD 方式填充,另一种就是进行氧化.采用 CVD 方式生成的介质一般介电强度不是很高,并且容易产生空洞.我们采用了热氧化方式,直接热氧化深槽侧壁在工艺上是不方便的,因为热氧化 SiO_2 需要消耗约 0.45 倍厚度的 Si,而深槽的宽度约为 $3.5\mu\text{m}$,通过简单计算,需要消耗 $1.43\mu\text{m}$ 的 Si 和生长 $3.18\mu\text{m}$ 的 SiO_2 才能够填满深槽.并且槽的宽度将增加到 $6.36\mu\text{m}$,如此厚的 SiO_2 ,普通的热氧化是很难达到的,因此,我们采用了两次多晶淀积,并分别进行热氧化的方式获得了较小的槽宽和较厚的热 SiO_2 深槽填充介质.另一个与深槽有关的问题是光刻腐蚀可能会对深槽氧化层产生破坏作用,致使深槽产生深坑,并在金属布线时导致金属连线断条.因此在绘制版图时,要对深槽中 SiO_2 介质进行保护,或者在工艺流程设计时采用其他保护方式进行保护.

2.2 BCD 器件结构兼容性

总体上以 VDMOS 性能为考虑的重点,兼顾 BJT 和 CMOS 性能.因此,在 Semi-SOI 有源硅层电阻率和厚度上,主要由 VDMOS 来决定.从结构上需要考虑工艺加工的简便性,在设计时考虑 VDMOS, BJT 和 CMOS 的共用结构.可以将 VDMOS 的源, nMOS 的源和 npn 型 BJT 的发射极采用同一工艺过程来形成,另外 VDMOS 的沟道 p^- 区和 BJT 的基区,从结构上也可以共用,但是考虑到这可能导致 VDMOS 的阈值电压、沟道长度以及击穿与 BJT 的击穿、电流放大系数之间的矛盾不易调和,因此 BJT 的基区将单独形成.

在器件的隔离方面, VDMOS 工作电压与 Bi-CMOS 工作电压是不同的,因此需要单独用深槽隔离,而每个 BJT 集电极也需要深槽单独隔离出来. CMOS 从消除其固有的晶闸管闭锁结构看,可以把 nMOS 和 pMOS 利用深槽隔离开,以消除晶闸管的闭锁通路.如果可靠性要求更高,则可以将每个 MOS 管都用深槽隔离开.

2.3 VDMOS 主要参数设计考虑

在与 VDMOS 击穿有关材料特性中,主要考

虑材料的电阻率和厚度,考虑 VDMOS 击穿为 200V 情况,并以突变结作为估算依据,可以利用公式^[9]: $V_{\text{BR}} = 5.3 \times 10^{13} N_{\text{B}}^{-0.75} (\text{V})$ 来确定材料掺杂浓度和电阻率.由此得 N_{B} 为 $1.7 \times 10^{15} \text{cm}^{-3}$, 相应的电阻率为 $2.5\Omega \cdot \text{cm}$, 材料的厚度可表示为^[9] $X_{\text{d}} = 2.6 \times 10^{10} N_{\text{B}}^{-7/8} (\text{cm})$, 由此得到有源材料厚度为 $16.3\mu\text{m}$. 考虑 Semi-SOI 键合界面存在一定的晶格不完整性,为了避免 VDMOS 耗尽层扩展到键合界面附近引起漏电流增加,或者击穿降低以及 VDMOS p^- 沟道区扩散结深的影响,实际有源材料的厚度大于 $16.3\mu\text{m}$, 属于非穿通型的 VDMOS 结构.

VDMOS 另一个比较重要的问题是元胞的间距,有多种确定的原则.一方面要求元胞间的 JFET 效应要小;另一方面要求元胞间的耗尽层有一定的重叠,以保证器件的击穿不发生在元胞之间的区域,而是由器件的结终端结构来承受.考虑到 VDMOS p^- 区结深横向扩散 ($2.5\mu\text{m}$) 和元胞间击穿,元胞间距不大于外延层厚度,选取间距为 $11\mu\text{m}$.

由于 VDMOS 元胞之间区域是一个复杂的二维结构,很精确地解析性描述该区域比较复杂且困难,一般不同程度采用了某些近似.

其中重要的 JFET 电阻 R_{J} 和沟道电阻 R_{CH} 可以表示为^[9]:

$$R_{\text{J}} = \rho W_{\text{J}} \frac{s+a}{4g\Delta} \ln \left(\frac{s+a-gs}{s+a+gs} \times \frac{s+a+gs'}{s+a-gs'} \right) \approx \frac{\rho W_{\text{J}}}{1 - (gs/(s+a))^2} \quad (2)$$

$$R_{\text{CH}} = \frac{L}{\mu_{\text{eff}} C_{\text{ox}} (V_{\text{G}} - V_{\text{th}})} \quad (3)$$

以 $\rho = 2.5\Omega \cdot \text{cm}$, $s = 27\mu\text{m}$, $a = 6\mu\text{m}$, $\Delta = 0.5\mu\text{m}$, $L = 2\mu\text{m}$, $\mu_{\text{eff}} = 700\text{cm}^2/(\text{V} \cdot \text{s})$, $V_{\text{G}} - V_{\text{th}} = 7\text{V}$, 计算得到 $R_{\text{J}} = 1.51 \times 10^{-3} \Omega \cdot \text{cm}^2$, 当面积为 $3.21\text{mm} \times 2.74\text{mm}$ 时, R_{J} 引起的电阻为 $1.72 \times 10^{-2} \Omega$, $R_{\text{CH}} = 8.28\Omega \cdot \text{cm}$. 以 8000 个元胞计算,此两项电阻之和为 0.117Ω .

在 VDMOS 器件结终端上,采用了双场限环,其环间距由下式决定^[9]:

$$d_{\text{i}} = \left[r_{\text{i}}^2 + 5.19 \times \left(\frac{N_{\text{B}}}{10^{16}} \right)^{-0.875} r_{\text{i}} \right]^{\frac{1}{2}} - r_{\text{i}} \quad (4)$$

计算得到 $d_{\text{i}} = 6.07\mu\text{m}$, 版图上还需要加上二倍的 r_{i} , 版图间距为 $12\mu\text{m}$.

其他的,如 BJT 和 CMOS 等器件的性能设计,限于篇幅,这里不再一一赘述.

在上述条件下设计的 VDMOS 为 $22\mu\text{m}$ 方形元胞,间距 $11\mu\text{m}$, 低压部分的 MOS 沟道长度为 $6\mu\text{m}$. Semi-SOI 材料之后,BCD 主要工艺流程是:

场氧化 \rightarrow nMOS 的 p 阱光刻 \rightarrow 薄氧化 \rightarrow p 阱硼注入 \rightarrow p 阱推进扩散 \rightarrow 光刻 VDMOS 的 p^- 沟道区

→硼注入→p⁻ 沟道推进→n_{pn} 基区硼注入→推进扩散→p⁺ 隔离环光刻→p⁺ 环硼离子注入→n⁺ 隔离环光刻→n⁺ 环磷离子注入→有源区光刻→栅介质氧化→多晶硅淀积→多晶硅磷掺杂→多晶硅光刻→nMOS 源漏和 npn 发射极磷离子注入→PMOS 源漏硼离子注入→LPCVD SiO₂ 介质→欧姆接触孔光刻→溅射 AlSiCu→光刻 AlSiCu→合金→测试。

3 结果与讨论

通过材料和器件的开发,我们完成了半绝缘 SOI 新结构的 BCD 技术验证开发.图 2(a)是工艺完成后的低压 BiCMOS 器件照片;图 2(b)是垂直纵向导电的 VDMOS 局部照片,可以清楚地看到隔离槽只占用了很小的面积,体现了深槽隔离的高集成度;图 2(c)是芯片横截面照片,从图中可以清楚地看到埋层 SiO₂ 和隔离槽。

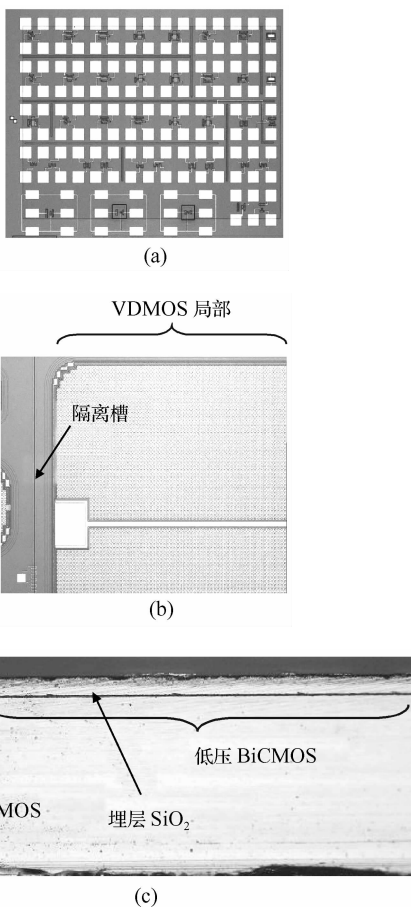


图 2 工艺完成后芯片照片 (a)低压 BiCMOS 器件;(b)垂直导电 VDMOS 局部照片;(c)工艺完成后芯片横截面
Fig.2 Photograph after process end (a) Low voltage BiCMOS device;(b) Part of VDMOS;(c) Chip cross section

图 3(a)是芯片封装后的照片;图 3(b)是 VDMOS 的击穿曲线,从图上可见击穿电压为 160V;图 3(c)是 VDMOS 的栅源电压 V_{gs} 为 10V 时导通特性曲线;图 3(d)是连接 VDMOS 源漏的连线电阻 I-V 曲线,上述电特性曲线采用了 DW4824 型晶体管特性图示仪测量.从图 3(c)和(d)中我们可以得到 VDMOS 的导通电阻为 0.3Ω. npn 管 f_t 采用 BSIMPro 测试软件与网络分析仪 8753C, S 参数分析仪 85047A 组成的测试系统测试,VDMOS 面积为 3.21mm×2.74mm,这样 VDMOS 的比导通电阻为 26mΩ·cm².表 1 是器件测试参数汇总表。

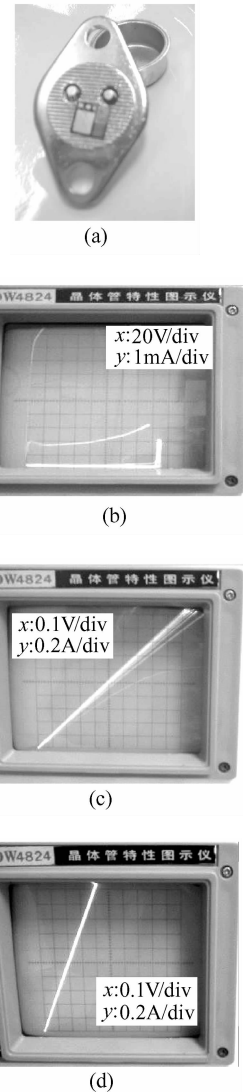


图 3 封装和 VDMOS 输出特性曲线图 (a) 芯片封装照片;(b) VDMOS 击穿特性曲线;(c) VDMOS 导通特性曲线;(d) VDMOS 连线电阻 I-V 特性
Fig.3 Package and VDMOS output curve (a) Photo of a packaged chip;(b) VDMOS breakdown curve;(c) VDMOS turn on curve;(d) I-V curve of VDMOS connect wire resistance

表 1 器件参数典型值
Table 1 Typical parameters of device

npn β	120
npn BV_{ceo}	50V
npn f_t	700MHz
nMOT V_{th}	1.2V
nMOS BV_{ds}	30V
pMOT V_{th}	1.6V
pMOS BV_{ds}	35V
VDMOS R_{on}	0.3 Ω
VDMOS V_{th}	2V
VDMOS BV_{ds}	160V
SOI 隔离耐压	>500V

作为一种新型的 BCD 结构,本工作只是完成了该结构的原型验证,这种结构还有一些值得改进或发展的地方,比如:

(1) 该原型结构偏重考虑 VDMOS 的性能,双极 BJT 的集电极串联电阻相对较大,每微米发射极条宽约为 4k Ω . 这可以通过增加埋层和穿透结构来改善,但是由于工作电压的不同,其有源层厚度与 VDMOS 的要求是矛盾的,一种解决方案是在 BJT 区域进行埋层制作,并在有源层键合前兼顾 VDMOS 的要求,进行外延以及利用 p 阱工艺温度制作适当的 n 阱来改善. 当然,在衬底支撑 n^+ 片外延 n^- 有源层后再键合,也是一种可能的途径.

(2) 将支撑硅片换成 p^+ 型硅片,则可以形成垂直纵向导电的 IGBT 单片集成结构,可以进一步增加器件的处理功率,但是 IGBT 性能不会像普通的 IGBT 一样,可能会受到键合界面的影响,尤其是本 Semi-SOI 结构采用的多晶键合过渡层的影响,该过渡层将带来少子寿命的减小和复合电流的增加,以及 IGBT 电流放大能力的降低. 不过此多晶过渡层也有提高 IGBT 工作速度的作用.

4 结论

提出了一种半绝缘 SOI 的新型 BCD 结构,通过简洁的工艺设计和试验,验证了这种结构的可实现性,该结构主要特点是采用了垂直深槽隔离,集成了高压、大电流的垂直导电的 VDMOS,使得功率驱

动级的功率处理能力和散热能力得到了很大改善,同时又保持了低压 SOI 的 BiCMOS 控制器件的高可靠、抗干扰特性. BCD 集成验证样品 VDMOS 击穿电压为 160V,导通电阻为 0.3 Ω ,比导通电阻为 26m $\Omega \cdot \text{cm}^2$,nnp, pMOS, nMOS 击穿电压分别为 50,35,30V,nnp 管 β 值为 120, f_t 为 700MHz. 预计该结构在汽车电子、抗辐射、强电磁脉冲环境等单片功率集成领域将有潜在的应用.

致谢 感谢中国电子科技集团 24 所 12 室、16 室、6 室、技质部等单位相关同志给予的支持和帮助.

参考文献

- [1] Nakagawa A, Watanabe K, Yamaguchi Y, et al. High voltage, new driver IC technique based on silicon wafer direct bonding (SDB). Power Electronics Specialists Conference, 1988:1325
- [2] Ohoka T, Yoshitake T, Kikuchi H, et al. A wafer bonded SOI structure for intelligent power ICs. Proc Int Symp Power Semiconductor Device and ICs (ISPSD), 1993:119
- [3] Dilhac J M, Zerrouk D, Ganibal C. Fabrication of SOI structures by uniform zone melting recrystallization for high voltage ICs. IEEE Proceeding of ISPSD, 1996:215
- [4] Hobart K D, Baumgart H, Fujino S, et al. Semiconductor wafer bonding VIII: science, technology, and applications. Proceedings of the International Symposium of Electrochemical Society, Pennington, NJ, 2005
- [5] Chung G S, Kawahito S, Ishida M, et al. High-resolution pressure sensors fabricated by silicon wafer direct bonding. IEEE Electron Device Lett, 1991, 27(12): 1098
- [6] Leray J L, Paillet P, Autran J L. An overview of buried oxides on silicon: new processes and radiation effects. Journal de Physique III, 1996, 6:1625
- [7] Heinle U, Olsson J. Analysis of the specific on-resistance of vertical high-voltage DMOSFETs on SOI. IEEE Trans Electron Devices, 2003, 50(5): 1416
- [8] Tan Kaizhou, Feng Jian, Liu Yong, et al. A novel semi-insulation bonding SOI structure. Chinese Journal of Semiconductors, 2006, 27(10): 1828 (in Chinese) [谭开洲, 冯建, 刘勇, 等. 一种新型半绝缘键合 SOI 结构. 半导体学报, 2006, 27(10): 1828]
- [9] Chen Xingbi. Power MOSFET and high voltage IC. Nanjing: Southeast University Press, 1990 (in Chinese) [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1990]

A Novel BCD Structure with Semi-Insulation Bonding SOI^{*}

Tan Kaizhou^{1,2,†}, Yang Mohua¹, Xu Shiliu², Liu Yukui², Li Zhaoji¹,
Liu Yong², and Feng Jian²

(1 *School of Microelectronics and Solid-State Electronics, University of Electronic
Science and Technology, Chengdu 610054, China*)

(2 *National Laboratory of Analog Integrated Circuits, Chongqing 400060, China*)

Abstract: A novel BCD structure with semi-insulation bonding SOI is proposed. It reliably integrates a high voltage power device, CMOS, and BJT into a monolithic circuit. Integrated VDMOS lengthways is a unique feature of this structure. It is a useful technique in applications of automotive electronics, radiation hardening, and strong electromagnetic pulses (EMP). The breakdown voltage of this BCD structure VDMOS is 160V, its on-resistance is 0.3Ω , and its specific on-resistance is $26\text{m}\Omega \cdot \text{cm}^2$. The breakdown voltages of npn, pMOS, and nMOS are 50, 35, and 30V, respectively, and the npn current gain and cut-off frequency are 120 and 700MHz, respectively.

Key words: BCD; semi-insulation SOI; VDMOS; power integrated circuit

EEACC: 2530N; 2570K; 2570P

Article ID: 0253-4177(2007)05-0763-05

^{*} Project supported by the Microelectronic Advanced Research Program of China (No.41308020413)

[†] Corresponding author. Email: tkz123@163.com

Received 20 November 2006, revised manuscript received 23 December 2006

©2007 Chinese Institute of Electronics