

平面分离双栅金属氧化物半导体场效应 晶体管的设计与制作

肖德元[†] 陈国庆 李若加 卢普生 陈良成 刘 永 沈其昌

(中芯国际集成电路制造(上海)有限公司技术发展中心, 上海 201203)

摘要: 提出并制作了一种全新的平面分离双栅金属氧化物半导体场效应晶体管, 该器件垂直于沟道方向的电场为一非均匀场. 理论计算、TCAD 三维器件仿真以及实验结果均表明, 通过改变该器件中任何一个栅极偏置电压, 能够得到可以调节的输出特性(增益系数)及转移特性曲线, 可以很方便地调节器件的阈值电压及亚阈值摆幅并具备低功耗特点. 这为电路的设计及器件制作提供了更多的灵活性, 既可以简化电路的设计又可以降低 MOS 集成电路制造工艺的复杂程度. 平面分离双栅金属氧化物半导体场效应晶体管制作工艺与目前常规的 CMOS 工艺完全兼容.

关键词: 新颖器件; 场效应晶体管; 平面分离双栅; 亚阈值摆幅可调

EEACC: 2560

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2007)06-0923-08

1 引言

基于竞争的需要, 一些领先的半导体厂商, 在缩小芯片尺寸方面不遗余力. 整个半导体工业一直都在努力满足新型晶体管开发设计中不断增大的挑战, 这些设计要求晶体管的体积更小、性能更好, 但却要求最小限度地偏离当今半导体工业中标准的制造工艺来生产. 自从 1960 年第一个实用的金属氧化物半导体场效应管(MOSFET)在美国贝尔实验室被发明以来, 器件的尺寸已大幅度缩减, 然而第一个 MOSFET 所采用的基本结构并没有发生变化. 当今 MOSFET 器件尺寸按比例继续缩小所面临的严重挑战是如何控制器件的漏电流又同时保持较高的电流驱动能力^[1,2]. 短沟道效应在所有的常规 MOSFET 中都是常见的. 通过提高沟道区掺杂, 可以降低短沟道效应, 但其代价是电子迁移率降低, 速度减慢, 发生电子雪崩击穿的危险加大. 为了维持对 MOSFET 短沟道的栅控能力, 栅极介质的厚度也必须减薄. 一个理想的 MOSFET 基本上是一个仅受栅电压控制的开关, 而短沟道效应则反映了当沟道长度减小时, 漏极电压对沟道静电场的负面影响. 减小电源电压进而降低电源工作功率是器件与工艺的基本选择, 但这样将降低器件的电流, 导致它对器件以及互连的快速驱动能力的下降. 电流可以通过减

小器件的阈值电压及减薄栅氧化层厚度来提升, 但 these 措施将增加器件的亚阈漏电及栅极的漏电流. 这就是器件物理与工艺所面临的速度/功率困境^[2]. 一种解决方案是采用全耗尽设计^[3]. 摩托罗拉公司的 DG-FinFET^[4], 三星公司的 Ω -FinFET^[5] 以及英特尔公司的 Tri-gate FinFET^[6] 可以作为未来 MOS 晶体管的选择. 虽然这些器件均能较好地控制短沟道效应, 但是由于这些器件均属于垂直结构, 制作工艺较复杂.

目前工业界在芯片设计制造上普遍采用多项阈值电压和多项电源电压以及比较积极的电路设计实现电源管理以满足电路对速度和功率的不同要求. 以 0.18 μm 逻辑电路为例, 在逻辑处理单元电路部分, 一般采用 1.8V 电源电压, 饱和电流为 600 $\mu\text{A}/\mu\text{m}$, 漏电流为 30pA/ μm , 阈值电压为 0.4V 左右, 沟道长度为 0.18 μm , 栅氧化层厚度一般为 3.2nm; 在外围输入输出单元电路部分, 一般采用 3.3V 电源电压, 饱和电流为 600 $\mu\text{A}/\mu\text{m}$, 漏电流为 1pA/ μm , 阈值电压为 0.7V 左右, 沟道长度为 0.35 μm , 栅氧化层厚度一般为 6.0nm. 制造工艺还是很复杂. 甚至于在 90nm 逻辑电路中还要采用 1.0, 1.8 和 2.5V 三种电源电压, 制造工艺就更复杂. 我们提出的平面分离双栅金属氧化物半导体场效应晶体管, 其阈值电压及亚阈摆幅可以通过分离双栅中的任意一个来进行调制并具备低功耗特点, 既可以适应芯

[†] 通信作者. Email: deyuan_xiao@smics.com

2006-12-13 收到, 2007-02-13 定稿

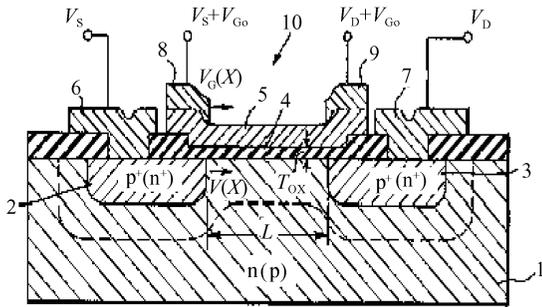


图 1 Sony 公司的沿沟道(源漏)方向的电阻-氧化物-半导体连通双栅场效应晶体管 (2)源区,(3)漏区,都属于同一种导电类型,(1)衬底,是另一种导电类型,(4)栅氧化层,(5)栅板电阻层,(8)和(9)代表栅极端部的两个欧姆接触区

Fig. 1 Device structure of dual gate resistor-oxide-semiconductor field effect transistor (ROSFET) The direction of the connected dual gate is along with the channel direction (from source to drain).

片对速度和功率的不同要求,简化电路设计,又可以简化制作工艺,可能会是一种很好的器件结构设计,有望在系统芯片(SOC)上得到应用,特别适合于电源管理及具备所谓的“睡眠模式”的单元电路。

2 平面分离双栅场效应管器件结构

美国专利 USP3999210“FET having a linear impedance characteristic over a wide range of frequency”(发明人:Yamada, Takaaki)公开了一种沿沟道(源漏)方向的双栅电阻-氧化物-半导体场效应晶体管.该器件的栅极由多晶硅电阻材料组成,在沿沟道(源漏)方向的栅极两端分别引入电极,其器件结构剖面图如图 1 所示.工作时,此两电极加不同的偏置电压,在沟道内形成一沿沟道(源漏)方向变化的调制沟道电导的电场,以达到在宽频范围内具有线性阻抗及高频特性.中国专利 CN86101937“电阻-氧化物-半导体场效应晶体管”(发明人叶安祚)公开了一种绝缘栅型场效应晶体管,其栅极由电阻材料构成.在电阻栅极垂直于源漏连线(沟道)方向的端线的两端制作了两个欧姆接触电极作为双栅端,其结构和功能上是等效的.其器件结构剖面图如图 2 所示.该器件具有不截止、遥截止或锐截止转移特性,可根据需要获得所需的截止电压值和跨导值,两个栅端可同时作为控制栅和信号栅使用.该器件的应用扩大了场效应管的应用范围,可使电路得到简化,能有效地解决大信号堵塞、自动增益控制动态范围窄等问题。

非常遗憾的是以上两种器件,由于其栅极均由电阻材料构成且在电阻栅极两端制作了两个欧姆

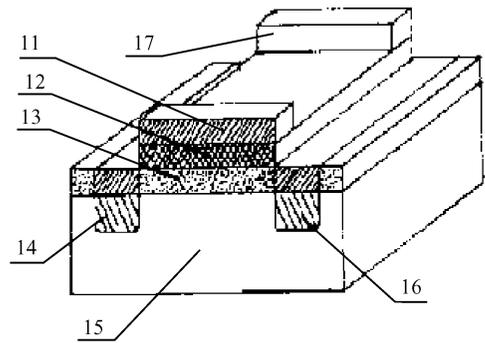


图 2 垂直于沟道(源漏)方向的电阻-氧化物-半导体连通双栅场效应晶体管 (14)源区,(16)漏区,都属于同一种导电类型,(15)衬底,是另一种导电类型,(13)栅氧化层,(12)栅板电阻层,(11)和(17)代表栅极端部的两个欧姆接触区

Fig. 2 Device structure of dual gate resistor-oxide-semiconductor field effect transistor (ROSFET) The direction of the connected dual gate is perpendicular to the channel direction (from source to drain).

接触电极作为双栅端,器件工作时加不同的偏置电压,该电阻栅将消耗掉一定的功率,在低功率应用场合将受到限制。

本文首次提出一种全新的平面分离双栅金属氧化物半导体场效应晶体管(planar split dual gate metal-oxide-semiconductor field-effect transistor, PSDG MOSFET),它是由三个 MOS 二极管与两个背靠背相接的 pn 结所构成,图 3 所示为一 n 型沟道平面分离双栅金属氧化物半导体场效应晶体管(PSDG MOSFET)的透视图.由一个有两个 n^+ 区域(即源极与漏极)的 p 型半导体所组成.栅极在平面从物理及电性上被分离开并由绝缘介质所填充形成两个栅极,称之为前栅(GF 或 G1)与后栅(GB 或 G2)。

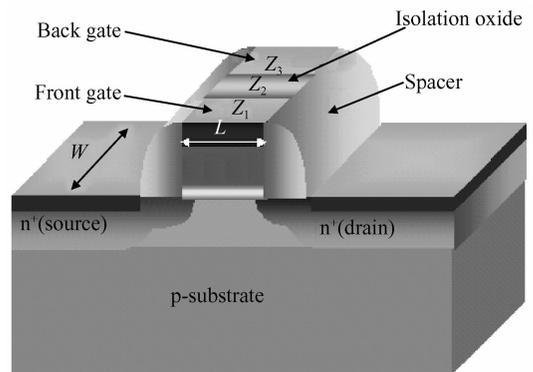


图 3 n 型沟道垂直于沟道(源漏)方向的平面分离双栅场效应管透视图

Fig. 3 Structure of planar split dual gate metal-oxide-semiconductor field effect transistor The direction of the split dual gate is perpendicular to the channel direction (from source to drain).

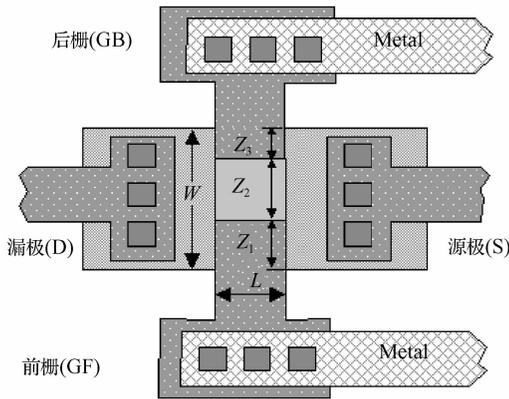


图 4 平面分离双栅金属氧化物半导体场效应晶体管版图设计图

Fig.4 PSDG MOSFET layout

因而它是一个五端点器件.事实上,栅被分割成三部分:前栅(GF)上栅偏压为 V_{GF} ,后栅(GF)上栅偏压为 V_{GB} ,中间被分割部分其栅偏压为一非均匀、受前栅 V_{GF} 与后栅 V_{GB} 影响,缓慢变化的电压.即平面分离双栅金属氧化物半导体场效应晶体管由前后两个加不同栅偏压 V_{GF} 与 V_{GB} ,中间由无数个处于不同栅偏压的微 MOS 晶体管所构成.垂直于沟道方向,电场 E_z 为一非均匀场.

平面分离双栅金属氧化物半导体场效应晶体管版图设计如图 4 所示.器件的基本参数是沟道长度 L ,沟道宽度 W ,其中沟道宽度被分割成 Z_1, Z_2 和 Z_3 三部分,绝缘体厚度为 d ,衬底掺杂浓度为 N_A .

3 平面分离双栅场效应管器件特性

3.1 平面分离双栅场效应管三维能带图

在这里,我们定义源接触作为电压的基准.当栅上不加电压时,源极与漏极相当于两个背靠背相接的 pn 结,能从源极流到漏极的唯一电流是反向漏电流.当栅上加足够大的正偏压使得两个 n^+ 区域(即源极与漏极)之间形成表面反型层(或反型沟道)时,源极与漏极就靠这一导电的表面 n 型沟道连结起来,在沟道内能流过大的电流.现在,由于有了两个栅极,因而通过改变两个栅极电压可以很灵活地调制此沟道的电导.当然,衬底也可以有基准电压,或处于反向偏置状态;此衬底反向偏置也会影响沟道电导.

图 5 给出了平面分离双栅金属氧化物半导体场效应晶体管处于不同偏置电压状态下的三维能带图(3-D energy band diagram).图 6 给出 PSDG MOSFET 的电荷、电压及电势分布图.当源漏接触两端加一偏置电压时,MOS 结构处于非平衡状态.

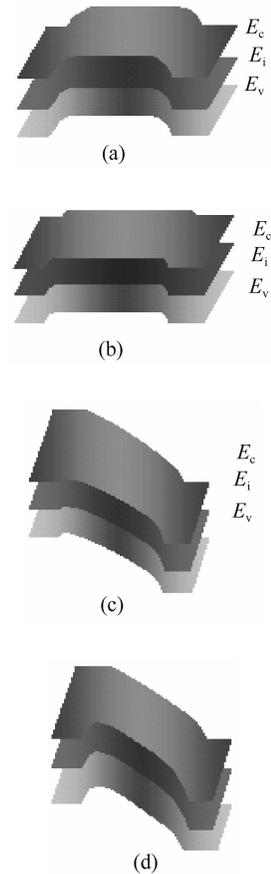


图 5 平面分离双栅晶体管三维能带图 (a) 平带零偏置平衡状态;(b) 加栅偏压时的平衡状态;(c) 同时加栅偏压和漏偏压时的非平衡状态;(d) 同时两分离栅加不同偏压和漏偏压时的非平衡状态,注意此时的能带是扭曲的

Fig.5 3D energy band diagrams on a n-channel MOSFET (a) Flat zero bias equilibrium status; (b) Equilibrium status when applied gate bias only; (c) Non-equilibrium status when applied both gate and drain bias,the bands are bent downwards from source to drain; (d) Non-equilibrium status when the two split dual gates are independently biased,the drain also biased.Note that the bands are twisted bent downwards from source to drain.

由于栅被分割成为三部分:前栅(GF 或 G1)上栅偏压为 V_{GF} ,后栅(GB 或 G2)上栅偏压为 V_{GB} ,中间被分割部分其栅偏压为一非均匀、受前栅 V_{GF} 与后栅 V_{GB} 影响而渐变的电压,此时的能带是扭曲的.因此,从能带图角度上看,我们提出的这种平面分离双栅金属氧化物半导体场效应晶体管是一种三维 MOS 器件,其他如双栅 FinFET, Omega FinFET 以及三栅 FinFET 场效应晶体管均为二维 MOS 器件.

3.2 平面分离双栅场效应管电流-电压特性

在下列理想条件下^[7], (1) 栅结构为一理想 MOS 二极管,即无界面陷阱,固定氧化层电荷或功

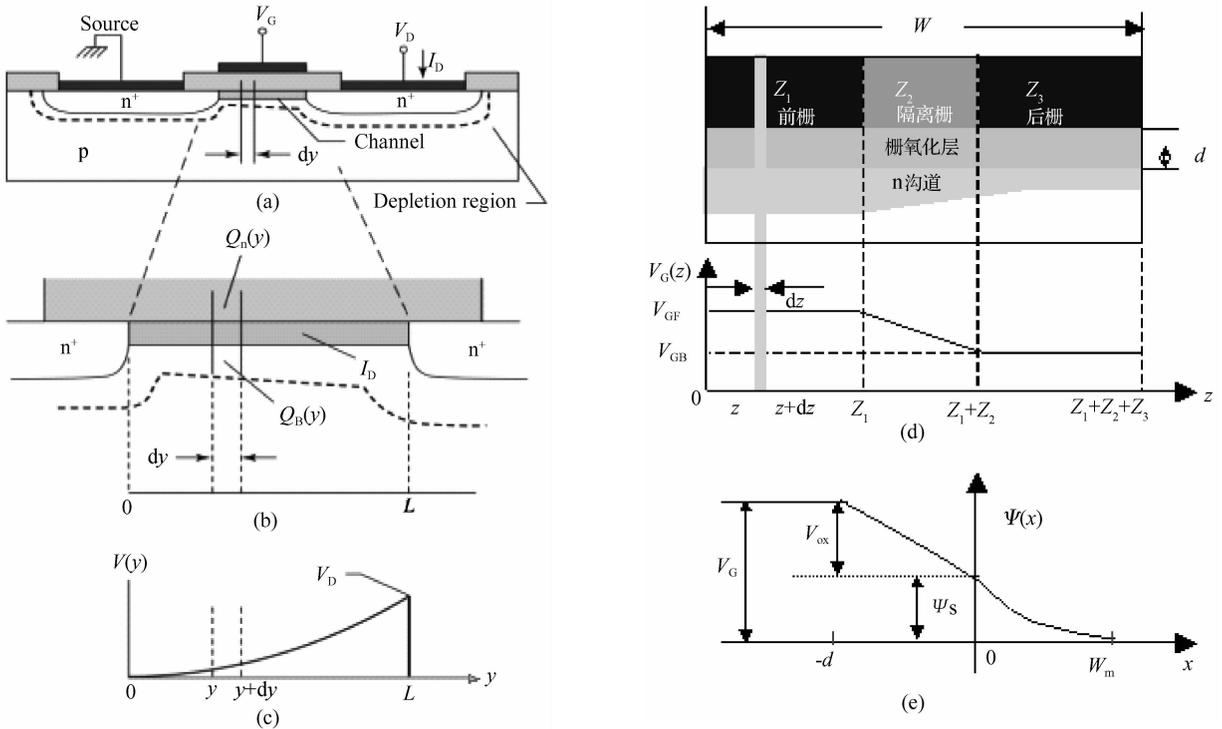


图 6 PSDG MOSFET 电荷、电压及电势分布图 (a) MOSFET 工作于线性区; (b) 沟道的放大图; (c) 沿沟道的漏极电压降; (d) 栅电压分布图; (e) 电势分布图

Fig.6 Charges, voltage and potential distributions on the PSDG MOSFET device

函数差; (2) 仅考虑漂移电流; (3) 反型层中载流子的迁移率为常数; (4) 沟道内杂质浓度为均匀分布; (5) 反向漏电流可忽略; (6) 沟道中由栅电压所产生的横向电场远大于由漏电压所产生的纵向电场. 此条件为缓变沟道近似法, 通常可适用于长沟道 MOSFET. 基于此种近似法, 衬底表面耗尽区中所包含的电荷量仅由栅电压所产生的电场感应所生成; 此外, 在这里由于平面分离双栅的缘故, 使得栅电压所产生的沿垂直于沟道电流方向的横向电场不均匀. 该电场受前栅 (GF) 上栅偏压为 V_{GF} , 后栅 (GB) 上栅偏压为 V_{GB} , 中间被分割部分其栅偏压为一非均匀、受前栅 V_{GF} 与后栅 V_{GB} 影响, 缓慢变化的电压所影响, 据此, 我们推导出基本的平面分离双栅金属氧化物半导体场效应晶体管电流-电压特性方程为:

$$I_D = \frac{Z_1}{L} \mu_n C_o \left\{ \begin{aligned} & \left(V_{GF} - 2\psi_B - \frac{V_D}{2} \right) V_D \\ & - \frac{2}{3} \times \frac{\sqrt{2\epsilon_s e N_A}}{C_o} [(V_D + 2\psi_B)^{3/2} - (2\psi_B)^{3/2}] \end{aligned} \right\} + \frac{Z_2}{L} \mu_n C_o \left\{ \begin{aligned} & \frac{1}{2} V_D (V_{GB} + V_{GF}) - \left(2\psi_B + \frac{V_D}{2} \right) V_D \\ & - \frac{2}{3} \times \frac{\sqrt{2\epsilon_s e N_A}}{C_o} [(V_D + 2\psi_B)^{3/2} - (2\psi_B)^{3/2}] \end{aligned} \right\}$$

$$+ \frac{Z_3}{L} \mu_n C_o \left\{ \begin{aligned} & \left(V_{GB} - 2\psi_B - \frac{V_D}{2} \right) V_D \\ & - \frac{2}{3} \times \frac{\sqrt{2\epsilon_s e N_A}}{C_o} [(V_D + 2\psi_B)^{3/2} - (2\psi_B)^{3/2}] \end{aligned} \right\} \quad (1)$$

式中 e 为元电荷; μ_n 为电子迁移率; ϵ_{ox} 为绝缘体电容率; ϵ_s 为半导体电容率; ψ_B 为半导体的肖特基势垒高度; d 为绝缘体厚度; N_A 为衬底掺杂浓度; $C_o = \epsilon_{ox}/d$ 为每单位面积的栅极电容. 考虑对称平面分离双栅情况, 即前栅极与后栅极宽相等 ($Z_1 = Z_3, Z_1 + Z_2 + Z_3 = W$), (1) 式被简化为:

$$I_D = \frac{W}{L} \mu_n C_o \left\{ \begin{aligned} & \frac{1}{2} V_D (V_{GB} + V_{GF}) - \left(2\psi_B + \frac{V_D}{2} \right) V_D - \frac{2}{3} \times \frac{\sqrt{2\epsilon_s e N_A}}{C_o} [(V_D + 2\psi_B)^{3/2} - (2\psi_B)^{3/2}] \end{aligned} \right\} \quad (2)$$

即在对称平面分离双栅情况下, 总漏极电流 I_D 仅与总的栅宽 W 成正比, 而与中间分离宽度 Z_2 无关. 此时的平面分离双栅晶体管相当于栅宽 W , 沟道长度 L , 工作电压 V_D , 栅平均电压为 $(V_{GF} + V_{GB})/2$ 的 MOS 晶体管. 因而通过改变其中任何一个栅极电压可以很灵活地调制此沟道的电导, 也即总漏极电

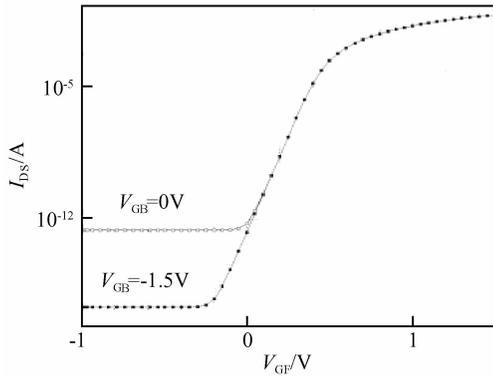


图 7 TCAD 模拟得到的典型的平面分离双栅场效应晶体管转移特性曲线 栅极分离宽度 $Z_2 = W/3$, $W/L = 10/0.18$

Fig. 7 TCAD simulated I_{DS} versus front gate voltage V_{GF} results with gate length of $0.18\mu\text{m}$

流 I_D . 因而该器件将具备阈值电压可调特性.

3.3 平面分离双栅场效应管亚阈值特性

当栅电压小于阈值电压, 且半导体表面只有弱反型时, 其对应的漏电流称为亚阈值电流. 因为亚阈值区描述器件如何开启与关闭, 所以当 MOS 场效应晶体管用来作为像数字逻辑开关电路与存储器应用上的低电压与低功率器件使用时, 器件的亚阈值特性显得特别重要. 在亚阈值区域内, 漏极电流扩散而非漂移所主导. 为简单起见, 我们考虑平面对称分离双栅情况, 即 $Z_1 = Z_2 = Z_3 = W/3$, 我们得到单位面积漏极电流密度为:

$$J_D = \frac{eD_n n_i \exp(-\beta\psi_B)}{3L} (1 - e^{-\beta\psi_D}) \times \left[(e^{\beta(V_{GF} - V_T)} + e^{\beta(V_{GB} - V_T)}) + \frac{1}{\beta(V_{GB} - V_{GF})} (e^{\beta(V_{GB} - V_T)} - e^{\beta(V_{GF} - V_T)}) \right] \quad (3)$$

其中 $\beta = \frac{e}{kT}$. 亚阈值摆幅 (S) 定义为 $[\partial(\lg I_D) / \partial V_G]^{-1}$, 根据(3)式计算得出的平面分离双栅金属氧化物半导体场效应晶体管亚阈值摆幅将随任一栅电压变化而变化. 也就是说, 平面分离双栅晶体管亚阈值特性可以通过分离双栅中的任意一个来进行调制. 理论上, 只要 $Z_2 \gg Z_1 + Z_3$, 我们就可以得到低于 75mV/dec 的亚阈值摆幅.

4 平面分离双栅场效应管三维器件的仿真

Genpei 等人采用器件仿真工具进行垂直分离双栅场效应管器件三维仿真^[8]. 我们采用 SYNOPSIS(新思科技)公司的三维器件 3D Devise 和 3D

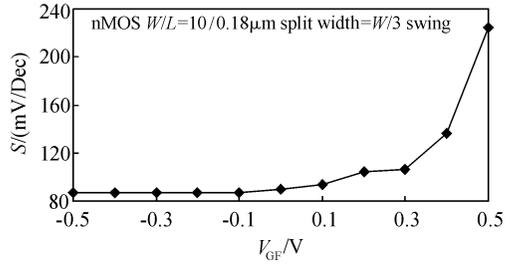


图 8 TCAD 模拟得到的典型的平面分离双栅 MOSFET 亚阈值摆幅 (S) 随一栅电压 V_{GF} 的变化曲线

Fig. 8 TCAD simulated PSDG MOSFET typical subthreshold swing versus one of the gate bias (V_{GF}) curve

Dessis 仿真工具来进行器件的三维仿真. 图 7 为模拟得到的典型的平面分离双栅金属氧化物半导体场效应晶体管亚阈值特性曲线. 从图上同样可以看出, 在亚阈值区, 漏极电流密度与 V_{GF} 呈指数关系. 当 V_{GF} 为负偏压时, I_{off} 可以降低至接近传统 MOS 场效应晶体管的 $1/3$, 这与我们的计算结果一致. 图 8 为模拟得到的典型的平面分离双栅金属氧化物半导体场效应晶体管亚阈值摆幅随一栅电压 V_{GB} (V_{G2}) 变化的曲线.

5 平面分离双栅场效应管三维器件的制作

CMOS 技术在工艺家族中最有代表性, 我们采用与常规 $0.18\mu\text{m}$ CMOS 集成电路制造兼容的设计规则和工艺流程来制作平面分离双栅晶体管 (PSDG MOSFET) 器件. 其主要制造流程模块如图 9 所示.

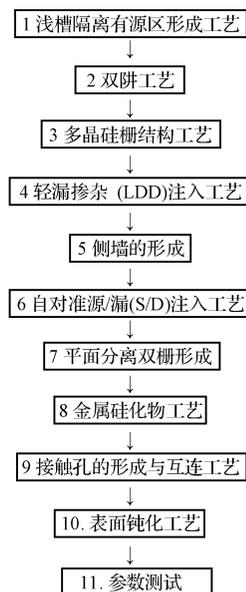


图 9 制造流程图

Fig. 9 Process flow chart

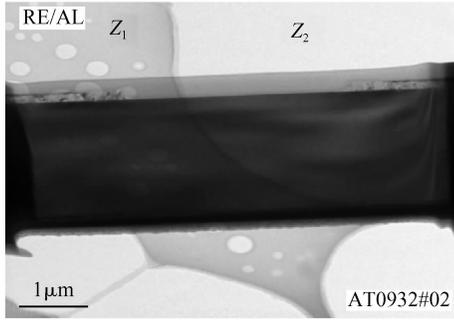


图 10 平面分离双栅晶体管沿垂直于沟道(宽度)方向结构透射电镜(TEM)照片

Fig. 10 Cross-sectional TEM image showing PSDG structure along the channel width direction

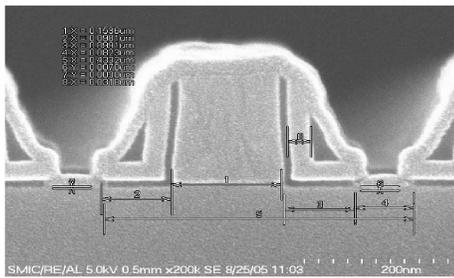


图 11 平面分离双栅晶体管沿沟道方向结构扫描电镜照片

Fig. 11 Cross-sectional SEM image showing PSDG device structure along with the channel direction

在完成好自对准源/漏(S/D)注入工艺后,利用深紫外线光刻技术刻印平面分离多晶硅双栅的精细结构,分两步进行平面分离双栅多晶硅刻蚀.先采用等离子体蚀刻工艺刻蚀多晶硅栅,然后采用湿法腐蚀工艺刻蚀多晶硅栅得到平面垂直分离的多晶硅双栅结构.之后完全按照常规 $0.18\mu\text{m}$ CMOS 集成电路制造工艺完成剩余的工艺流程.图 10 为平面分离双栅晶体管沿垂直于沟道(宽度)方向结构透射电镜(TEM)照片,从图片上可以看出,栅极分离 Z_2 部分的多晶硅已全部去除且为二氧化硅绝缘层所填充.图 11 为平面分离双栅晶体管沿沟道方向结构扫描电镜照片.

6 结果与讨论

我们对制作的平面分离双栅晶体管(Lot Id: AT0932)进行了器件特性参数测试.实验结果与我们的理论计算及 TCAD 模拟符合得较好.

图 12 为实验测量得到的平面分离双栅晶体管漏极输出特性曲线.比较上下图输出特性曲线可以看出,在不同的 V_{GB} 偏置条件下,可以得到不同的输出特性曲线,也就是说可以对器件的增益系数进行调制.

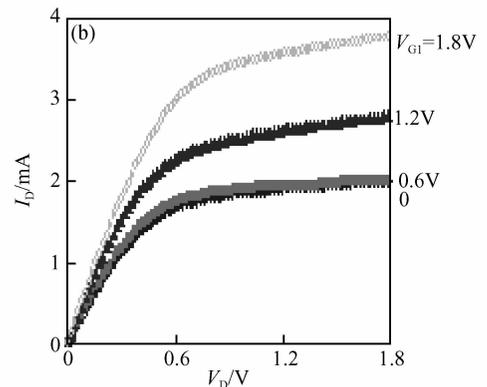
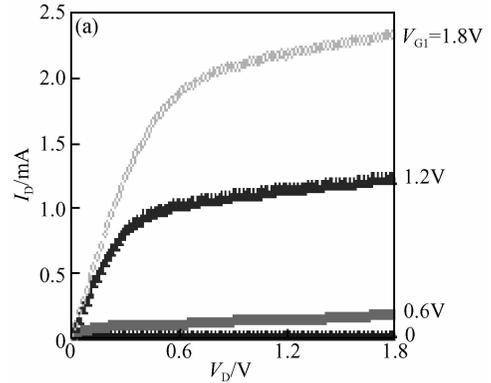


图 12 实验测量得到的栅极分离宽度 $Z_2 = W/3$ 晶体管漏极输出特性曲线 $W/L = 10/0.18$, Split width = $W/3$ (a) $V_{\text{GB}} = 0\text{V}$; (b) $V_{\text{GB}} = 1.0\text{V}$

Fig. 12 Measured curves of I_D versus V_D for a n-channel PSDG MOSFET (a) $V_{\text{GB}} = 0\text{V}$; (b) $V_{\text{GB}} = 1.0\text{V}$

图 13 为实验测量得到的平面分离双栅晶体管转移特性曲线.通过改变其中任何一个栅极电压可以很灵活地调制该器件沟道电导,也即总漏极电流 I_D .证实该器件将具备阈值电压可调特性.目前的平面工艺需要制作多个 MOS 晶体管,每个晶体管具有不同的栅氧化层厚度及不同的掺杂浓度以获得不同的阈值电压.而采用平面分离双栅晶体管设计制造工艺,在不同的 V_{GB} 偏置下,我们可以得到一系列的转移特性曲线,通过改变其中任何一个栅极偏置电压可以很方便地调节器件的阈值电压并具备低功耗特点,我们将只需要一种晶体管,这样既可以简化电路的设计又可以降低 MOS 集成电路制造工艺的复杂程度,为电路的设计及器件制作提供了更多的灵活性.

图 14 为实验测量得到栅极分离宽度为 $Z_2 = W/3$ 的平面分离双栅晶体管转移特性曲线(取对数坐标).

图 15 为实验测量得到的平面分离双栅晶体管亚阈值摆幅随一栅电压 V_{GB} 变化曲线, S 随栅电压

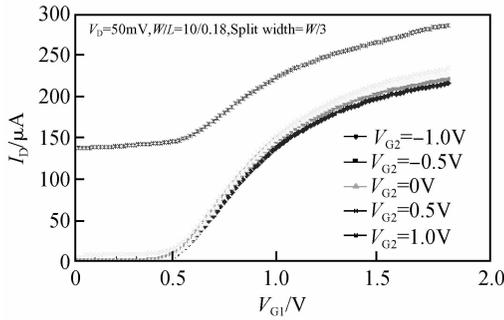


图 13 实验测量得到的平面分离双栅晶体管转移特性曲线 (栅极分离宽度 $Z_2 = 1/3 W$, 漏极电压 V_D 为 50mV)

Fig. 13 Measured curves of I_D versus V_{G1} for a n-channel PSDG MOSFET

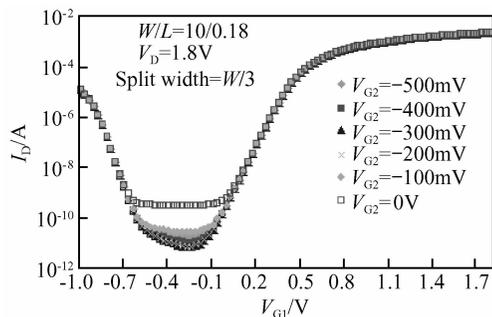


图 14 实验测量得到的平面分离双栅晶体管转移特性曲线 (取对数坐标) 栅极分离宽度 $Z_2 = W/3$, 漏极电压 V_D 为 1.8V; 当另一栅极偏置为 -200mV 时, 得到亚阈值摆幅 (S) 为 80mV/dec. 其关态漏电流 I_{off} 为 16.9 pA/ μm , 饱和电流 I_{dsat} 为 230 $\mu\text{A}/\mu\text{m}$.

Fig. 14 Measured curves of I_D versus V_{G1} for a n-channel PSDG MOSFET with split width $Z_2 = W/3$

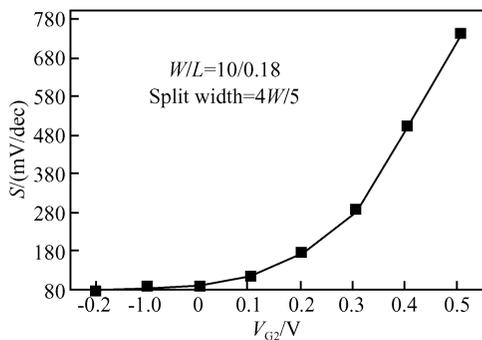


图 15 实验测量得到的平面分离双栅晶体管亚阈值摆幅 (S) 随一栅电压 V_{GB} (V_{G2}) 变化曲线 栅极分离宽度 $Z_2 = 4W/5$

Fig. 15 Measured curve of a n-channel PSDG MOSFET sub-threshold swing versus one of the gate bias

V_{GB} 增加而变大, 这与我们的理论计算和 TCAD 模拟结果相吻合. 通过改变其中任何一个栅极偏置电压可以很方便地调节器件的阈值电压及亚阈值摆幅, 这为电路的设计及器件制作提供了更多的灵活性.

7 结论

我们首次提出并制作了一种全新的平面分离双栅金属氧化物半导体场效应晶体管, 该器件垂直于沟道方向的电场为一非均匀场. 理论计算、TCAD 三维器件仿真以及实验结果均表明, 通过改变该器件其中任何一个栅极偏置电压, 能够得到可以调节的输出特性 (增益系数) 及转移特性曲线, 可以很方便地调节器件的阈值电压及亚阈值摆幅并具备低功耗特点, 这为电路的设计及器件制作提供了更多的灵活性, 既可以简化电路的设计又可以降低 MOS 集成电路制造工艺的复杂程度.

致谢 作者非常感谢新思科技 (SYNOPSYS) 袁海江、中芯国际杨勇胜在三维器件仿真及洪中山、杨芸、严祥成、季华、三重野文健等先生在器件制作方面所给予的帮助

参考文献

- [1] ITRS, PIDS section, Table 2a, 2001
- [2] Hu Chenming. Device challenges and opportunities. Symposium on VLSI Technology Digest of Technical Papers, 2004:4
- [3] Chau R, Kavalieros J, Roberds B, et al. 30nm physical gate length CMOS transistors with 1.0ps n-MOS and 1.7ps p-MOS gate delays. IEDM, 2000:45
- [4] Singer P. Dual gate control provides threshold voltage options. Semiconductor International, 2003, 26(12):28
- [5] Park T, Choi S, Lee D H, et al. Fabrication of body-tied Fin-FETs (Omega MOSFETs) using bulk si wafers. Symposium on VLSI Technology Digest of Technical Papers, 2003: 10A-3
- [6] Doyle B, Boyanov B, Datta S, et al. Tri-gate fully-depleted CMOS transistors: fabrication, design and layout. Symposium on VLSI Technology Digest of Technical Papers, 2003: 10A-2
- [7] Sze S M. Semiconductor devices. John Wiley & Sons Inc, 2002
- [8] Pei G, Ni W P, Kammula A V, et al. A physical compact model of DG MOSFET for mixed-signal circuit applications-Part I: model description. IEEE Trans Electron Devices, 2003, 50(10):2135

Planar Split Dual Gate MOSFET: Fabrication, Design, and Layout

Xiao Deyuan[†], Chen Guoqing, Li Ruoqia, Lu Pusheng, Chen Liangcheng,
Liu Yong, and Shen Qichang

(*Memory Technology Development Center, Semiconductor Manufacturing International
(Shanghai) Corp, Shanghai 201203, China*)

Abstract: The characteristics, experiment, and three dimensional device simulations of a new planar split dual gate (PSDG) MOSFET device are reported for the first time. Theoretical calculation and 3D simulation as well as the experimental data show that the two independent split dual gates can provide dynamical control of device characteristics such as threshold voltage and sub-threshold swing as well as the device saturated current. The PSDG MOSFET transistor leakage current can be reduced by as much as 78% of a traditional single gate MOSFET. The PSDG is fabricated and fully compatible with our conventional 0.18 μm logic process flow.

Key words: novel device; MOSFET; planar split dual gate; tunable sub-threshold swing

EEACC: 2560

Article ID: 0253-4177(2007)06-0923-08

[†] Corresponding author. Email: deyuan_xiao@smics.com

Received 13 December 2006, revised manuscript received 13 February 2007