

含 InGaAsP 的 InP DHBT 复合式集电区结构设计

程伟[†] 金智 于进勇 刘新宇

(中国科学院微电子研究所, 北京 100029)

摘要: 为了降低 InP DHBT 的 B-C 之间的导带势垒, 抑制电流阻挡效应, 采用了一种含 InGaAsP 的复合式集电区结构. 第一次从理论上分析了此种类型的复合式集电区各个参数对于 DHBT 性能的影响并给出了优化方案, 为此类型的复合式集电区结构的设计提供了理论指导和设计参考. 基于文中所述的理论, 对文献中的数据进行了分析, 得到了令人满意的结果.

关键词: InP/InGaAs; HBT; 复合式集电区; 势垒尖峰

EEACC: 2530B; 2560B; 2560J

中图分类号: TN322+.8

文献标识码: A

文章编号: 0253-4177(2007)06-0943-04

1 引言

由于 InP 具有高的饱和速率以及高的电子迁移率等优良特性, 因此 InP 基 HBT 在高速数字电路以及数模混合电路中得到了广泛应用, 例如国外已研制出基于 InP HBT 工艺的 150GHz 静态分频器^[1], 以及工作在 175GHz 增益达 6.3db 功率放大器^[2]. InP 基 SHBT 外延层结构较为简单, 易于设计和材料的生长, 有着非常突出的性能, 目前 InP SHBT 最高截止频率已达到 700GHz. 但是由于 InP 基 SHBT 采用 InGaAs 作为集电区, 其带隙较窄(仅为 0.75eV), 因此其击穿电压较低. 另外, 由于 InGaAs 的热导较小(约为 InP 热导的十五分之一), 因此影响了其散热性能, 特别是在高电流密度工作条件下, 此问题尤为突出. InP 基 DHBT 采用宽带隙的 InP 作为集电区, 其击穿电压较高, 且 InP 的热导大, 散热性能好. 但是在 InP DHBT 中, 由于 B-C 之间存在导带的不连续, 产生了导带势垒(ΔE_C). 导带势垒的存在, 导致了所谓的“电流阻挡效应”(current blocking effect), 从而严重影响了器件的直流及射频特性. 我们研制的 InP SHBT 截止频率已经达到了 162GHz^[3], 但是研制的 InP DHBT 截止频率仅为 80GHz^[4], 这表明我们在器件结构和工艺上已经达到要求, 但是在 InP DHBT 外延层结构的设计上(尤其是集电区的设计上)存在问题, 未能有效抑制电流阻挡效应, 导致其射频特性恶化. 为了降低 B-C 之间的导带势垒, 抑制电流阻挡效应, 本文采用了一种含 InGaAsP 的复合式集电区结构, 第一次从理论上详细分析了此种结构的复合式集电区外延层各个

参数对器件性能的影响, 给出了此种结构的复合式集电区通用的设计参考.

2 复合式集电区的结构及各外延层的作用

由于 InP DHBT 中基区采用窄带隙的 InGaAs, 而集电区采用宽带隙的 InP, 导致 B-C 之间存在导带势垒($\Delta E_C \approx 0.25\text{eV}$). 为了减小或者消除导带势垒以抑制电流阻挡效应, 常用的方法有: 采用间隔层(Space 层)与高掺杂的 n^+ 层, 采用超晶格缓变层的结构, 或者直接采用 Type II 型材料等. 本文所讨论的复合式集电区结构如图 1 所示, 即采用 SetBack 层, Grade 层和 δ 掺杂层相配合的结构. 其中 SetBack 层为 n^- 的 InGaAs, 其主要作用有两个: 一是将导带势垒向集电区一侧推移, 从而降低

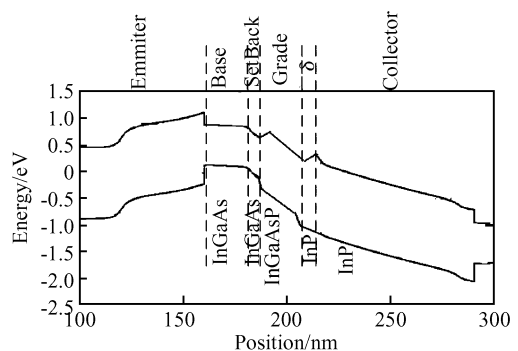


图1 采用复合式集电区的 InP DHBT 能带结构示意图
Fig.1 Energy diagram of InP DHBT with composite collector

[†] 通信作者. Email: dspbuilder@yahoo.com.cn

2006-12-25 收到, 2007-02-03 定稿

导带尖峰;二是由于电子在 InGaAs 中的饱和速率较大,有利于电子的加速,从而提高了电子在整个集电区中的有效速率 v_{eff} . 过渡层(Grade 层)采用四元化合物 InGaAsP 的形式,调整其组分使得其带隙位于 InGaAs 和 InP 之间,从而实现导带相对平缓的过渡,这种结构与超晶格结构相比,降低了材料生长的难度,易于控制外延层的品质及稳定性. 另外之所以采用 InGaAsP 而不是 InAlGaAs,主要是因为 InAlGaAs 的带隙差在导带,这不利于消除导带尖峰. δ 掺杂层采用高掺杂的 InP,其主要作用是配合 Grade 层和 SetBack 层,拉低导带从而降低导带势垒.

3 复合式集电区的设计与优化

本文所讨论的复合式集电区外延层结构的设计与优化,主要针对器件的三个性能指标,即 Kirk 电流密度(J_{Kirk}),击穿电压(BV_{CEO})和最大截止频率 f_t . 为了简化讨论,我们假设 δ 掺杂层的厚度和掺杂浓度固定,分别为 $T_\delta = 3\text{nm}$ 和 $N_\delta = 3 \times 10^{18}/\text{cm}^3$,另外假设 SetBack 层和 Grade 层的掺杂浓度相同.

考虑一般的情况,假设过渡层由 N 层同样厚度的 InGaAsP 组成并且各层 InGaAsP 的带隙等间隔递增,则为了消除导带势垒,由泊松公式可得到(1)式和(2)式,其中 N_δ 和 T_δ 分别为 δ 掺杂层的掺杂浓度和厚度, T_{SetBack} 和 T_{Grade} 分别为 SetBack 层和 Grade 层的厚度.

$$\frac{q^2 N_\delta T_\delta T_{\text{Grade}}}{\epsilon_r \epsilon_0} \geq \frac{N}{N+1} \Delta E_C \quad (1)$$

$$\frac{q^2 N_\delta T_\delta T_{\text{SetBack}}}{\epsilon_r \epsilon_0} \geq \frac{\Delta E_C}{N+1} \quad (2)$$

需要指出的是,当 N 很大时,则 ΔE_C 主要由 Grade 层来消除(即只考虑(1)式),而对于我们的设计,为了降低材料生长的难度, N 一般较小,因此在消除 ΔE_C 的作用上,SetBack 层的作用不可忽略(即必须同时考虑(1)式和(2)式). 在本文中,我们假设 $N=1$,则将 $T_\delta = 3\text{nm}$ 和 $N_\delta = 3 \times 10^{18}/\text{cm}^3$ 带入(1)式和(2)式,得到: $T_{\text{SetBack}} \geq 9.75\text{nm}$, $T_{\text{Grade}} \geq 9.75\text{nm}$,在以下的讨论中,我们设定 $T_{\text{Grade}} = 20\text{nm}$.

另外,为了保证在 V_{cb} 一定时,集电区完全耗尽,根据泊松公式对集电区一侧的电场进行积分,得到(3)式,因此集电区的掺杂浓度必须满足(4)式,其中 Φ_{bi} 为 BC 结内建电势, V_{cb} 为 C 和 B 之间的外加偏置电压.

$$V_{\text{cb}} + \Phi_{\text{bi}} = \frac{qN_C T_C^2}{2\epsilon_0 \epsilon_r} + \frac{qN_\delta T_\delta (T_{\text{SetBack}} + T_{\text{Grade}})}{\epsilon_0 \epsilon_r} \quad (3)$$

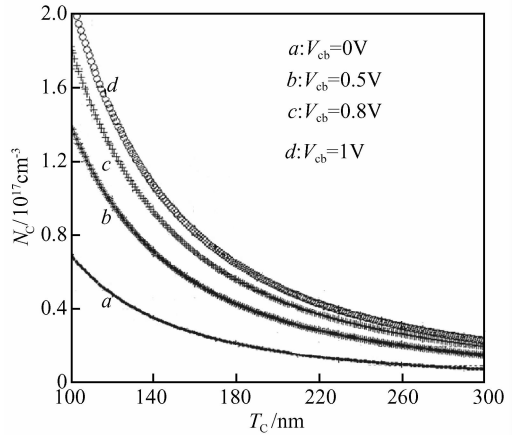


图 2 复合式集电区掺杂浓度 N_C , T_C 与 V_{cb} 的关系

Fig. 2 Dependence of composite collector doping density(N_C) on T_C and V_{cb}

$$N_C = \frac{1}{T_C^2} \times \left[\frac{2\epsilon_0 \epsilon_r (\Phi_{\text{bi}} + V_{\text{cb}}) - 2N_\delta T_\delta (T_{\text{SetBack}} + T_{\text{Grade}})}{q} \right] \quad (4)$$

假设 $T_\delta = 3\text{nm}$, $N_\delta = 3 \times 10^{18}/\text{cm}^3$, $T_{\text{SetBack}} = 20\text{nm}$, $T_{\text{Grade}} = 20\text{nm}$, $\Phi_{\text{bi}} = 1.01\text{V}$. 在不同的 V_{cb} 和 T_C 下,为了保持集电区完全耗尽,集电区最大掺杂浓度与集电区厚度的关系,如图 2 所示. 由图可见,集电区的掺杂浓度 N_C 与集电区的厚度 T_C 成反比,与 V_{cb} 成正比. 当集电区的厚度 T_C 和电路的工作状态确定时(即 V_{cb} 确定),即可通过图 2 得到集电区的掺杂浓度.

根据泊松公式并考虑到 δ 掺杂层对于电场强度的影响,Kirk 电流密度如(5)式所示,其中 v_{eff} 为电子在集电区中的有效速率.

$$J_{\text{Kirk}} = qN_C v_{\text{eff}} + \frac{2\epsilon_r \epsilon_0 v_{\text{eff}} (\Phi_{\text{bi}} + V_{\text{cb}})}{T_C^2} - \frac{2qv_{\text{eff}} N_\delta T_\delta (T_{\text{SetBack}} + T_{\text{Grade}})}{T_C^2} \quad (5)$$

假设 $N_\delta = 3 \times 10^{18} \text{cm}^{-3}$, $T_\delta = 3\text{nm}$, $T_{\text{SetBack}} = 20\text{nm}$, $T_{\text{Grade}} = 20\text{nm}$, $\Phi_{\text{bi}} = 1.01\text{V}$, $v_{\text{eff}} = 3 \times 10^5 \text{m/s}$,图 3 显示了在不同的偏置电压和集电区厚度下的 Kirk 电流密度的曲线. 由图 3 可以看出,Kirk 电流密度随着集电区厚度的增大而减小,而在相同的集电区厚度下,Kirk 电流密度随着外加偏置电压 V_{cb} 的增大而增大. 因此为了获得高的电流密度,必须采用较薄的集电区厚度,同时可以根据电路的实际工作状态,在保证器件不击穿的条件下,适当加大 BC 之间的反向偏压 V_{cb} .

对于 InP DHBT 来说,BC 交界面处的电场强度最大,而对于我们设计的外延层结构来说,集电区最靠近基区处的 SetBack 层又是带隙较窄的 InGaAs,因此如果发生击穿,则最先在 SetBack 层发

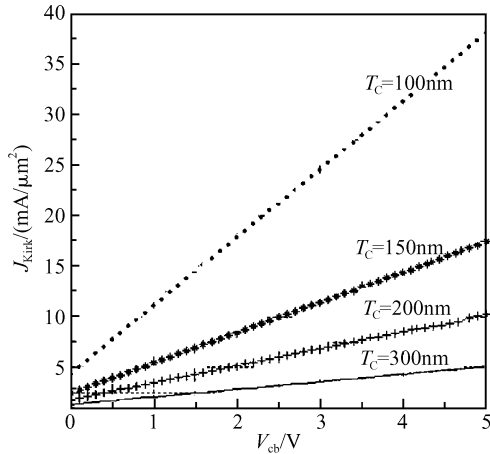


图 3 Kirk 电流密度与 T_c 和 V_{cb} 的关系

Fig. 3 Dependence of Kirk current density on T_c and V_{cb}

生. 落在 SetBack 层的电压如(6)式所示.

$$\Delta\Phi_{\text{SetBack}} = (V_{cb} + \Phi_{bi}) \frac{T_{\text{SetBack}}}{T_c} + \frac{qN_{\delta}T_{\delta}T_{\text{SetBack}}}{\epsilon_r\epsilon_0} + \frac{(qN_c - J(x)/v_{\text{eff}})T_cT_{\text{SetBack}}}{2\epsilon_r\epsilon_0} \quad (6)$$

当电子在 SetBack 层由于电场加速而获得的能量大于碰撞电离所需要的能量时(对于 InGaAs 来说,一般为 $1\text{eV}^{[5]}$),碰撞电离开始发生,即当 $q\Delta\Phi_{\text{SetBack}} \geq 1\text{eV}$ 发生击穿.假设 $N_{\delta} = 3 \times 10^{18}/\text{cm}^3$, $T_{\delta} = 3\text{nm}$, $\Phi_{bi} = 1.01\text{V}$,则 BV_{CEO} 与 T_c , T_{SetBack} 的关系如图 4 所示,由图 4 可以看出,击穿电压随着集电区厚度的增加而增大,但是在相同集电区厚度下,SetBack 层的厚度越大,则击穿电压越小.这是因为,在相同集电区厚度的情况下,SetBack 层厚度越大,则 SetBack 层所占的分压就越大,电子在 SetBack 层加速获得的能量就越大,也就越容易发生击穿,击穿电压就越小;反之则击穿电压就越大.因此,为了获得高的击穿电压,必须采用较厚的集电区同时配合较薄的 SetBack 层.但是需要指出的是,如果 SetBack 层过薄则会削弱前面讨论的 Setback 层的作用,且 SetBack 层的厚度受到(2)式的限制.

另外,复合式集电区各层的参数对于 f_t (如(7)式所示)也有重要影响.

$$\frac{1}{2\pi f_t} = \tau_b + \tau_c + \frac{kT}{qI_c}(C_{jc} + C_{jc}) + (R_E + R_C)C_{jc} \quad (7)$$

由(7)式可知,影响 f_t 的延时主要可分为两类,一是渡越时间,二是 RC 的充放电时间.对于我们设计的复合式集电区结构来说,如果 SetBack 层越厚,则由于电子在 InGaAs 中的饱和速率大于在 InP 中的饱和速率,所以当 SetBack 层在集电区中所占的比例越大,则电子在集电区中的有效速率 v_{eff} 就越

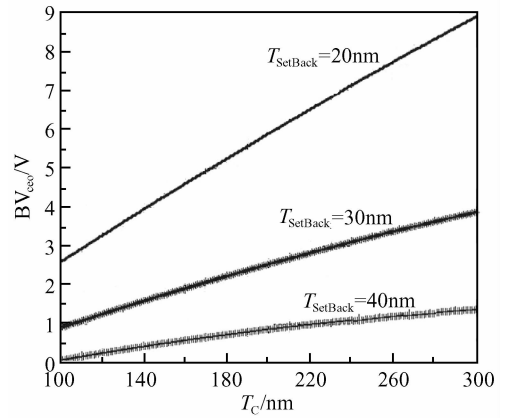


图 4 BV_{CEO} 与 T_c , T_{SetBack} 的关系曲线

Fig. 4 Dependence of BV_{CEO} on T_c and T_{SetBack}

大,从而集电区的渡越时间就越小,有利于提高 f_t .另外,集电区厚度 T_c 越小,则集电区的渡越时间就越小,同时根据前面对 Kirk 电流密度的分析可知 J_{Kirk} 也越大,则 RC 的充放电时间也就越小,因此综合考虑 f_t 就越大.

通过以上的分析,对于本文所设计的复合式集电区结构,可以得出以下结论:

- (1) 减小 T_c 可以获得更高的 Kirk 电流密度,但是会引起击穿电压的下降.
- (2) 增大 T_{SetBack} 虽然有利于减小导带势垒,但是会引起击穿电压的下降.
- (3) 增大 SetBack 层在集电区中的比例会提高电子在集电区中的有效速率 v_{eff} ,从而减小集电区渡越时间,有利于提高 f_t .
- (4) 减小集电区厚度 T_c ,既减小了 τ_c 又增大了 J_{Kirk} ,从而减小了集电区渡越时间和 RC 充放电时间,提高了 f_t .

4 实例分析

根据前面的分析,对 Kurishima 等人^[6]的外延层结构进行分析,如表 1 所示.首先将 $N = 2$, $T_{\delta} = 10\text{nm}$ 和 $N_{\delta} = 3 \times 10^{17}/\text{cm}^3$ 带入(1)和(2)式,可知为了消除导带势垒,SetBack 层和 Grade 层的厚度应该满足: $T_{\text{SetBack}} \geq 20\text{nm}$, $T_{\text{Grade1}} \geq 20\text{nm}$, $T_{\text{Grade2}} \geq 20\text{nm}$.而在表 1 所示的外延层结构中, $T_{\text{SetBack}} = 20\text{nm}$, $T_{\text{Grade1}} = 20\text{nm}$, $T_{\text{Grade2}} = 20\text{nm}$,因此表 1 所示的结构可以有效消除导带势垒,抑制电流阻挡效应.然后将 $N_{\delta} = 3 \times 10^{17}/\text{cm}^3$, $T_{\delta} = 10\text{nm}$, $T_{\text{SetBack}} = 20\text{nm}$, $T_{\text{Grade}} = 40\text{nm}$, $\Phi_{bi} = 1.01\text{V}$, $v_{\text{eff}} = 3 \times 10^5\text{m/s}$, $V_{cb} = 0.8\text{V}$ 带入(5)式,得到 Kirk 电流密度的理论值为 $J_{\text{Kirk}} = 1.55\text{mA}/\mu\text{m}^2$,而文献[6]中的数据表明当截止频率 f_t 取得最大值时($V_{cb} = 0.8\text{V}$)

表 1 含 InGaAsP 的复合式集电区材料结构

Table 1 Material structure of InGaAsP composite collector^[6]

厚度/nm	组分	掺杂浓度/cm ⁻³	说明
20	InGaAs	Undoped	SetBack 层
20	InGaAsP ($E_g = 0.82\text{eV}$)	Undoped	Grade 层
20	InGaAsP ($E_g = 1.00\text{eV}$)	Undoped	Grade 层
10	InP	3×10^{17}	δ 掺杂层
190	InP	Undoped	Collector 层

的电流密度为 $J = 1.6\text{mA}/\mu\text{m}^2$, 因此理论计算的结果和文献中的实验数据是非常接近的。

另外需要指出的是, 在表 1 所示的结构中, 除了 δ 掺杂层之外, 集电区都是非掺杂的, 即 $N_c = 0$, 由前面的分析可知集电区的掺杂浓度过低, 会导致 Kirk 电流密度偏小, 这不利于减小 RC 的充放电时间, 从而对 f_t 产生不利的影响, 因此文献[6]中 InP DHBT 的 f_t 仅为 155GHz. 将各层参数带入(4)式可知集电区允许的最大掺杂浓度为 $N_c = 1.56 \times 10^{16}/\text{cm}^3$, 因此如果能够适当提高 N_c , 将会带来 Kirk 电流密度和 f_t 的提升, 改善器件的直流和射频特性.

5 结论

为了有效消除 InPDHBT 的 B-C 之间的导带

势垒, 抑制电流阻挡效应, 本文采用了一种含 In-GaAsP 的复合式集电区结构. 以往国内外关于此种类型的复合式集电区结构的应用, 在各外延层的掺杂浓度和厚度的取值上, 大多仅靠经验而缺乏理论上的分析, 从而具有一定的盲目性, 本文从理论上详细分析了此种类型的复合式集电区外延层各个参数对于器件性能的影响, 并给出了相应的关系曲线, 从而为这种类型的复合式集电区的设计提供了理论性的指导和准确而方便的参考.

参考文献

- [1] Hitko D A, Hussain T, Jensen J F, et al. A low power (45mW/Latch) static 150GHz CML divider. IEEE CSIC Digest, 2004; 167
- [2] Urteaga M, Scott D, Krishnan S, et al. G-band (140—220GHz) InP-based HBT amplifiers. IEEE J Solid-State Circuits, 2003, 38(9): 1451
- [3] Yu Jinyong, Yan Beiping, Su Shubing, et al. A 162GHz self-aligned InP/InGaAs heterojunction bipolar transistor. Chinese Journal of Semiconductors, 2006, 27(10): 1732
- [4] Su Shubing, Liu Xinyu, Xu Anhuai, et al. Performance of an InP DHBT grown by MBE. Chinese Journal of Semiconductors, 2006, 27(5): 792
- [5] Pearsall T P. Impact ionization rates for electrons and holes in. Appl Phys Lett, 1980, 36(3): 218
- [6] Kurishima K, Nakajima H, Kobayashi T. InP/InGaAs double-heterojunction bipolar transistor with step-graded InGaAsP collector. Electron Lett, 1993, 29(3): 258

Design of InGaAsP Composite Collector for InP DHBT

Cheng Wei[†], Jin Zhi, Yu Jinyong, and Liu Xinyu

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A composite collector structure containing InGaAsP was designed, which can effectively eliminate the energy spike at the B-C junction and avoid the current blocking effect. The dependence of the characteristics of a DHBT on the parameters of the collector structure were analyzed theoretically, and an optimized result was delivered which can give a theoretical direction and reference for the design of this kind of composite collector. The data were analyzed based on the theory of this paper, and a satisfactory result was obtained.

Key words: InP/InGaAs; HBT; composite collector; barrier spike

EEACC: 2530B; 2560B; 2560J

Article ID: 0253-4177(2007)06-0943-04

[†] Corresponding author. Email: dspbuilder@yahoo.com.cn

Received 25 December 2006, revised manuscript received 3 February 2007