

# 低电压低功耗 CMOS 5Gb/s 串行收发器

孙焯辉<sup>1,†</sup> 江立新<sup>2</sup> 秦世才<sup>1</sup>

(1 南开大学信息技术科学学院, 天津 300071)

(2 IDT 科技(上海)有限公司, 上海 200233)

**摘要:** 设计并实现了一种使用 0.13 $\mu\text{m}$  CMOS 工艺制造的低电压低功耗串行收发器. 它的核心电路工作电压为 1V, 工作频率范围为 2.5~5GHz. 发送器包括一个 20:1 的串行器和一个发送驱动器, 其中发送驱动器采用了预加重技术来抵消传输信道对信号的衰减, 降低信号的码间串扰. 接收器包括一个输入信号预放大器, 两个 1:20 的解串器以及时钟恢复电路. 在输入信号预放大器中设计了一个简单新颖的电路, 利用前馈均衡来进一步消除信号的码间串扰, 提高接收器的灵敏度. 测试表明, 收发器功耗为 127mW/通道. 发送器输出信号均方根抖动为 4ps. 接收器在输入信号眼图闭合 0.5UI, 信号差分峰-峰值 150mV 条件下误码率小于  $10^{-12}$ .

**关键词:** 低电压; 低功耗; 收发器; 均衡

EEACC: 1220; 1280

中图分类号: TN43

文献标识码: A

文章编号: 0253-4177(2007)08-1283-06

## 1 前言

随着通信需求的不断增长, 用户对设备传输速度以及功耗的要求也越来越严格. 串行接口技术取代传统并行接口技术, 进一步提高了数据传输速率, 在越来越多的场合, 如互联网通信、计算机主板芯片间的数据传输、光纤通信和高速背板传输等, 都得到了广泛的应用<sup>[1]</sup>.

采用标准 CMOS 工艺设计串行收发器可以大大降低芯片的制造成本, 随着制造工艺和设计水平的进步, 目前在标准 CMOS 工艺下可以制得速率为 1Gb/s 到 10Gb/s 的收发器芯片<sup>[2~6]</sup>. 在设计中, 速度、功耗和灵敏度是衡量收发器性能的主要指标, 三者之间是相互联系、相互制约的. 首先, 信号衰减会随着数据传输速率的提高而增加, 在诸如印刷电路板或是同轴电缆中, 由于信道对高速传输的数据衰减很大, 引起的码间串扰 (inter symbol interference, ISI) 使得接收数据的眼图部分闭合, 导致通信质量变差. 特别是在传输数据速率达到吉赫兹 (10<sup>9</sup> Hz) 以上的时候, 为了提高接收器的灵敏度, 大部分设计会使用均衡技术来补偿信号的衰减<sup>[2,3]</sup>, 但这无疑增加了额外的功耗和芯片面积; 其次, 数据传输速率的提高必然会带来芯片功耗的上升, 而芯片功耗是串行收发器最重要的指标之一, 可以采用更先进的诸如 0.13 $\mu\text{m}$  或 0.18 $\mu\text{m}$  工艺来设计收发器<sup>[5,6]</sup>, 这些工艺所需要的工作电压更低, 工作电流

更小, 以此来达到降低芯片功耗的目的. 此外, 可以通过优化收发器的系统结构, 并且采用新颖的低功耗电路来进一步降低芯片功耗, 以此来满足芯片对低功耗性能的不断需求. 因此在电路设计领域, 如何优化收发器结构和改进电路设计从而进一步降低功耗, 成为当今收发器研究的重点方向.

本文介绍了一种基于 PCI Express 协议的低电压低功耗高灵敏度的 CMOS 串行收发器. 它采用 TSMC 0.13 $\mu\text{m}$  数字标准 CMOS 工艺. 电路工作电压为 1V, 采用全速采样的工作方式, 它的工作频率最高可达 5Gb/s, 每通道功耗为 127mW. 发送器使用了预加重来补偿传输信道对信号的衰减. 接收器前端设计了一个结构新颖且简单的接收信号预放大器, 在不增加额外功耗的前提下, 利用前馈均衡 (feed forward equalization, FFE) 来进一步消除信号的码间串扰<sup>[2]</sup>. 接收器采用了数字方式的时钟数据恢复电路 (clock and data recovery, CDR) 来进一步降低功耗, 其中的相位插值器通过改进编码方式, 使得输出信号的幅度能够保持恒定, 并且具有良好的线性相位特性.

## 2 电路结构

图 1 是收发器芯片的结构示意图. 收发器芯片共有四条通道, 每条通道包含一个发送器和一个接收器, 四条通道发送端和接收端所需时钟由一个共享的锁相环提供. 这种时钟共享架构将锁相环的功

† 通信作者. Email: sunyehui@mail.nankai.edu.cn

2007-01-11 收到, 2007-04-05 定稿

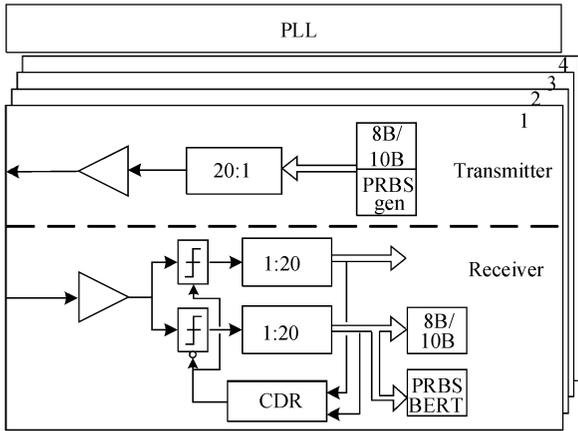


图 1 收发器结构  
Fig. 1 Transceiver architecture

耗分摊到四条通道,大大降低了每条通道收发器的平均功耗.另外芯片还包括了 8B/10B 编/解码器和芯片内建测试所需的伪随机二进制序列发生器.发送器将经过 8B/10B 编码的 20bit 并行数据通过多路选择器转换为 1bit 串行数据,并通过发送驱动器送出;接收器先通过接收预放大器将接收到的高速串行数据放大,再经过采样并由多路分解器将 1bit 串行数据转换为 20bit 的并行数据,经解码后输出.

2.1 发送器

发送器通路主要由一个 20 : 1 的串行器和发送驱动器组成,如图 2 所示.其中 20 : 1 的并/串转换通过三级多路选择器来完成,最后一级 2 : 1 多路选择器将输出数据传送给发送驱动器.输入到最后一级 2 : 1 多路选择器的时钟信号的好坏将直接影响发送数据的质量,在基于半速采样结构的设计<sup>[5,6]</sup>中,要使用占空比失真纠正电路来避免由于时钟信号的占空比失真引入的输出确定性抖动(deterministic jitter).本设计采用全速采样结构,与半速采样结构相比,收发器不需要占空比失真纠正电路,降低了一部分功耗.此外,设计采用了电流模逻辑结构的

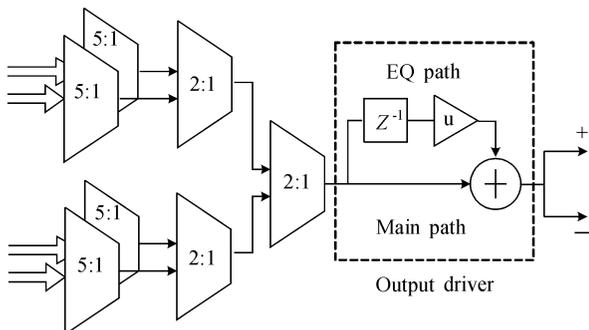


图 2 发送器  
Fig. 2 Transmitter

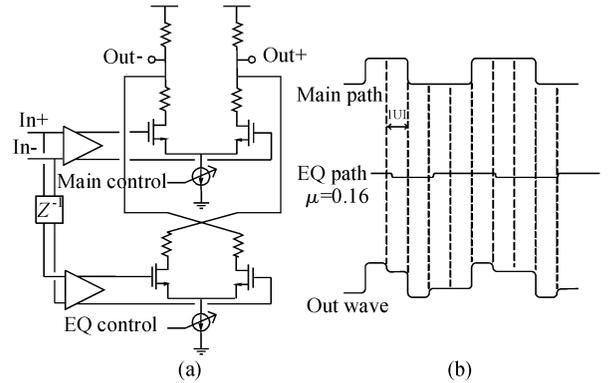


图 3 (a)发送端输出驱动器;(b)经过预加重后的输出波形  
Fig. 3 (a) Output driver of transmitter; (b) Output waveforms after pre-emphasis

多路选择器,电流模逻辑的输出具有较低的幅度,因此与 CMOS 逻辑电路相比,本设计在提高工作速度的同时并不会增加太多功耗.

高速通信中,信道通常对信号频谱中的高频分量具有衰减作用,相当于一个低通滤波器.如在高速背板应用中,印刷电路板上 10<sup>3</sup> mm 的 FR4 走线,它的低通衰减约 - 3dB,带宽大概为 500MHz<sup>[3]</sup>.如果传输信道的带宽对于串行数据的速率而言太低,就会引起码间串扰,导致接收端的数据眼图部分闭合.输出驱动器是发送器最重要的模块之一,它的性能决定了发送信号的好坏,电路如图 3(a)所示.为了减轻码间串扰的影响,输出驱动器增加了一阶可编程预加重的功能.它可以对信号进行预均衡处理,通过改变信号频谱中高低频的比例来降低码间串扰.另外,输出驱动器在做均衡处理的同时并没有放大高频串扰,因此它还具有提高信号高频分量比重而同时不增加高频噪声的优点.其传输函数为

$$H(z) = 1 - \mu z^{-1} \tag{1}$$

其中  $\mu$  为衰减因子,它的可编程范围为 0~0.5.将上一个发送的数据延时一个周期,加权后和当前发送的数据相减,得到输出波形如图 3(b)所示.

2.2 接收器

接收器主要由接收预放大器、1 : 20 的解串器和时钟恢复电路组成.两级多路分解器将 1bit 串行数据转换为 20bit 的并行数据输出,图 4 为接收器结构示意图.

接收预放大器主要负责对接收到的小信号进行放大,使得采样器能够正确采样.由于信道的传输特性会随着信道长度、环境温度等因素变化,因此发送器的预加重并不能完全消除接收数据中码间串扰的影响,接收信号的质量不能得到保证.通常需要在接收器端对信号做进一步的均衡处理.图 5(a)所示的

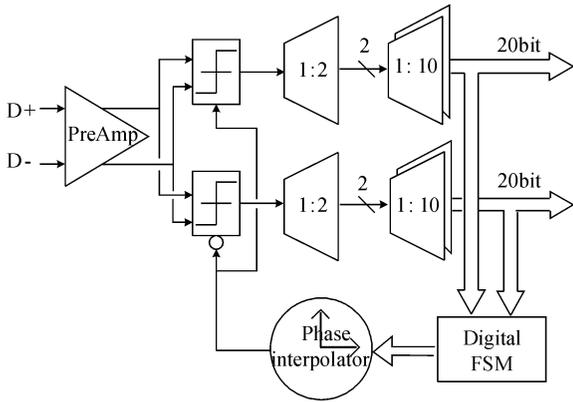


图 4 接收器  
Fig. 4 Receiver

是通常基于源衰减结构的预放大均衡器<sup>[2]</sup>. 它的传输函数可以近似表示为

$$H(s) = \frac{g_{m1} R_L}{1 + g_{m1} \frac{R_s}{2(1 + sR_s C_s)}} \quad (2)$$

如公式(2)所示,传统结构预放大器的电压增益同源衰减阻抗的倒数成正比,  $R_s C_s$  并联的源衰减阻抗随着频率升高而变小,因此它是通过降低预放大器的低频增益来达到均衡信号频谱的目的.

由于传统设计中基于源衰减这一结构的限制,使得放大器的放大能力有限,其高频增益近似为  $g_{m1} R_L$ , 低频增益近似为  $2R_L/R_s$ , 传输特性曲线如图 5(c)中曲线 a 所示. 本文设计了一种新颖的接收预放大器,它采用了一阶可编程的线性均衡器结构,利用前馈均衡来进一步消除码间串扰,达到改善接收信号质量的目的. 电路如图 5(b) 所示.

接收预放大器的传输函数为

$$H(s) = R_L \left( g_{m1} + \frac{s}{s + p_h} g_{m3} \right) \quad (3)$$

$g_{m1} R_L$  为放大器的低频增益. M1 与 M2, M3 与 M4 的尺寸相同; M1, M2 跨导设为  $g_{m1}$ ; M3, M4 的跨导设为  $g_{m3}$ .  $p_h = 1/RC$ . 可以得到一个补偿零点,它的大小为

$$z_0 = - \frac{g_{m1}}{g_{m1} + g_{m3}} p_h \quad (4)$$

通过对零点进行编程调整,就可以较好地补偿传输信道引起的高频衰减,传输特性曲线如图 5(c)中曲线 b 所示.

与传统源衰减结构的接收放大器相比,这个电路的优点是不但能对信号进行均衡处理,同时还能提供比较高的增益. 由图 5(b) 可以看出,经过高通滤波后接收信号的高频分量被 M3, M4 放大,并且与经过 M1, M2 放大后的接收信号在 A, B 结点相加,再经过  $R_L$  将放大的电流信号转换为电压信号

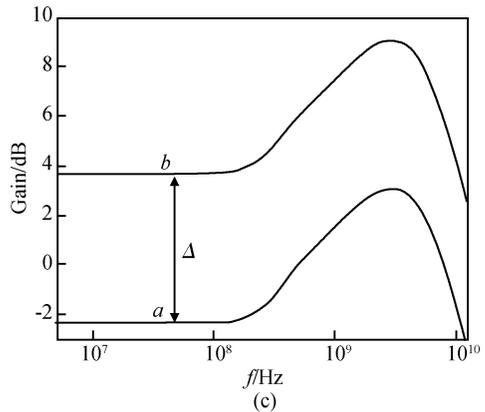
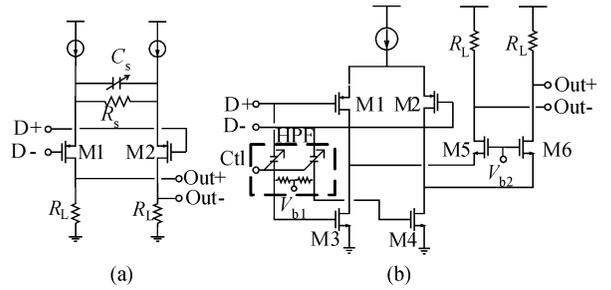
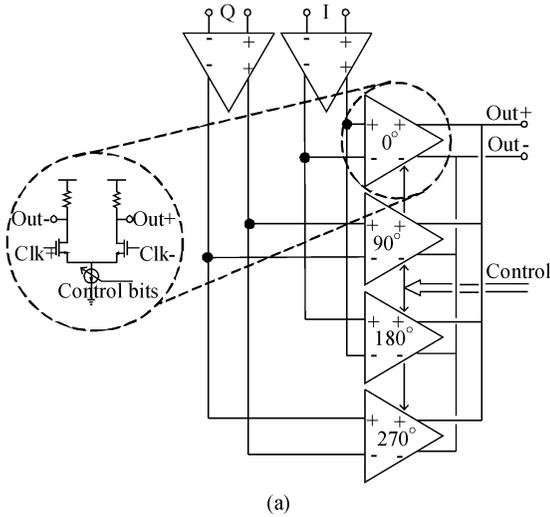


图 5 带前馈均衡的接收预放大器 (a) 传统源衰减结构设计<sup>[2]</sup>; (b) 本设计; (c) 传输特性曲线  
Fig. 5 Pre-amplifier with FFE (a) Traditional design based on source degradation<sup>[2]</sup>; (b) Our design; (c) Transfer curves of (a) and (b)

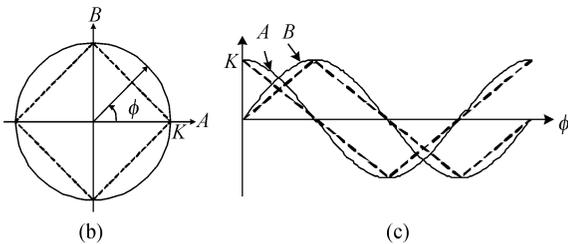
并输出. 因此,它是通过提高接收信号的高频增益来达到均衡信号的目的. 由公式(3)可知它的低频增益近似为  $g_{m1} R_L$ , 而  $g_{m1}$  要大于  $2/R_s$ . 同样从图 5(c) 中可以看出, (b) 电路的增益要远大于 (a) 电路的增益. 此电路在不增加额外功耗的基础上提高信号的整体增益,而使用传统源衰减结构电路的接收器只能通过增加额外放大级来实现,不仅功耗要增大,而且结构会变复杂.

由于串行通信中发送端不提供与数据同步用的时钟,因此接收器需要利用时钟恢复电路在接收到的数据中提取出相位信息,再用恢复出的时钟对信号进行采样. 基于传统模拟锁相环结构的时钟恢复电路<sup>[5,6]</sup>, 每路收发器通道至少需要一个锁相环来跟踪输入数据相位并提供采样时钟. 而在实际应用中,一颗芯片要集成几路到几十路收发器,这样就需要几个到几十个锁相环电路,会浪费很多功耗. 本设计将产生采样时钟的模拟锁相环电路作为公共模块,让所有的收发器通道共享使用,而在每个通道中用数字锁相环来完成相位跟踪锁定的功能. 这样,模拟锁相环电路功耗可以分摊到每路收发器通道中,大大降低了每通道收发器的平均功耗.

在本设计中,时钟数据恢复电路包括数字控制



(a)



(b)

(c)

图 6 相位插值器 (a) 电路; (b) 输出幅度; (c) 输出相位 (控制字  $A^2 + B^2 = K^2$  (实线)  $A + B = K$  (虚线))

Fig. 6 Phase interpolator (a) Circuits; (b) Amplitude of output signal; (c) Phase of output signal (Control word  $A^2 + B^2 = K^2$  (real line)  $A + B = K$  (dashed line))

电路和相位插值器. 数字控制电路通过控制相位插值器来完成时钟相位的调整. 相位插值器的输入是模拟锁相环提供的 I/Q 两路相位差  $90^\circ$  的时钟. 假设 I/Q 分别为正弦函数和余弦函数, 根据三角函数公式

$$A \sin x + B \cos x = \sqrt{A^2 + B^2} \sin(x + \phi) \quad (5)$$

其中  $\phi = \arctan(B/A)$ , 角度  $\phi$  是插值后得到的相位. 电路如图 6(a) 所示. 相邻两个差分对的输入信号相位差  $90^\circ$ , 对系数  $A$  和  $B$  的调整是通过改变差分对的尾电流大小来实现的, 差分对尺寸可以根据  $g_m/C_{gate}$  来进行优化<sup>[4]</sup>. 由公式  $\phi = \arctan(B/A)$  可知, 通过调整系数  $A$  和  $B$  就可以改变采样时钟的相位, 使得输入数据能够被正确采样.

采用  $A + B = K$  ( $K$  为常数) 的编码方式来调整系数, 虽然译码逻辑相对简单, 但是会导致相位插值器的输出时钟信号幅度不恒定, 如图 6(b) 中虚线所示, 并且输出相位的线性度也会受到影响, 如图 6(c) 中虚线所示. 输出时钟幅度在  $\phi = 45^\circ$  时最小, 大约只有  $\phi = 0^\circ$  时的 0.7 倍. 时钟信号幅度过小会导致

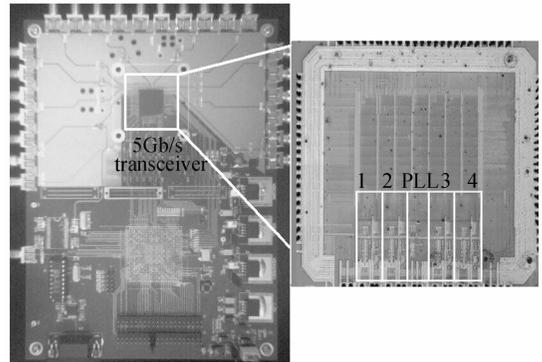


图 7 串行收发器测试电路板和芯片照片

Fig. 7 Photos of test board and transceiver die

采样器分辨率下降, 从而影响接收器的灵敏度. 由公式(5)可知, 如果控制字  $A$  和  $B$  满足  $A^2 + B^2 = K^2$ , 则输出信号幅度始终保持在半径为  $K$  的圆周上. 相位插值器输出时钟信号幅度能够保持恒定, 并且具有更好的线性相位特性. 改进编码方案, 重新编码后相位插值器的输出信号幅度与相位如图 6(b) 和图 6(c) 中实线所示. 为了保证比较高的相位调整精度, 相位插值器采用 7bit 控制字.

### 3 测试结果

测试芯片使用 TSMC  $0.13\mu\text{m}$  标准 CMOS 工艺制造, 采用 BGA 形式封装. 芯片总面积为  $3.5\text{mm} \times 4\text{mm}$ , 每个发送器面积为  $0.14\text{mm}^2$ , 接收器面积为  $0.13\text{mm}^2$ . 测试板和芯片照片如图 7 所示. 测试板为芯片提供 1.0V 和 3.3V 两组电源, 分别对核心模块和 I/O 模块供电. 4 条收发通路总功耗为 508mW, 平均每条通路功耗为 127mW ( $1\text{Tx} + 1\text{Rx} + 1/4\text{PLL}$ ). 测试所用仪器为安捷伦 54854A 和 N4903A.

图 8 所示为发送器工作在 5GHz 时钟下的输出数据波形眼图. 图 9 所示为发送器输出波形抖动的柱状图. 测试表明发送器输出抖动的均方根 (RMS) 值为 4ps.

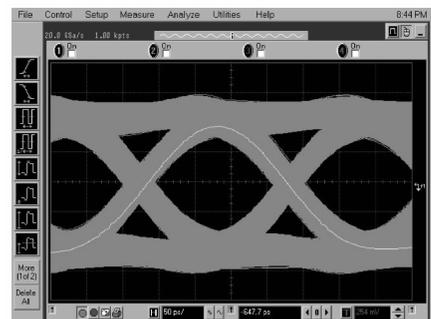


图 8 发送器输出眼图

Fig. 8 Output eye diagram of transmitter

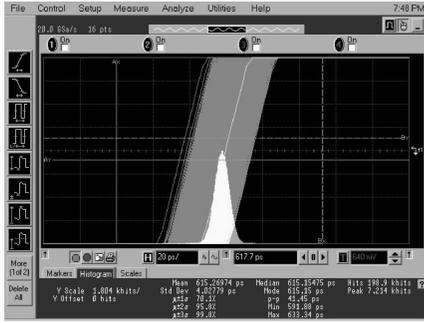


图 9 发送器输出抖动柱状图

Fig. 9 Jitter histogram of transmitter output

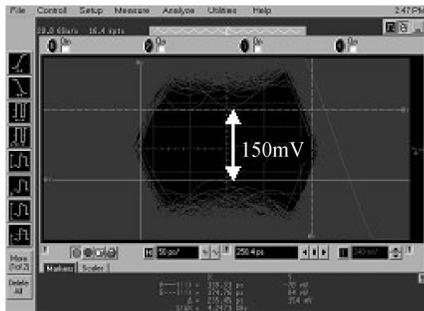


图 10 接收信号眼图

Fig. 10 Eye diagram of received signal

接收器的测试数据采用 PRBS15 伪随机数序列. 在 2.5Gb/s 下, 接收的差分信号眼图张开幅度为 150mV, 张开宽度为 0.5UI (1UI = 400ps), 信号共模干扰抖动峰值为 185mV. 接收器输入信号如图 10 所示, 测试结果表明接收器误码率小于  $10^{-12}$ , 完全满足 PCI Express 1.1 协议的要求.

相位插值器传输特性测试结果如图 11 所示. 输入时钟频率为 5GHz. 图中 x 轴为采样点, y 轴为采样点处的时钟相位, 控制信号从最小值以最小步长递增至最大值. 从测试结果可以清楚看出, 相位插值器输出信号相位单调, 并且具有良好的线性度.

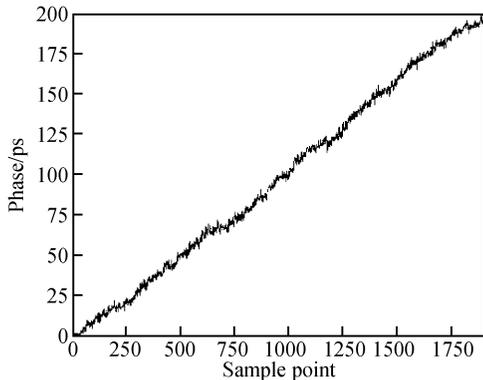


图 11 相位插值器传输特性

Fig. 11 Transfer curve of phase interpolator

表 1 串行收发器性能总结

Table 1 Transceiver performance summary

Process	0.13 $\mu$ m CMOS
Power supply	1V
Speed	2.5~5Gb/s
Power consumption	127mW/channel
Jitter (RMS)	4ps
Sensitivity	150mV Vp-p differential

表 2 收发器功耗对比

Table 2 Power consumption comparison

	Speed (Gb/s)	Power consumption/mW	Process / $\mu$ m
Ref.[5]	3.125	160	0.13
Ref.[6]	2.5	175	0.18
Our design	5	127	0.13

## 4 结论

设计并实现了一种采用 0.13 $\mu$ m CMOS 工艺制造的工作速率为 5Gb/s 的低电压低功耗串行收发器. 在 1V 工作电压下, 每条通道的功耗为 127mW. 发送器和接收器分别采用了预加重和前馈均衡技术来消除码间串扰. 时钟恢复电路中的相位插值器改进了编码. 测试结果表明, 相位插值器输出信号相位单调, 并且具有良好的线性度. 在 2.5GHz 时钟频率、输入信号差分峰-峰值为 150mV 条件下, 接收器误码率小于  $10^{-12}$ , 完全满足 PCI Express 1.1 协议的要求.

**致谢** 作者感谢 IDT 科技(上海)有限公司王晖博士的指导, 以及陆卫芬、李敏所做的版图工作和商俊强所做的测试工作.

## 参考文献

- [1] Razavi B. Prospects of CMOS technology for high-speed optical communication circuits. IEEE J Solid-State Circuits, 2002, 37(9): 1135
- [2] Krishnapura N, Barazande-Pour M. A 5Gb/s NRZ transceiver with adaptive equalization for backplane transmission. ISSCC, 2005: 60
- [3] Wang Hui, Jiang Xicheng. A quad multi-speed serializer/deserializer with analog adaptive equalization. Symposium on VLSI Circuits, 2004: 340
- [4] Muthali H S, Thomas T P, Young I A. A CMOS 10-Gb/s SONET transceiver. IEEE J Solid-State Circuits, 2004, 39(7): 1026
- [5] Wadhwa R, Aggarwal Edwards A J. A low-power 0.13 $\mu$ m CMOS OC-48 SONET and XAUI compliant SERDES. Custom Integrated Circuits Conference, 2003: 577
- [6] Younis A, Boecker C, Hossain K. A low jitter, low power, CMOS 1.25-3.125Gbps transceiver. ESSCIRC, 2001: 121

## A Low Voltage Low Power CMOS 5Gb/s Transceiver

Sun Yehui<sup>1,†</sup>, Jiang Lixin<sup>2</sup>, and Qin Shicai<sup>1</sup>

(1 *College of Information Science and Technology, Nankai University, Tianjin 300071, China*)

(2 *IDT (Shanghai) Co. Ltd., Shanghai 200233, China*)

**Abstract:** A low voltage and low power SerDes transceiver implemented in 0.13 $\mu$ m CMOS is described. The power supply voltage is 1V, and the operating frequency range is from 2.5 to 5GHz. The transmitter includes a 20 : 1 serializer and a transmission driver, the latter of which uses pre-emphasis architecture for channel compensation. The receiver employs two 1 : 20 deserializer, an input signal pre-amplifier, and a clock and data recovery circuit. The pre-amplifier employs a novel architecture, consisting of a feed-forward equalizer to cancel ISI. The measured transceiver power consumption is 127mW/channel. The RMS jitter of the transmitter output is 4ps. Test results indicate the receiver BER is less than  $10^{-12}$  when the input signal amplitude is 150mV differential peak to peak and the eye closure is 0.5UI.

**Key words:** low voltage; low power; transceiver; equalization

**EEACC:** 1220; 1280

**Article ID:** 0253-4177(2007)08-1283-06

---

<sup>†</sup> Corresponding author. Email: sunyehui@mail.nankai.edu.cn

Received 11 January 2007, revised manuscript received 5 April 2007