

一种 $0.13\mu\text{m}$ 混合信号 CMOS 高速 USB 2.0 收发器

王峻松 朱潇挺 李伟男 洪志良[†]

(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘要: 研制了一种采用 $0.13\mu\text{m}$ 混合信号 CMOS 工艺的高速 USB 2.0 收发器. 为适应工艺和系统指标的要求, 改进了高速电流模式差分比较器, 带跳变窗口使能逻辑鉴相器和模拟连续调整共模反馈电路等电路模块的设计. 电路在 SMIC 流片后经测试, 结果表明预期功能均得以实现, 发送数据抖动(方均根)小于 53ps, 接收误码率小于 10^{-12} , 电源电压为 1.2V, 功耗为 42.5mW, 芯片面积为 $900\mu\text{m} \times 700\mu\text{m}$.

关键词: 高速差分比较器; 锁相环; 环路滤波器; 共模反馈

EEACC: 1280

中图分类号: TN492

文献标识码: A

文章编号: 0253-4177(2007)08-1278-05

1 引言

近年来, 集成电路制造工艺取得了飞速的发展, 目前主流工艺的特征尺寸已经减小到 $0.18\mu\text{m}$, 而 $0.13\mu\text{m}$ 以及更小尺寸的工艺也逐渐成熟. 工艺的发展带来了集成度的增加, 这使得片上系统(SOC)成为当前芯片设计的发展趋势之一. SOC 中既有数字电路也有模拟电路, 比如单片数码相机系统中, 图像处理部分是数字电路, 连接 PC 或者打印机的通用串行总线(USB)接口则是模拟电路. 工艺的发展带来了晶体管参数的变化, 因此 SOC 中的模拟电路设计面临着巨大挑战, 比如传统的带隙基准电路的输出电压为 1.2V 左右, 而 $0.13\mu\text{m}$ CMOS 电路的电源电压也只有 1.2V, 电路显然无法工作, 其他一些传统结构的基本电路单元也面临着类似的困难.

2000 年公布的 USB 2.0 协议^[1]中, 首次规定了 480Mbps 的高速模式, 目前高速 USB 已成为 PC 及外围设备必备的通信接口, 在 SOC 设计中也已被广泛采用^[2]. 随着集成电路工艺和 SOC 设计的发展, USB 将得到更广泛的应用, 因此在先进的工艺下设计 USB 收发器是非常有意义的.

本文基于 $0.13\mu\text{m}$ 混合信号 CMOS 工艺, 设计了一种高速 USB 收发器芯片, 一些传统的电路模块为适应新工艺特性而有了很多改进设计. 电路在中芯国际(SMIC)流片, 测试结果表明设计是成功的.

2 系统结构

图 1 是高速 USB 收发器的整体框图. 电路对外

的信号接口有两种: (1) 控制器接口, 符合 USB 2.0 收发器宏单元接口协议(UTMI)^[3]; (2) USB 电缆接口, 符合 USB 2.0 协议.

USB 采用半双工方式, 一个收发器中的发送器与接收器分时工作. 发送数据时, 首先控制器将数据通过 UTMI, 以并行方式传送到发送器, 发送器把并行数据换成串行数据, 然后进行位填充, 再进行非归零翻转(NRZI)编码, 最后以电流模式逻辑(CML)驱动 USB 电缆.

接收数据时, 接收器首先对来自 USB 电缆的信号进行均衡, 然后以此作为参考来调整本地振荡器的相位, 用恢复出的时钟来采样均衡后的信号, 得到高速串行码流, 再进行 NRZI 解码、去位填充、串并转换, 得到的数据包通过 UTMI 送到控制器中. 接收方恢复出的数据应当与发送方发送的数据一致.

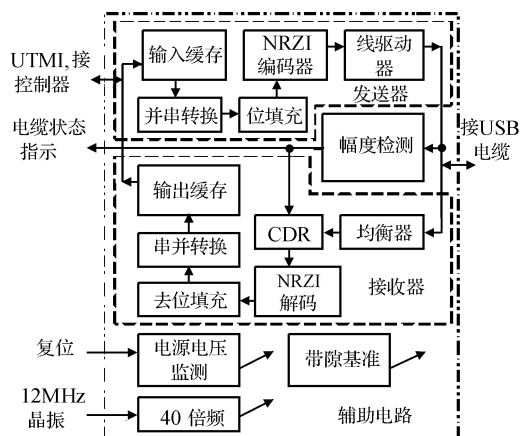


图 1 高速 USB 收发器总体框图

Fig. 1 Block diagram of high speed USB transceiver

[†] 通信作者. Email: zlhong@fudan.edu.cn

2007-01-18 收到, 2007-03-30 定稿

本文采用了双环路结构的时钟数据恢复电路(CDR)^[4],包括一个锁频环和一个锁相环,两个环路共用环路滤波器和压控振荡器.当 USB 电缆上没有信号传送,处于两个数据包之间的空闲时,锁频环工作,锁相环被禁止.锁频环中包括鉴频器(FD),它以片外的 12MHz 晶振频率为参考,使压控振荡器的输出频率保持在 480MHz 附近.当 USB 电缆上信号传送过来时,锁相环工作,锁频环被禁止.锁相环中有一个鉴相器(PD),它以接收的码流中的时钟信息为参考,调整压控振荡器的输出相位.每个数据包前有由连续跳变组成的同步域,以便接收器调整本地时钟的相位.

3 主要电路改进设计

0.13 μm 混合信号 CMOS 工艺下电路的电源电压仅为 1.2V,为此本设计对传统的 USB 收发器的部分电路单元进行了改进和设计,主要包括幅度检测电路、鉴相器、环路滤波器和共模反馈电路等.

3.1 幅度检测电路

收发器输出以两个标志用来指示电缆状态,一个是空闲(squelch),一个是无连接(disconnect).电缆状态是根据电缆上差分信号幅度来区分的,“空闲”和“无连接”分别有各自的判别阈值电压,其电路结构基本一致.本设计中使用幅度检测电路来实现状态指示,电流模式高速差分比较器(见图 2)是其中的核心电路.

待比较的差分电压信号先通过电平平移(level shifter)转换到合适的电压范围,电平平移不改变信号的差分电压,不影响比较结果.在高速差分比较器中,信号 V_{ip} , V_{in} , V_{rp} 和 V_{rn} 分别通过 NM1, NM3, NM4 和 NM2 转换成电流 i_{ip} , i_{in} , i_{rp} 和 i_{rn} .可得

$$i_p = i_{ip} + i_{rn} \quad (1)$$

$$i_{\text{discharge}} = i_{in} + i_{rp} \quad (2)$$

PM1 和 PM2 构成电流镜,因此 $i_{\text{charge}} = i_p$.节点 A 处与地之间可以看作一个电容负载,如果充电电流 i_{charge} 大于放电电流 $i_{\text{discharge}}$,则节点 A 的电平就

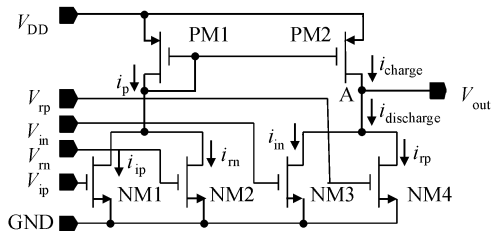


图 2 高速差分比较器

Fig. 2 Schematic of differential comparator

表 1 高速差分比较器的主要仿真性能
Table 1 Simulated performance of comparator

| 仿真条件 | FF,1.32V, TT,1.20V, SS,1.08V, | | |
|-------------------|-------------------------------|------|------|
| | 273K | 300K | 373K |
| 响应延时/ps | 37 | 42 | 48 |
| 比较阈值/mV | 131 | 124 | 107 |
| 增益/dB | 82.4 | 81.6 | 80.0 |
| 功耗/ μW | 110 | 62 | 30 |

会很快被拉高到接近 V_{DD} ,即输出逻辑 1.此时有

$$i_{ip} + i_{rn} > i_{in} + i_{rp} \quad (3)$$

$$i_{ip} - i_{in} > i_{rp} - i_{rn} \quad (4)$$

可见,当 $V_{ip} - V_{in} > V_{rp} - V_{rn}$ 时,电路输出逻辑 1;反之,电路输出逻辑 0.

采用 SMIC 0.13 μm CMOS 器件模型在 Spectre 中对比较器进行仿真,主要结果列于表 1.可见其灵敏度和响应速度都很高,满足高速 USB 收发器的需要.

3.2 鉴相器

时钟同步信息包含在电缆上传送的数据码流中,接收器采用锁相环来提取这些信息.常用的鉴相器往往既对相位差敏感,又对频率差敏感,即鉴频鉴相器(PFD),不能直接用在接收器锁相环中.本设计以一种常见的 PFD 为基础,通过外围逻辑电路的控制使之只对相位差敏感(见图 3).采用 PFD 加外围逻辑的方式拓宽了鉴相器结构的选择范围,方便采用合适的结构以提高电路性能.

当接收码流中出现跳变时,窗口使能逻辑在其后输出持续时间大致为一个位传输时间(约 2.08ns)的使能信号,接收码流延时了约半个位传输时间后作为 PFD 的参考时钟,因此对于 PFD 而言,使能窗口是以跳变为中心在其前后各有半个位传输时间.当使能信号出现时,PFD 开始工作,其他时间 PFD 被禁止.锁相环的工作原理是:在码流中的跳变到来时,鉴相器调整本地压控振荡器的输出相位;当码流中没有跳变时,鉴相器被复位,依靠环路滤波电容使压控振荡器保持输出相位.PFD中输入参考

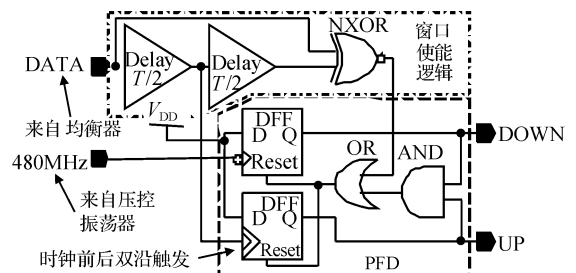


图 3 带窗口使能电路的鉴相器

Fig. 3 Phase detector with window-enabling logic

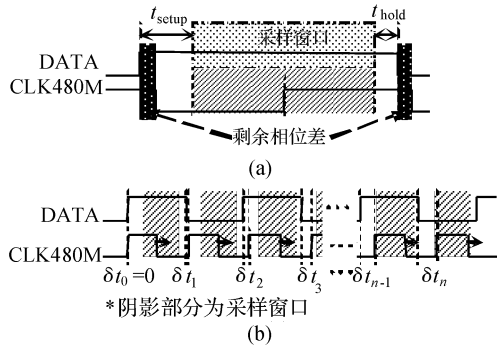


图 4 相位调整的过程 (a)数据采样窗口;(b)相位调整时间最长的情况
Fig. 4 Locking process of PLL (a) Data sampling window;(b) Case of the longest phase adjusting time

时钟的触发器采用了双沿触发结构,在码流的上升沿和下降沿各做一次相位比较,有利于降低振荡器输出时钟的抖动。

3.3 环路滤波器

接收器锁相环中采用 RC 二阶低通差分滤波器,作为环路滤波器(LF)^[6].为了降低锁相环输出时钟的抖动,一般会采用大电容以减小环路滤波器的带宽.但环路带宽越窄,锁相环的锁定时间越长,甚至导致 CDR 恢复出的数据出现错误。

如图 4(a)所示,考虑到触发器的建立时间 t_{setup} 和保持时间 t_{hold} ,接收器时钟的上升沿一定要处于图中所标出的窗口中才能恢复出正确的数据.接收器时钟的上升沿调整到窗口中之前,恢复出的数据是错误的。

每个数据包到来时,本地压控振荡器时钟与数据码流的相位差会有所不同,因此锁相环把本地时钟从采样窗口外调整到采样窗口内,所需的时间也不相同.图 4(b)所示的是所需调整的相位差最大的情况:当同步域刚刚开始传送时,压控振荡器的时钟上升沿与同步跳变沿是完全对齐的,调整的方向是将压控振荡器的输出相位向后推,那么在进入采样窗口前要调整的相位差(以时间计)就是 t_{setup} .如果在此情况下,锁相环能够在数据开始传输前把时钟调整到采样窗口中,则 CDR 可以正确恢复任何数据包。

压控振荡器的输出时钟周期 T 与控制电压 V_{cont} 相关.这里定义压控振荡器的周期灵敏度

$$K_{tvco} \equiv dT(V_{cont})/dV_{cont} \quad (5)$$

它表示控制电压变化一个单位时,输出时钟周期的变化量.电荷泵以充电电流 i_{cp} 向滤波电容 C 充电,每个同步跳变鉴相器都会调整一次压控振荡器的输出相位. t_{setup} 比半个位传输时间 $T/2$ (约

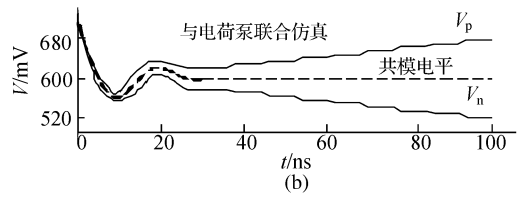
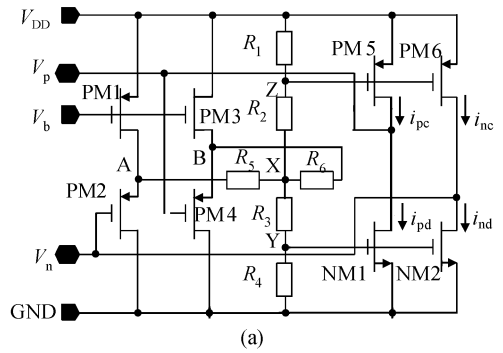


图 5 模拟连续调整共模反馈电路 (a)原理图;(b)波形
Fig. 5 Analog continuously-adjusting CMFB (a) Principle drawing;(b) Waveform

1.04ns)要小得多,因此每个同步跳变电荷泵的充电时间近似等于 $T/2$,相应地控制电压改变 $\delta V_{cont} = i_{cp} T/2C$,对应的压控振荡器的输出周期变化量

$$\delta T = K_{tvco} i_{cp} T/2C \quad (6)$$

在图 4(b)所示的最恶劣状况下,包头到来时接收器时钟的上跳沿与同步跳变沿的时间差 $\delta t_0 = 0$,在第 1 个同步跳变到达后时间差调整为 $\delta t_1 = \delta T$,依此类推,在第 $n(n = 1, 2, \dots)$ 个同步跳变到达后

$$\begin{aligned} \delta t_n &= n\delta T + (n-1)\delta T + \dots + \delta T \\ &= n(n+1)K_{tvco} i_{cp} T/4C \end{aligned} \quad (7)$$

锁相环应该在大约 20 个同步跳变之内,把相位调整到采样窗口中,即 $\delta t_{20} = t_{setup}$.由公式(7)可得

$$C = 4t_{setup}/[20(20+1)K_{tvco} i_{cp} T] \quad (8)$$

公式(8)的计算结果是 CDR 能够正确恢复数据的最大滤波电容值.当环路滤波电容大于公式(8)的结果时,CDR 会因为本地时钟相位调整过慢而不能正确恢复数据。

3.4 共模反馈电路

本设计中压控振荡器的控制电压采用差分信号,其输入范围可以达到 $-1.2 \sim +1.2V$,既减小了压控振荡器的输出抖动,又可以提高抗共模干扰的能力.为了稳定控制电压信号的共模电平,设计中采用了模拟连续调整共模反馈电路(CMFB)^[7].

如图 5(a)所示,PM1~4 组成了一个电平平移电路,因此节点 A 的电平将跟随控制电压负端 V_n 的电平,节点 B 的电平跟随控制电压正端 V_p 的电

平. 通过 $R_1 \sim R_6$ 组成的电阻网络的作用, 节点 X, Y, Z 的电平分别与 V_p 和 V_n 的共模电平同步变化. V_p 和 V_n 两条线分别有一个放电通路 (PM5 和 PM6) 和一个充电通路 (NM1 和 NM2). PM5 和 PM6 的尺寸是完全相同的, 源极和栅极也是分别接在一起的, 且两者都处于饱和区, 因此 V_p 和 V_n 的充电电流 i_{pc} 和 i_{nc} 始终相等. 同样, 两条线上的放电电流 i_{pd} 和 i_{nd} 也始终相等. 可见共模反馈电路不会影响到 V_p 和 V_n 的差分电压. 当电路处于平衡状态时, 充放电电流 i_{pc} , i_{pd} , i_{nc} 和 i_{nd} 都是相等的, 对于 V_p 和 V_n 来说, 既没有充电也没有放电, 这时的共模电平就是预期值. 如图 5(b) 所示, 当 V_p 和 V_n 的共模电平升高时, 节点 Y 和 Z 的电平也随之升高, 放电电流 i_{nc} 和 i_{nd} 就会增大, 同时充电电流 i_{pc} 和 i_{pd} 减小, 因此 V_p 和 V_n 以同样的速率放电, 最终共模电平回归到预期值. 图中可见, 由于电荷泵的作用, V_p 和 V_n 的差分电压也在逐步增大, 共模电平的调整并没有影响到差分电压. 当共模电平降低时也会发生类似的过程. 预期值可以通过改变充电管和放电管的尺寸比例来调整.

与开关电容网络等形式的共模反馈电路相比, 模拟连续调整共模反馈电路的优点是调整过程平滑, 没有时钟馈通问题, 被调整的信号变化平稳, 因此减小了压控振荡器输出时钟的抖动.

4 仿真实验

电路仿真实验时, 采用 Verilog-A 语言搭建验证平台. 验证平台以被测电路为中心, 在其输入端连接激励波形发生器, 在其输出端连接波形检验器. 以发送器的验证为例, 激励波形发生器根据验证者的指令产生数据, 这些数据通过 UTMI 传送到被测电路, 同时这些数据还在验证平台内部传送到波形检验器. 当被测发送器开始向 USB 电缆发送数据时, 波形检验器模拟接收器的功能接收数据, 然后比对接收到的数据是否与激励发生器产生的数据一致, 并且它要检验 USB 电缆上脉冲的边沿、宽度、抖动等指标是否符合规范的要求, 检验结果直接打印在屏幕上或文件中. 测试数据在验证过程中, 从激励产生到输出检验形成一个完整的环路, 因此称闭环验证. 与传统的输出波形人工检验的验证过程相比, 闭环验证可以减小验证人员工作量, 避免人为疏漏, 缩短验证时间, 提高工作效率.

电路使用 Spectre 进行仿真, 采用 SMIC 0.13 μm 混合信号 CMOS 工艺器件模型, 温度为 300K, 电源电压为 1.2V, 工艺角为 TT. 主要仿真结果列于表 2.

表 2 电路主要的仿真结果

Table 2 Simulated performances of transceiver

| | |
|--------------------|---------------|
| 功耗(空闲时/接收时/发送时)/mW | 9.6/10.8/40.8 |
| 接收时钟相位调整时间 | <18 个位时间 |
| 发送数据抖动(峰-峰)/ps | 28 |
| 接收时钟抖动(峰-峰)/ps | 38 |

5 测试结果

本收发器在 SMIC 采用 0.13 μm Mixed Signal & RF 1P8M Salicide 1.2/3.3V 工艺流片. 图 6 所示是流片后芯片的显微照片. 为了满足设计规则的金属覆盖率要求, 提高芯片制造质量, 芯片各层金属都有很多栅格形图案覆盖在空白区域, 因此, 照片中大部分区域不能清楚地看到电路连线和器件. 芯片的主要指标为: 芯片面积 1.936mm \times 1.936mm, 不包含 PAD 的核心面积 900 μm \times 700 μm . 芯片面积是受 PAD 限制的, 核心电路面积占总面积的比例并不大, 在 PAD 与核心电路之间, 填充了哑元器件. 主要测试设备包括泰克公司制造的 6GHz 带宽、20GS/s 采样率的数字存储示波器 TDS6604, 配以 5GHz 带宽的差分高频探头 P7350, 以及一块 Xilinx FPGA Virtex-II Pro XC2VP30 开发板, 通过它来提供 UTMI 接口, 完成发送器激励的产生和接收器数据校验功能. 测试波形如图 7 所示, 发送器和接收器的功能均完全实现, 发送波形的抖动均方根值为 53ps, 眼图高度大于 400mV, 接收误码率小于 10^{-12} . 表 3 列出了主要性能指标, 可见由于工艺的发展和电路结构的改进, 本芯片的功耗比同类芯片有大幅度的降低, 更适合集成于 SOC 中.

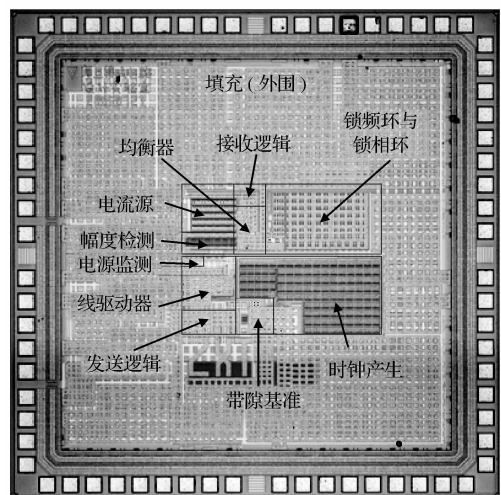
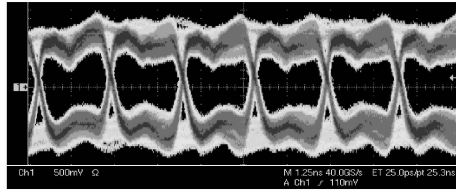
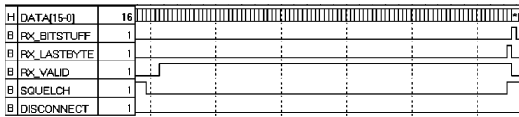


图 6 芯片显微照片

Fig. 6 Chip microphotograph of USB transceiver



(a)



(b)

图 7 收发器的测试波形 (a) TDS6604 截取的发送器波形; (b) Xilinx Chip Scope 截取的接收器波形

Fig. 7 Waveforms of chip testing (a) Waveforms of sender; (b) Waveforms of receiver

表 3 芯片性能及与同类芯片的比较

Table 3 Performance summary

| | 文献[5] | 文献[2] | 文献[8] | 本文 |
|-------------------|--------------------|--------------------|--------------------|--------------------|
| 工艺 | 0.35 μm | 0.25 μm | 0.18 μm | 0.13 μm |
| 电源/V | 3.3 | 2.5 | 1.8 | 1.2 |
| 面积/ mm^2 | - | 1.65 | 1.06 | 0.63 |
| 误码率 | - | 10^{-12} | - | 10^{-12} |
| 抖动/ps | 150 | - | - | 53 |
| 功耗/mW | 142.4 | 225 | 112 | 42.5 |

6 结论

本文成功设计了一种采用 0.13 μm 混合信号 CMOS 工艺的高速 USB 收发器. 设计中传统

的电路模块进行了改进, 以适应只有 1.2V 的低电源电压. 应用闭环仿真验证, 对电路功能、性能进行了仿真. 电路采用 SMIC 0.13 μm 混合信号 CMOS 工艺流片后, 设计制作测试板对其进行了功能、性能测试, 测试结果与仿真结果基本一致, 可见芯片功能满足设计要求.

致谢 作者衷心感谢 SMIC 的杨立吾先生、徐雯女士和多新中博士.

参考文献

- [1] Compaq, Hewlett-Packard, Intel, et al. Universal serial bus specification. Rev 2.0ed, 2000
- [2] Nam J J, Kim Y J, Choi K H, et al. A UTMI-compatible physical-layer USB 2.0 transceiver chip. Proceedings IEEE International SOC Conference, Portland, 2003; 309
- [3] Intel Corporation. USB 2.0 transceiver macrocell interface (UTMI) specification. Rev 1.05ed, 2001
- [4] Guo Gan. Clock recovery for high speed serial link. Doctoral Dissertation of Fudan University, 2005 (in Chinese) [郭淦. 高速串行通信中的时钟恢复技术. 复旦大学博士学位论文, 2005]
- [5] Jou S J, Kuo S H, Chiu J T, et al. A serial link transceiver for USB2 high speed mode. IEEE International Symposium on Circuits and Systems, Sydney, 2001, 4: 72
- [6] Razavi B. Design of integrated circuits for optical communications. Beijing: Tsinghua University Press, 2005 (in Chinese) [罗扎威. 光通信集成电路设计. 北京: 清华大学出版社, 2005]
- [7] Djahanshahi H, André C, Salama T. Differential CMOS circuits for 622-MHz/933-MHz clock and data recovery applications. IEEE J Solid-State Circuits, 2000, 35(6): 847
- [8] SMSC. USB3290 datasheet, small footprint hi-speed USB 2.0 device PHY with UTMI Interface, Rev. 1.2. SMSC, 2006

A 0.13 μm Mixed-Signal CMOS High Speed USB 2.0 Transceiver

Wang Junsong, Zhu Xiaoting, Li Weinan, and Hong Zhiliang[†]

(State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203, China)

Abstract: A USB 2.0 high speed transceiver was designed in 0.13 μm mixed-signal CMOS technology. A high-speed current-mode differential comparator, a phase detector with window-enabling logic, and an analog continuously-adjusting CMFB were developed to meet the specifications and 0.13 μm technology. The transceiver has been fabricated in SMIC. The transmitter jitter was 53ps, and the bit error rate of the receiver was less than 10^{-12} . The power consumption was 42.5mW at a power supply of 1.2V, and the chip area was 900 $\mu\text{m} \times 700\mu\text{m}$.

Key words: differential envelope detector; phase locked loop; loop filter; common mode feedback

EEACC: 1280

Article ID: 0253-4177(2007)08-1278-05

[†] Corresponding author. Email: zlhong@fudan.edu.cn

Received 18 January 2007, revised manuscript received 30 March 2007