

栅压对 LDMOS 在瞬态大电流下工作的温度影响*

李梅芝[†] 陈星弼

(电子科技大学微电子与固体电子学院, 成都 610054)

摘要: 研究 LDMOS 在一次雪崩击穿后的大电流区, 栅压对器件内部温度的影响. 结果表明: 温度随正栅压升高而升高, 随负栅压升高而降低, 并分析了有源区内电场强度、电流密度和功率密度随栅压的变化规律. 从而证明, 与 LDMOS 栅接地时相比, 正栅压降低了器件的静电放电能力, 而负栅压则提高了器件的静电放电能力.

关键词: 栅压; 温度; 功率密度

EEACC: 2560R

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2007)08-1256-06

1 前言

在所有毁坏硅衬底集成电路 (integrated circuits, ICs) 的因素中, 静电放电 (electro-static discharge, ESD) 和过度电性应力 (electro-over stress, EOS) 分别占约 10% 和 50% 的比例, 很多情况下 EOS 是因 ESD 引起的^[1]. ESD/EOS 带来的高电场或瞬间大电流会令器件或 ICs 局部发热, 引起绝缘层击穿, 多晶硅或金属连线烧毁, 钝化层破坏和 pn 结乃至器件或 ICs 的二次热击穿, 甚至融化硅片管芯^[2,3]. 就半导体功率器件而言, 在其工作过程中, 电能和自热引起的热能之间的内在关系, 限制器件功耗和安全工作区边界, 由电功耗引起的热效应令器件内部发热从而温度升高^[4,5]. LDMOS 因性能好、价格低和易于集成等优势, 在 ICs 中被广泛应用, 但是随着电子系统体积小功率增大, 如何确保其可靠性的问题已变得越来越关键. 例如, 高频开关电路中, 若电源器件的热效应得不到合理控制, 各环节的性能及寿命就会严重下降, 电源的可靠性就会受到严重影响; 第三代 (3G) 无线通讯中, LDMOS 器件的热特性影响到系统最重要的特性——线性度和效率. 线性度与器件热阻有关^[6,7], 器件工作的结温每升高 10°C, 在 1dB 压缩点 (即 P1dB) 的漏极效率就会下降约 2%; 要提高器件电流 (或功率) 密度必须考虑其热耗散问题, 故深入研究 LDMOS 器件的热特性及物理机制并提供解决方案是未来的发展方向^[8]. 汽车专用集成电路中, LDMOS 作为功率输出级器件, 其 ESD 能力是汽车电子可靠性的重要指标之一, 除降低其比导通电阻外, 优化其

电热安全工作区成为当前极其重要的问题^[3,9,10].

正常情况下, LDMOS 工作在线性区或饱和区. 当异常的 ESD 脉冲来临时, LDMOS 工作在一次雪崩击穿后的大电流区, 此时 LDMOS 自身有一定的静电放电能力, 故 LDMOS 是自保护器件. 近来, 关于 LDMOS 可靠性的论文分为两方面: 一方面, 研究如何提高 LDMOS 的 ESD 能力, 如栅极嵌位^[11]、几何图形^[12]、器件结构^[13~15] 等; 另一方面, 研究 LDMOS 内部的电热效应及物理机制, 以全面优化其电热安全工作区. 1998 年, Merchant 等人^[16] 证明了一个广泛用于汽车电子中的 65V-LDMOS 是因热效应而毁坏, 提出其能量容量仅与功率密度有关. 随后, 研究 LDMOS 热效应的工作增多^[17~21], 开始将一个创新的双极性晶体管解析模型用于 LDMOS, 阐述雪崩电离电流引发寄生晶体管导通而产生自热现象, 并明确将电和热两个安全工作区分开; Chung 等人^[22,23] 用热折回 (hot-snapback) 击穿机制证明了 LDMOS 器件热烧毁的地方位于温度最高点.

栅极电压也会影响器件自身的 ESD 能力, 例如, 在器件关断的栅接地期间, 或栅不接地的导通期间, 突然有同样的异常大电流脉冲来临, LDMOS 内部的热传导及温度变化等行为有何不同? 这涉及到栅极电压怎样影响器件自身 ESD 能力的问题. Mergens 等人^[24] 首次深入研究了栅压对 LDMOS 的触发电流、触发电压及维持电压的影响, 指出在触发点, 较低正栅压引起沟道下方的本征基区少子浓度的调制效应使基区电阻增加, 故一次折回的触发电流减少; 在触发点, 较高正栅压令厚场氧下方电子积累层形成, 增加雪崩电离产生的电子空穴对, 故一次折回的触发电压降低; 在大电流区, 因雪崩区距离

* 国家自然科学基金资助项目 (批准号: 60476036)

[†] 通信作者. Email: hanli@uestc.edu.cn

2007-01-22 收到, 2007-02-27 定稿

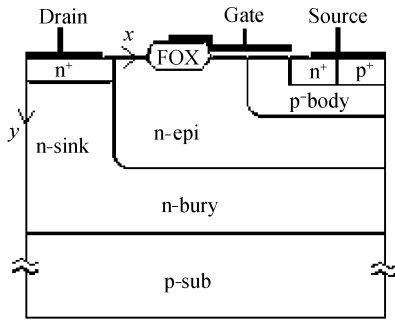


图 1 40V-LDMOS 结构示意图

Fig. 1 Cross-section indicating structure of 40V-LDMOS

沟道很远,故正栅压对维持电压几乎没有影响。

本文以和文献[24]同样的 LDMOS 结构为例,从栅压对器件内部电场强度、电流密度和功率密度的影响出发研究温度的变化,进行物理机制的分析,可以为深入研究和改善器件的热安全性能提供参考。

2 器件结构

本文以图 1 所示器件为例,该器件是普通 SPIC 中的 LDMOS,其漂移区由 n-epi 层构成,表面漏极(drain)通过重掺杂层 n-sink 和埋层 n-bury 连通,沟道由双扩散形成,p-body 通过 p⁺ 和欧姆接触与源 n⁺ 相连;该 LDMOS 内部有一个寄生 npn 晶体管,源极(source)是发射极,p-body 是基区,漏极则是集电极.当异常的 ESD 脉冲来临时,会有足够的电流流经 p-body,使 p-body 和源极的 n⁺ 正偏,从而 npn 管触发导通.npn 管触发导通后,在负阻区发生折回,进入一次雪崩击穿后的 ESD 保护中的大电流区.图 1 中定义漏极为坐标原点,从漏极到源极的水平方向为 x 的正方向,源极最右边在 10 μm 处;在从半导体表面到衬底的垂直方向为 y 的正方向.假设衬底厚度为 200 μm ;半导体的背面为热沉,其晶格温度恒定为 300K,采用 2D-MEDICI 电热耦合模型进行研究^[25].

3 结果与分析

假设注入漏极的瞬态大电流(如 ESD 脉冲)是 $1 \times 10^{-3} \text{ A}/\mu\text{m}$,上升和下降时间是 10ns,脉宽为 100ns.在脉冲结束的时刻,器件有源区内部最高温度位于栅电极下方 $y = 0.49\mu\text{m}$ 深度的漂移区内,在该深度 x 从 0 到 6 μm 的温度分布和功率密度(单位体积内的功率)如图 2 所示.其中负栅压的典型值为 -3, -5, -10 和 -14V;正栅压从 1V 依次增加

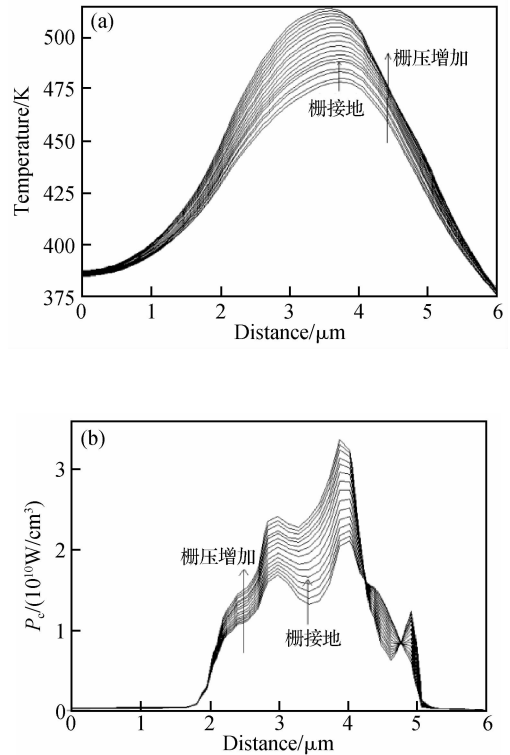


图 2 (a)温度随距离的分布;(b)功率密度随距离的分布

Fig. 2 (a) Temperature versus distance; (b) Dissipated power density versus distance

1V 直到 14V.由图 2 可知,栅压越大,最高温度越高,这主要是由对应的功率密度峰值也越大引起的。

功率密度随栅压升高而增加的原因如下.设在 LDMOS 内部有源区内每一点的无限小体积内的功率,即功率密度是 P_c ,则:

$$P_c = \mathbf{J} \cdot \mathbf{E} = \mathbf{J}_x \times \mathbf{E}_x + \mathbf{J}_y \times \mathbf{E}_y \\ = (\mathbf{J}_{nx} + \mathbf{J}_{px}) \times \mathbf{E}_x + (\mathbf{J}_{ny} + \mathbf{J}_{py}) \times \mathbf{E}_y \quad (1)$$

P_c 由 \mathbf{J} 和 \mathbf{E} 点乘所得, \mathbf{J} 和 \mathbf{E} 分别代表传导电流的电流密度和电场强度矢量,脚标 x 和 y 表示 x 方向和 y 方向,脚标 n 和 p 代表电子和空穴。

在电场和热场(即温度场)共同作用下,电子和空穴的电流输运方程分别如公式(2)和(3)所示^[26]:

$$\mathbf{J}_n = qn\mu_n \mathbf{E} + qD_n \nabla n + qnD_n^T \nabla T \quad (2)$$

$$\mathbf{J}_p = qp\mu_p \mathbf{E} - qD_p \nabla p - qpD_p^T \nabla T \quad (3)$$

(2)和(3)式中第一项和第二项分别是电场和载流子浓度梯度引起的电流;第三项是晶格温度梯度 ∇T 引起的热产生电流。

首先,分析 \mathbf{E} 随栅压的变化。

当大电流脉冲突然注入 LDMOS 的漏极时,内部寄生的 npn 晶体管触发导通,在负阻区发生折回,发生大的电导调制效应.与栅接地时相比,栅压为正值时,有源区的电导调制效应增强,漏极电压会逐渐减小, \mathbf{E} 和 \mathbf{E}_x 随栅压增加而略有减少,尽管 \mathbf{E}_y

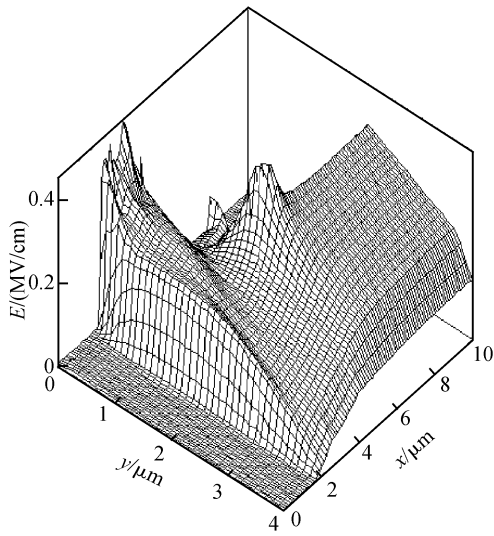


图 3 栅压为零时的总电场分布 z 方向表示电场强度, x 和 y 方向与图 1 所示一致, 图 4.5 和图 3 同.

Fig. 3 Distribution of electric fields when $V_{gs} = 0V$

有所增加, 但始终小于 E_x , 故总电场变化很小; 当栅压为负值时, 有源区的电导调制效应减弱, 漏极电压会增加, E 和 E_x 增加较大, 特别是在栅极下方, 出现一个甚至超过漏极附近的大电场, 这是由 E_y 的急剧增加造成的, 分别如图 3, 4 和 5 所示.

其次, 分析 J 随栅压的变化情况.

当 LDMOS 工作在一次雪崩击穿后的大电流区时, 其传导电流主要来源于 4 个方面: (1) npn 管触发导通电流; (2) 本征激发产生的载流子电流; (3) 雪崩电离电流; (4) 热产生电流.

因正栅压增加, 温度升高, 雪崩电离率减小, 故雪崩电离电流随正栅压增加而逐渐减少, 随着负栅

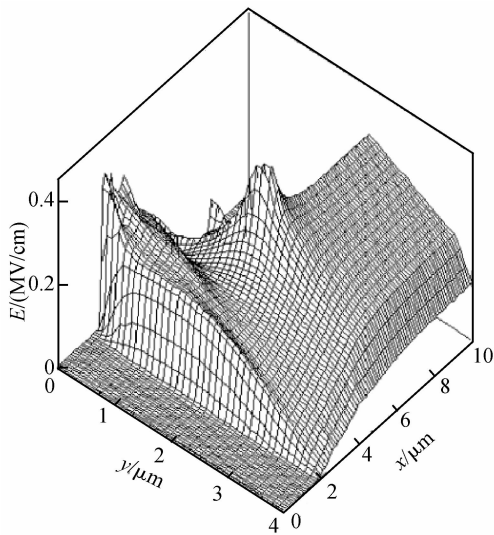


图 4 栅压为 10V 时的电场分布

Fig. 4 Distribution of electric fields when $V_{gs} = 10V$

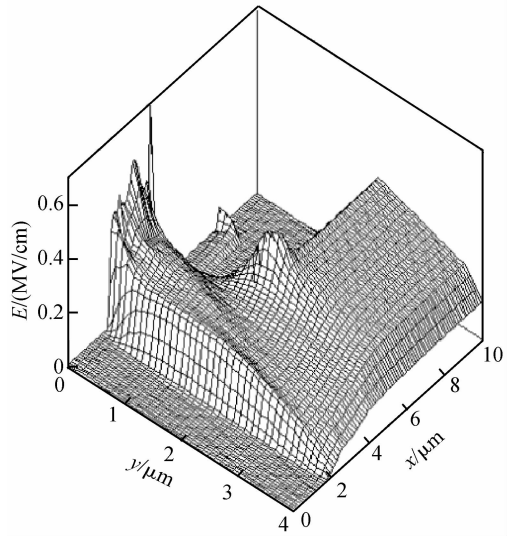


图 5 栅压为 -10V 时的总电场分布

Fig. 5 Distribution of electric fields when $V_{gs} = -10V$

压的增加而逐渐增加^[4]. 比如, 与栅接地相比, 雪崩电离电流在栅压为 10V 时减少约 7%, 在栅压为 -10V 时增加约 3%, 故雪崩电离电流对总电流的影响很小.

从图 2(a) 可知, 温度变化随着栅压的变化非常小. 栅压每变化 1V, 温度变化小于 2K. 故温度梯度引起的热产生电流对总电流的影响也很有限.

因此, 随着栅压的变化, J 的改变主要来源于 (1) npn 触发导通电流和 (2) 本征激发产生的载流子电流的变化.

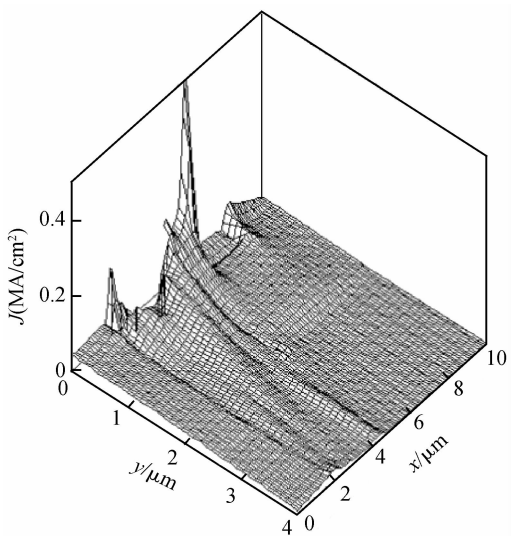


图 6 栅压为零时的传导电流分布 z 方向表示电流密度, x 和 y 方向与图 1 所示一致, 图 7.8 和图 6 同.

Fig. 6 Distribution of conduction current density when $V_{gs} = 0V$

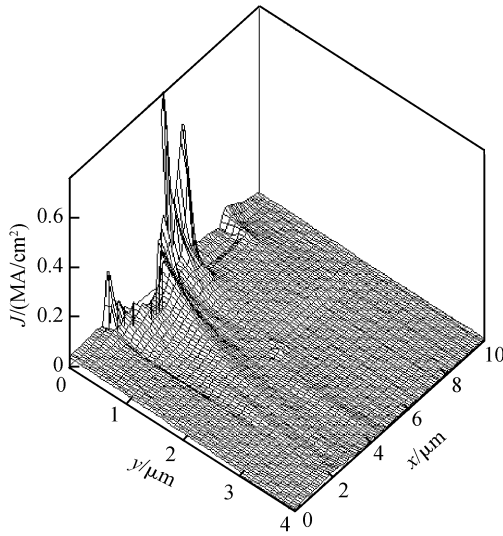


图 7 栅压为 10V 时的传导电流分布

Fig. 7 Distribution of conduction current density when $V_{gs} = 10V$

图 9, 10 和 11 是不同栅压下有源区内温度、功率密度和本征载流子浓度的分布图. 图中标示的最高温度都位于栅极末端正下方的 O 点, 每根等温线 (细虚线) 都代表 10K, 距离 O 点越远, 温度越低; 每根功耗线 (粗虚线) 代表 $1 \times 10^{10} W/cm^3$; 本征载流子浓度线的最小值都是 $5 \times 10^{13} W/cm^3$, 每根线都代表 $2 \times 10^{13} W/cm^3$, O 点的本征载流子浓度最高.

一方面, 与栅接地相比, 正栅压令沟道反型层形成, 反型层内大量的导电电子构成电子电流经过有源区流向漏电极, 功效相当于大大增加 npn 管从发射极 n^+ 到基区 p-body 的注入效率. 使电导调制效

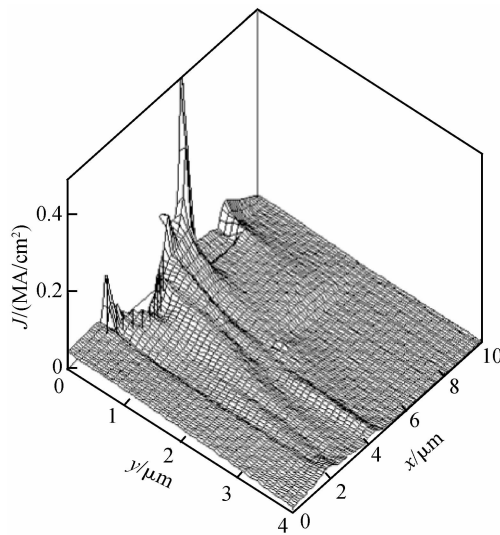


图 8 栅压为 -10V 时的传导电流分布

Fig. 8 Distribution of conduction current density when $V_{gs} = -10V$

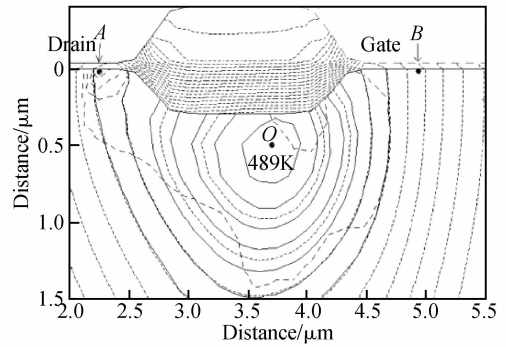


图 9 栅压为 0V (即栅接地) 时的温度 (短虚线)、功耗 (长虚线)、本征载流子浓度 (实线) 分布 x 和 y 方向与图 1 所示一致, 图 10, 11 和图 9 同.

Fig. 9 Cross-section indicating temperature (short dashed), dissipated power density (long dashed) and intrinsic carrier concentrations (real line) when $V_{gs} = 0V$

应增强, 尤其在栅极下方形成一个新的 J 峰值. 对比图 6 和 7 可知, J_{nx} 和 J (主要由 J_{nx} 构成) 增加很大, 远超过 E 的减少比率, 根据 (1) 式, 故有源区的 P_c 增加, O 点的 P_c 也随之增加, 故 O 点温度增加. 并且, 在沟道末端形成新的 P_c 峰值点 B 点, 其 P_c 随栅压升高急剧增加, 当栅压由 0V 增加到 10V 时, B 点 P_c 由小于 $1 \times 10^{10} W/cm^3$ 增加到 $1 \times 10^{11} W/cm^3$, 此时是原峰值点 A 点 P_c 的约两倍; 而负栅压令栅极下方积累大量空穴, 功效相当于减少 npn 管从发射极 n^+ 到基区 p-body 的注入效率, 使电导调制效应减弱, J 减少较小, 对比图 6 和 8 可知. J_{nx} 和 J 变小, 远超过电场的增加比率. 根据 (1) 式, 故有源区的 P_c 减少, O 点的 P_c 也随之减少, 故 O 点温度降低, 尤其是 B 点 P_c 也明显降低, 如图 9, 10 和 11 所示.

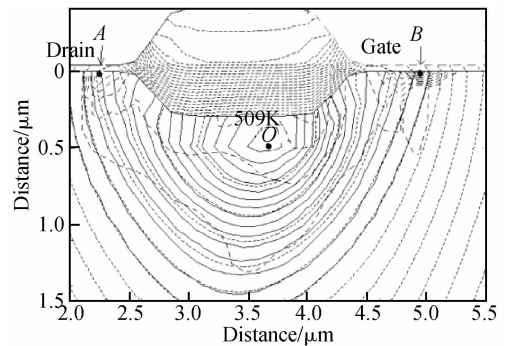


图 10 栅压为 10V 时的温度 (短虚线)、功耗 (长虚线)、本征载流子浓度 (实线) 分布

Fig. 10 Cross-section indicating temperature (short dashed), dissipated power density (long dashed) and intrinsic carrier concentrations (real line) when $V_{gs} = 10V$

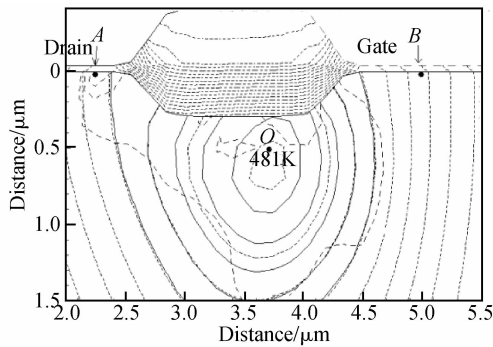


图 11 栅压为 -10V 时的温度(短虚线)、功耗(长虚线)、本征载流子浓度(实线)分布

Fig. 11 Cross-section indicating temperature (short dashed), dissipated power density (long dashed) and intrinsic carrier concentrations (real line) when $V_{gs} = -10\text{V}$

另一方面,有源区的本征载流子浓度随温度增加也快速增加,两者峰值都位于 O 点.如图 9,10 和 11 所示,栅压为 $-10, 0$ 和 10V 时, O 点温度依次为 $481, 489$ 和 509K , 本征载流子浓度对应为 $1.42 \times 10^{13}, 1.8 \times 10^{14}$ 和 $3.4 \times 10^{14} \text{cm}^{-3}$. 同时,随着有源区载流子数目的增加,载流子浓度梯度也在增加.令 J 和 P_c 越来越大,故温度越来越高,温度升高同时也使本征激发的载流子数目和梯度增加,进一步促进 J 和 P_c . 以及温度的增加,形成一个电流密度与温度辗转自激增加的过程.结果是 LDMOS 器件的有源区的局部越来越热,不利于器件在 ESD 大电流区工作.反之,温度降低减少本征激发产生的载流子数目和梯度,从而降低 J 和 P_c , 故温度越来越低,有利于器件在 ESD 大电流区工作.

4 讨论与结论

一般说来,在单个的电场或热场作用下,当脉冲宽度足够长,达到温度和功耗在空间和时间上的稳态分布时,最高功耗处(比如漏极或栅极附近)通常有最高的温度,也是器件容易烧毁的地方.当 LDMOS 工作在异常的瞬态大电流时,与栅接地相比,栅压的作用相当于在原来的电场和热场的基础上又增加了一个新的电场和热场,这两个场共同决定着器件内部的功率密度和温度分布,这种情况较单个的电场或温度场复杂得多,作者将会在以后深入研究.比如,随着大电流作用时间的增加,传导电流、电场、功率密度也随之变化.不论栅接地与否,当大电流作用时间为 100ns 时,最高温度位于 O 点而非功率密度最高的 A 点或 B 点;当大电流作用时间增加到 500 和 2000ns 时,功率密度主要集中在漏极附近,从而最高温度也逐渐由 O 点沿表面向漏极附近

即 A 点移动.

本文研究异常大电流(如 ESD 脉冲)来临时,栅压对 LDMOS 器件温度特性的影响,结果表明:同栅接地相比,正栅压令有源区的电流密度、功率密度和温度增加,不利于器件在 ESD 大电流区工作;而负栅压令有源区的电流密度、功率密度和温度减少,有利于器件在 ESD 大电流区工作.

参考文献

- [1] Green T. A review of EOS/ESD field failures in military equipment. Proceedings of the 10th EOS/ESD Symposium, 1988;7
- [2] Wagner R G, Soden J, Hawkins C F. Extent and cost of EOS/ESD damage in an IC manufacturing process. Proceedings of the 15th EOS/ESD Symposium, 1993;49
- [3] Amerasekera A, Duvvury C. ESD in silicon itegrated circuits. 2nd ed. John Wiley & Sons, Ltd, 2002;1
- [4] Sze S M. Physics of semiconductor devices. 2nd ed. New York, Wiley, 1981;41
- [5] Chen Xingbi, Tang Maocheng. Theory and design of the transistors. Chengdu: UESTC Publishing, 1987;147 (in Chinese)[陈星弼,唐茂成.晶体管原理与设计.成都:成都电讯工程学院出版社,1987;147]
- [6] Ma G, Burger W, Dragon C, et al. High efficiency LDMOS power fet for low voltage wireless communications. IEDM Tech Dig, 1996;91
- [7] Brech H, Brakensiek W, Burdeaux D, et al. Record efficiency and gain at 2.1GHz of high power RF transistors for cellular and 3G base station. IEEE IEDM Tech Dig, 2003;359
- [8] Ma G, Chen Q, Tornblad O, et al. High frequency power LDMOS technologies for base station applications status, potential, and benchmarking. IEDM Tech Dig, 2005;361
- [9] Pendharkar S. Technology requirements for automotive electronics. IEEE Conference on Vehicle Power and Propulsion, 2005;860
- [10] Murari B, Bertotti F, Vignola G A. Smart power IC's, technologies, and applications. Germany: Springer-Verlag, 1995;56
- [11] Duvvury C, Carvajal F, Jones C, et al. Lateral DMOS design for ESD robustness. IEEE IEDM, 1997;375
- [12] Chung Y, Besse P, Zecri M, et al. Geometry effect on power and ESD capality of LDMOS power devices. ISPSD, Cambridge, 2003, 14(17):265
- [13] Lee J H, Shih J R, Tang C S, et al. Novel ESD protection structure with embedded SCR LDMOS for smart power technology. IEEE 40th Annual International Reliability Physics Symposium, 2002;156
- [14] Parthasarathy V, Khemka V, Zhu Ronghua, et al. A double RESURF LDMOS with drain profile engineering for improved ESD robustness. IEEE Electron Device Lett, 2002, 23(4):212
- [15] Sameer P, Teggatz R, Devore J, et al. SCR-LDMOS-a novel LDMOS device with ESD robustness. ISPSD, 2000;341
- [16] Merchant S, Baird R, Bennett P, et al. Energy capability of lateral and vertical DMOS transistors in an advanced automotive smart power technology. ISPSD, 1998;317
- [17] Hower P, Lin J, Haynie S, et al. Safe operating area considerations in LDMOS transistors. ISPSD, 1999;55
- [18] Hower P, Tsai C Y, Merchant S, et al. Avalanche-induced

- thermal instability in LDMOS transistors. ISPSD, 2001; 153
- [19] Hower P. Safe operating area: a new frontier in LDMOS design. ISPSD, 2002; 1
- [20] Hower P, Pendharkar S. Short and long-term safe operating area considerations in LDMOS transistors. Reliability Physics Symposium, 2005(43); 545
- [21] Moens P, van den Bosch G. Characterization of total safe operating area of lateral DMOS transistors. Device and Materials Reliability, 2006, 6(3); 349
- [22] Chung Y S, Baird B. Electrical-thermal coupling mechanism on operating limit of LDMOS transistor. IEDM Tech Dig, 2000; 83
- [23] Chung Y S, Valenzuela O, Baird B. Mechanism of power dissipation capability of power MOSFET devices: comparative study between LDMOS and VDMOS transistors. ISPSD, 2001; 275
- [24] Mergens P, Wilkening W, Metter S, et al. Analysis of lateral DMOS power devices under ESD stress conditions. IEEE Trans Electron Devices, 2000, 47(11); 2128
- [25] TMA Medici. Technology Modeling Associates Inc. Version 2, 1994; 2
- [26] Stratton R. Semiconductor current-flow equations (diffusion and degeneracy). IEEE Trans Electron Devices, 1972, 19; 1288

Influence of Gate Voltages on Temperature of LDMOS Under Ultra-High Transient Currents *

Li Meizhi[†] and Chen Xingbi

(School of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: The influence of gate voltages on the temperature of LDMOS under ultra-high transient currents is studied. The results show that in comparison with gate-grounded conditions, the temperature in the device rises when the gate voltages are positive, and the temperature falls when the gate voltages are negative. The distributions of the electric fields, conduction currents, and dissipated power densities under different gate voltages are also investigated. It is proved that positive gate voltages weaken the electro-static discharge capability of LDMOS, and negative gate voltages enhance it. These results can be used as a reference for the reliability of power devices.

Key words: gate voltages; temperature; dissipated power densities

EEACC: 2560R

Article ID: 0253-4177(2007)08-1256-06

* Project supported by the National Natural Science Foundation of China (No. 60476036)

[†] Corresponding author. Email: hanli@uestc.edu.cn

Received 22 January 2007, revised manuscript received 27 February 2007