

# 大电流、高稳定性的 LDO 线形稳压器

王义凯<sup>†</sup> 王 忆 巩文超 何乐年

(浙江大学超大规模集成电路研究所, 杭州 310027)

**摘要:** 以设计输出电流为 800mA 的高稳定线性稳压器(low-dropout voltage regulator, LDO)为目标,利用工作在线性区的 MOS 管具有压控电阻特性,构造零点跟踪电路以抵消随输出电流变化的极点,并且采用了改进型米勒补偿方案使电路系统具有  $60^\circ$  的相位裕度,达到了大输出电流下的高稳定性要求.另外,分析了电路在转换发生时电路结构参数和负载整流特性的关系,提出了一种能在瞬间提供大电流的转换速率加强电路,达到了在负载电流从 800mA 到 10mA 跳变时,输出电压的跳变量控制在 60mV 以内,并且最长输出电压恢复时间在  $500\mu\text{s}$  以内.芯片采用 CSMC 公司的  $0.6\mu\text{m}$  CMOS 数模混合信号工艺设计,并经过流片和测试,测试结果验证了设计方案.

**关键词:** 低压差线形稳压器; 稳定性; 改进型米勒补偿; 超调量控制

EEACC: 2570D

中图分类号: TN401

文献标识码: A

文章编号: 0253-4177(2007)07-1149-07

## 1 引言

低压差(low dropout, LDO)线性稳压器具有结构简单、低噪声、低功耗以及小封装和较少的外围应用器件等突出优点,在便携式电子产品中得到广泛的应用<sup>[1~3]</sup>.LDO 属于 DC/DC 变换器中的降压变压器,在负载一定的情况下,输入电压在一定范围内,LDO 电路系统能够保证输出电压稳定,提高电池寿命.目前,对 LDO 的研究热点主要包括两个方面:一方面是针对低功耗,提高 LDO 效率,降低静态电流和输入输出压差.国内已经成功设计出静态电流  $4\mu\text{A}$ ,压差 170mV 的 LDO<sup>[4]</sup>;另一方面是对系统稳定性的研究.如果在输入电压或者是负载发生变化时,输出电压值会产生一定的跳变,输出电压的跳变值将通过芯片内部的反馈网络送到误差运算放大器的输入端,放大器输出电压控制调整管输出电流以稳定输出电压.因此,减小输出电压的跳变值和缩短调整稳定时间是设计具有高稳定性能 LDO 电路的关键.

对输出电压跳变值和调整时间的分析,可从 LDO 的频率稳定特性和时域电压阶越响应特性两个方面考虑.在频率稳定性方面,由于片外电容和调整管大的栅电容,导致在单位增益带宽内存在两个极点<sup>[1]</sup>.传统补偿方案是利用片外电容的寄生串联电阻(ESR)和负载电容产生一个低频零点,以抵消由调整管栅电容产生的次极点,使输出极点为主极点<sup>[1,2]</sup>.这种补偿方法适用于负载电阻变化较小,即

LDO 输出电流小于 300mA 以下的情况.但是,随着集成电路的规模越来越大,需要 LDO 能够提供更多的电流以带动更多的负载.因此,设计大输出电流 LDO 的设计逐渐成为研究的重点.在大输出电流的情况下,由于 LDO 输出阻抗会随输出电流变化,导致输出主极点和开环增益带宽也随电流大范围地变化,使得系统开环频率响应的相位余度可能不到  $60^\circ$ ,甚至发生振荡.而在时域响应上,系统的跳变量增大,调整时间也变长.因此,传统补偿方案将不再适用.

近年来,大输出电流 LDO 的研究主要集中在频率补偿和系统稳定性方面.例如在米勒补偿支路中串联一个输出阻抗跟踪 LDO 输出电流的缓冲电路,构造动态零点抵消次极点<sup>[5]</sup>,保证系统稳定性.此外在减少跳变量和缩短稳定时间方面,主要采用增大误差放大器单位增益带宽的方案,例如通过反馈一定比例负载电流到误差放大器的尾电流,增大放大器跨导从而提高了带宽和负载响应速度<sup>[6]</sup>.以上方案主要是针对小信号模型建立的,但是在在大输出电流,低静态电流的情况下,负载电流的跳变往往在误差放大器的输入端产生大信号,因而误差放大器转换速率也起到至关重要的作用<sup>[2,3]</sup>.本文从误差放大器的单位增益带宽以及转换速率两方面同时入手,对输入电压或者是负载电流发生变化时的输出电压跳变量,即超调量的详细理论推算,着重研究了在转换过程中电路结构对超调量的影响.并且根据分析结果,设计一种新颖的转换速率加强电路.

<sup>†</sup> 通信作者. Email: wangyk@vlsi.zju.edu.cn

2007-01-25 收到,2007-03-02 定稿

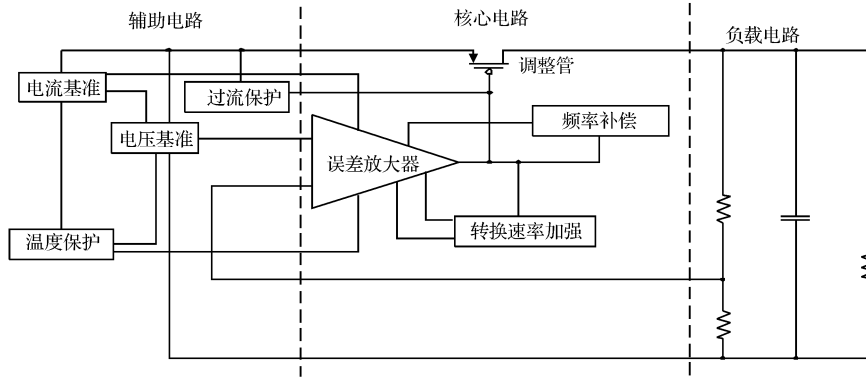


图 1 LDO 整体结构电路图

Fig. 1 Structure of proposed low dropout voltage regulator

为此, 本论文以输出电流达 800mA 的全 CMOS 工艺的 LDO 芯片为设计目标, 采用零点跟踪技术<sup>[1]</sup>和改进型米勒补偿的动态频率补偿电路以提高系统稳定性, 扩展系统带宽. 另外, 在分析电路结构对转换速率、带宽特性的影响基础上, 本文提出一种在负载跳变瞬间加大充放电电流的电路设计方法, 达到减小超调量大小、缩短调整时间的目的.

## 2 电路设计与性能分析

### 2.1 频率补偿电路分析

图 1 是本文提出的 LDO 电路结构. 如图所示, 电路包括: (1)带隙电压基准、电流基准、温度保护和过流保护等辅助电路; (2)误差放大器、转换加强电路、频率补偿电路和调整管组成的核心电路; (3)负载电路. 其中调整管采用 pMOS 管, 原因是 nMOS 管在工作时需要一个比输出电压高的驱动信号, 而 pMOS 管无此需要. 电路工作原理是在电路上电启

动工作后, 误差放大器的反相端经由负载取样电阻采样, 与电压基准比较后输出误差放大信号, 控制 pMOS 调整管的栅极电压, 使输出电压达到稳定. 图 2 表示 LDO 核心电路图. 由折叠式共源共栅放大器、缓冲级、调整管和反馈电阻构成放大器回路; 电流侦测放大器  $g_{m2}$  与  $M_p, M_n$  管构成转换速率加强电路; 电容  $C_c$  和工作在线性区的 MOS 管 MC 构成零点跟踪电路;  $C_m$  为米勒补偿电容;  $R_1, R_2$  为电阻反馈网络.

零点跟踪电路中的 MC 管栅极与调整管的栅极连接在一起, 并工作在线性区, 因此可等效为一个随栅电压变化的压控电阻  $R_c$ . 由于输出阻抗随输出电流而变化, 也就是随 MC 管的栅压和调整管的栅压变化, 因此零点补偿电路可以追踪输出极点的变化. 如果通过设计使得 (1) 式成立, 那么可以达到 MC 和  $C_c$  组成的零点与输出极点抵消.

$$Z = -\frac{1}{R_c C_c} \approx P_0 = -\frac{1}{R_{out} C_L} \quad (1)$$

其中,

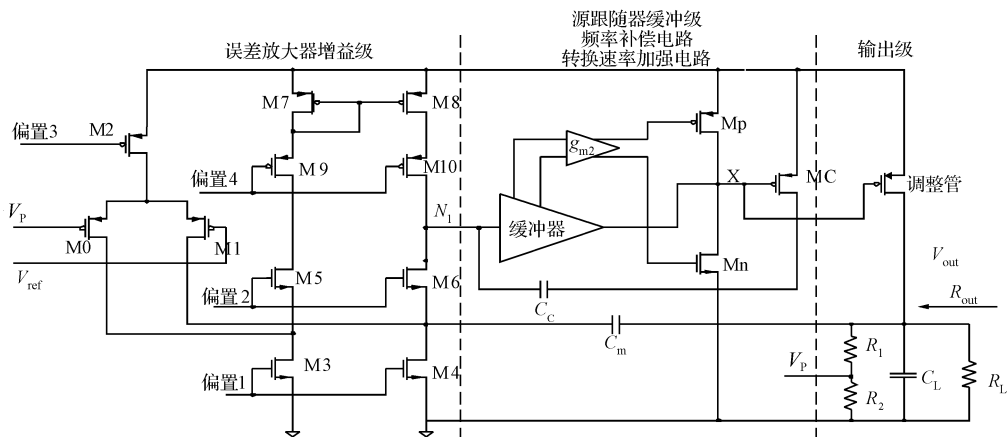


图 2 误差放大器核心电路

Fig. 2 Schematic of error amplifier

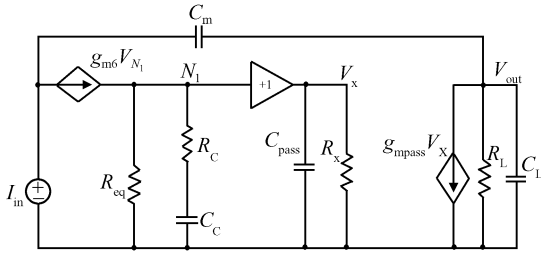


图 3 误差放大器回路等效小信号模型

Fig. 3 Small signal model of error amplifier

$$R_{out} = \frac{1}{\frac{1}{2}\beta(V_{GS} - V_{TH})^2} \left( \frac{\lambda V_{out}}{\lambda V_{out} + 1} \right) \quad (2)$$

$$R_c = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3)$$

由于零点跟踪电路不能完全确保系统的开环相位裕度能够达到 60° 以上, 因此需要加入米勒补偿电路, 将主极点频率推向低频. 通常, 米勒补偿电容的一端接在输出端, 另一端连接在  $N_1$  接点, 但是为了避免在第一级放大器的输出端  $N_1$  引入大电容, 产生多余的低频极点, 采用改进型米勒补偿, 将图 2 中米勒电容反馈点接入到折叠式共源共栅级放大器的折叠点.

图 3 是计算误差放大器的零极点所用的等效小信号模型. 如图所示, 电流源  $I_{in}$  是差分输入级的等效, 不考虑共栅级 M6 和调整管的二级效应. 缓冲级电路等效为增益为 1 的放大器. 虽然调整管栅电容  $C_{pass}$  较大, 但是缓冲级的输出阻抗  $R_x$  较小, 因此可以将调整管栅端极点设计为高频次极点<sup>[1]</sup>.  $R_{eq}$  是第一级放大器等效输出阻抗.

根据图 3 所示的模型, 可以解出系统零极点:  $Z_0 = -\frac{1}{R_c C_c}$ , 这是一个左半平面零点, 用于抵消输出极点; 系统会产生一个右半平面零点<sup>[7]</sup>  $Z_1 = \frac{g_{m6} g_{mpass} R_c}{C_m}$ , 由于该零点频率很高, 可以不考虑它对相位余度的影响; 由米勒补偿产生的低频主极点<sup>[7]</sup>  $P_{domain} = -\frac{1}{g_{mpass} R_L R_{eq} C_m}$ ;  $P_{out} = -\frac{1}{R_L C_L}$ , 为输出极点;  $P_{pass} = \frac{1}{R_x C_{pass}}$ , 为调整管栅端产生的极点. 作为高频次极点, 由它决定了单位增益带宽. 图 4 给出了误差放大器开环频率特性. 输出电流从 100mA 到 800mA 取值作参数扫, 都能满足相位余度 60° 以上的要求. 从频率特性曲线上可以看到在单位增益带宽内存在两个极点和一个零点. 在单位增益带宽之外, 存在包括  $P_{pass}$  在内的多个高频极点, 限制了开环单位增益带宽. 输出极点  $P_{out}$  和补偿零点  $Z_0$  不可

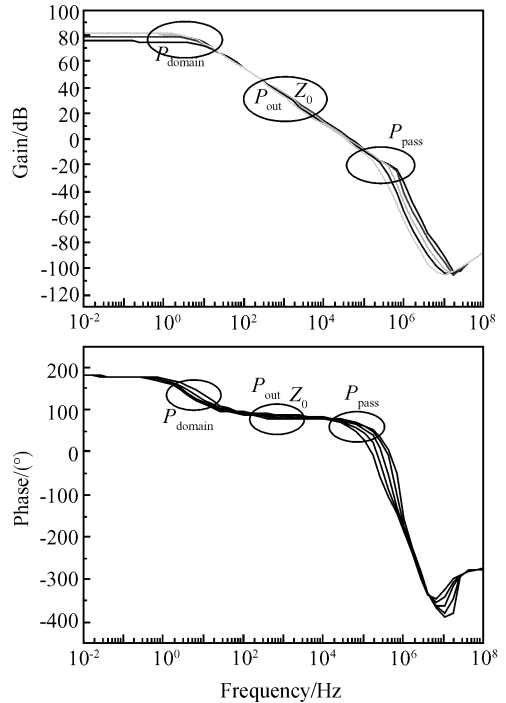


图 4 误差放大器的开环频率特性

Fig. 4 Simulated loop frequency response against different load conditions

能完全抵消, 在相位曲线上可以看到微小的起伏.

### 2.2 超调量分析

当 LDO 为数字电路供电时, 由于数字电路工作状态不断发生变化, 导致 LDO 负载电流的变化. LDO 的输出电压也会产生瞬时的跳变上冲(或下冲), 也就是产生超调现象. 超调电压峰值不能超过数字电路的噪声容限. 由于负载的跳变, 那么 LDO 的放大器回路从一个稳定状态转换到另一个稳定状态, 变化过程包括大信号条件下的非线性转换变化和小信号条件下的线性变化<sup>[2,3]</sup>.

转换的限制主要发生在缓冲级电路<sup>[2,3]</sup>. 缓冲级用简单的 pMOS 源跟随器结构实现. 负载从重载(大电流输出)到轻载(小电流输出)跳变时, 产生的超调量要比从轻载到重载时大. 这是因为对调整管栅电容的充电电流是由镜像电流源提供, 限制了充电电流的大小和速度; 而放电过程是电流直接经过源跟随器的 MOS 管对地放电, 所以充电速度比放电速度慢, 输出电压调整时间长, 超调电压大. 为此, 以从重载到轻载的跳变, 输出电压上冲过程为研究对象. 图 5 是缓冲器输入端电压  $N_1$  和输出电压  $V_x$  的变化图. 如图所示,  $V_{out}$  上冲导致如图 2 中源跟随器栅电压  $V_{N_1}$  也上冲. 由于调整管的栅电容  $C_{pass}$  较大, 并且充电电流小, 导致源跟随器的源极电压  $V_x$  上升速度较栅端电压  $V_{N_1}$  慢. 当源跟随器栅源电压

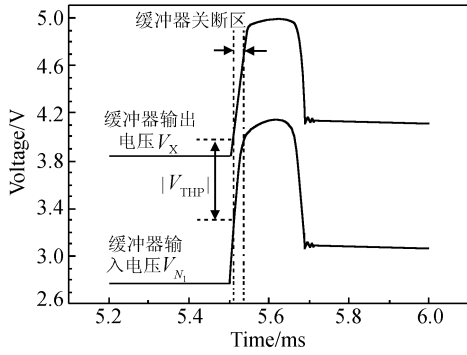


图 5 输出电压上冲时源跟随器的转换速率限制

Fig. 5 Slew rate limit at buffer stage when output voltage overshooting

差小于  $|V_{THP}|$  时, 该 MOS 管就会关断, 即图 5 中的虚线区域, 此时充电电流达到最大值  $I_{ss}$ . 此时, 调整管的输出电流  $I_{pass}$  由 (4) 式决定:

$$I_{pass} = \frac{1}{2} \beta \left( V_{DD} - V_{G0} - \frac{I_{ss} t}{C_{pass}} - V_{THP} \right)^2 \quad (4)$$

式中  $V_{G0}$  表示初始时刻调整管栅端电压. 输出电压的跳变由对负载电容  $C_L$  的充电电流决定, 那么在转换结束时,  $V_{out}$  电压变化量为:

$$\Delta V_{out} = \frac{1}{C_L} \int_0^{t_{sr}} (I_{pass} - I_R) dt \quad (5)$$

式中  $I_R$  表示流过负载电阻上的电流.

如果  $I_{pass}$  电流从 800mA 跳变到 10mA, 那么  $I_{pass} \gg I_R$  在大信号阶段是成立的. (5) 式可以简化为:

$$\begin{aligned} \Delta V_{out} &\approx \frac{1}{C_L} \int_0^{t_{sr}} I_{pass} dt \\ &= \frac{1}{C_L} \int_0^{t_{sr}} \frac{1}{2} \beta \left( V_{DD} - V_{G0} - \frac{I_{ss} t}{C_{pass}} - V_{THP} \right)^2 dt \\ &= \frac{1}{C_0} \int_0^{t_{sr}} \left( V_0 - \frac{I_{ss} t}{C_{pass}} \right)^2 dt \end{aligned} \quad (6)$$

源跟随器栅端电压  $N_1$  变化量为

$$\Delta V_{N_1} = \frac{R_1}{R_1 + R_2} g_{m1} R_{out1} \Delta V_{out} \quad (7)$$

其中  $g_{m1} R_{out1}$  是第一级放大器增益;  $R_1, R_2$  是反馈电阻. 源跟随器要恢复到跳变之前的栅源电压差, 它的源端电压的变化量也应为  $\Delta V_{N_1}$ . 在对调整管栅电容以  $I_{ss}$  恒定电流充电的条件下, 充电时间  $t_{sr}$  为:

$$\begin{aligned} t_{sr} &= C_{pass} \frac{\Delta V_{N_1}}{I_{ss}} \\ &= \frac{C_{pass}}{I_{ss}} \times \frac{R_1}{R_1 + R_2} g_{m1} R_{out1} \Delta V_{out} \\ &= A_1 \frac{C_{pass}}{I_{ss}} \Delta V_{out} \end{aligned} \quad (8)$$

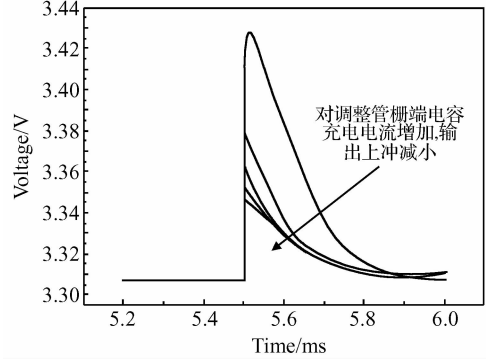


图 6 调整管栅端电容充电电流的变化对输出电压跳变的影响

Fig. 6 Overshoot voltage influenced by the change of charge current

联立 (6) 和 (8) 式即可得到在转换速率的限制下, 输出电压的变化量  $\Delta V_{out}$ .

$$\begin{aligned} \Delta V_{out} &= \frac{1}{C_0} \left[ V_0^2 \left( A_1 \frac{C_{pass}}{I_{ss}} \Delta V_{out} \right) - \right. \\ &V_0 \frac{I_{ss}}{C_{pass}} \left( A_1 \frac{C_{pass}}{I_{ss}} \Delta V_{out} \right)^2 + \\ &\left. \frac{I_{ss}^2}{3 C_{pass}^2} \left( A_1 \frac{C_{pass}}{I_{ss}} \Delta V_{out} \right)^3 \right] \end{aligned} \quad (9)$$

其中  $\frac{1}{C_0} = \frac{\beta}{2 C_L}$

$$A_1 = \frac{R_1}{R_1 + R_2} g_{m1} R_{out1}$$

$$V_0 = V_{DD} - V_{THP} - V_{G0}$$

因此, 可以得到:

$$\begin{aligned} \Delta V_{out} &= \frac{1}{2 A_1} \left[ 3 V_0 - \sqrt{12 C_0 I_{ss} - 3 V_0^2} \right] \\ &= \frac{1}{2 A_1} \left[ \frac{3 \sqrt{2 I_{pass}}}{\sqrt{\beta A_1}} - \frac{\sqrt{6}}{\sqrt{\beta A_1}} \sqrt{\frac{C_L I_{ss}}{C_{pass}} - I_{pass}} \right] \end{aligned} \quad (10)$$

由于放大器增益和反馈系数基本不变, 可以认为  $A_1$  为常数. 如果减小  $I_{pass}$ , 即减小跳变范围, 可以减小电压变化. 一般情况下, 如果考虑最大范围的跳变, 那么  $I_{pass}$  最大 800mA 为常数.

图 6~8 分别是负载电流从 800mA 到 10mA 跳变时, 调整管栅电容充电电流、负载电容值以及调整管的宽长比值对输出电压跳变量的影响仿真结果.

图 6 中  $I_{ss}$  从  $2 \mu A$  增大到  $20 \mu A$ , 输出电压的超调量从 130mV 下降到 50mV. 不过一般 LDO 系统消耗的静态电流往往不到  $10 \mu A$ . 所以, 单纯直接增大充电电流的设计不合理.

图 7 中负载电容从  $2 \mu F$  增大到  $4 \mu F$ , 超调量也降低了约 100mV. 片外电容的增大导致在 PCB 上消耗更大的电容面积和成本. 图 8 中在不改变调整

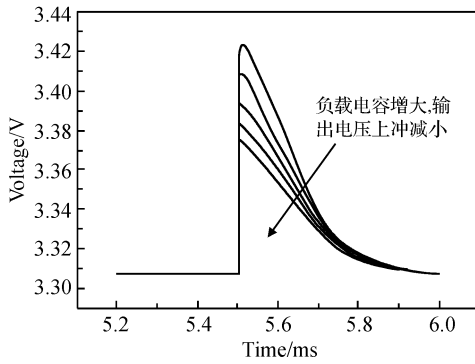


图 7 负载电容的变化对输出电压跳变量的影响

Fig. 7 Overshoot voltage influenced by the change of load capacitor

管总电容的大小基础上, 将  $\beta$  从 50000 : 1 减小到 25000 : 1, 使得超调量增加了 120mV. 在设计中为了保证面积最小, 调整管栅长为工艺最小线宽, 只有增大栅宽才能调整  $\beta$ , 这又导致栅面积增大,  $C_{pass}$  增大.

综上所述, 在不增加面积和成本的基础上, 只有增大充放电电流才能减小转换限制. 但是, 又不能直接增大静态功耗. 所以, 我们提出能够只在转换瞬间提供大电流的转换加强电路. 这将在本文的后续部分详细介绍.

当缓冲级的源跟随器进入饱和和导通后, 系统进入小信号工作状态. 小信号线性变化由系统频率响应, 即电路的零极点分布决定. 按前文分析可以得到, 电路系统的开环传递函数为:

$$H(s)_{open} = \frac{A_0 \left(1 + \frac{s}{Z_0}\right)}{\left(1 + \frac{s}{P_d}\right) \left(1 + \frac{s}{P_0}\right) \left(1 + \frac{s}{P_2}\right)} \quad (11)$$

其中  $P_d$  为系统主极点;  $P_0$  为输出极点;  $Z_0$  为零点跟踪电路的零点;  $P_2$  为系统次极点. 由于零点  $Z_0$

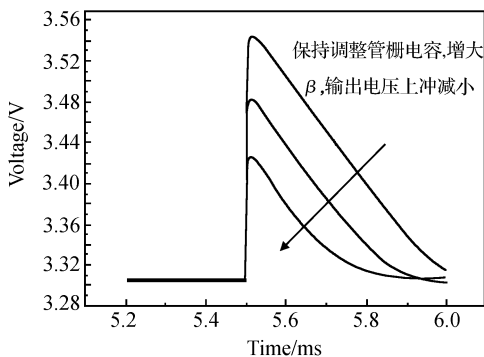


图 8 调整管宽长比对输出电压跳变量的影响

Fig. 8 Overshoot voltage influenced by change of pass device's  $\beta$

和极点  $P_0$  相互抵消, 所以系统开环传递函数等效为:

$$H(s)_{open} = \frac{A_0}{\left(1 + \frac{s}{P_d}\right) \left(1 + \frac{s}{P_2}\right)} \quad (12)$$

因此, 闭环传递函数为:

$$\begin{aligned} H(s)_{close} &= \frac{H(s)_{open}}{1 + H(s)_{open}} \\ &= \left(\frac{A_0}{1 + A_0}\right) \frac{(1 + A_0) P_d P_2}{s^2 + s(P_d + P_2) + (1 + A_0) P_d P_2} \\ &= \left(\frac{A_0}{1 + A_0}\right) \frac{\omega_n^2}{s^2 + 2s\xi\omega_n + \omega_n^2} \end{aligned} \quad (13)$$

其中  $\xi$  为阻尼系数;  $\omega_n$  为自然振荡角频率, 其值为:

$$\begin{aligned} \omega_n &\approx \sqrt{A_0 P_d P_2} \\ \xi &\approx \frac{1}{2\sqrt{A_0}} \left(\frac{P_d + P_2}{\sqrt{P_d P_2}}\right) \approx \frac{1}{2\sqrt{A_0}} \sqrt{\frac{P_2}{P_d}} \end{aligned}$$

当  $0 < \xi < 1$  时, 闭环传递函数的分母为两个复数根, 表现出阻尼衰减振荡. 系统的单位阶跃响应为<sup>[10]</sup>:

$$h(t) = 1 - \frac{e^{-\xi\omega_n t}}{\sqrt{1 - \xi^2}} \sin\left(\omega_n \sqrt{1 - \xi^2} t + \text{tg}^{-1} \frac{\sqrt{1 - \xi^2}}{\xi}\right) \quad (14)$$

由(14)式可知系统的百分比超调量大小为<sup>[10]</sup>:

$$M_r = e^{-\frac{\xi\pi}{\sqrt{1 - \xi^2}}} \times 100\% \quad (15)$$

在小信号调整过程中引起的超调量是  $\xi$  的单调递减函数. 如果  $\xi$  太大将导致调整时间过长. 根据  $\xi$  的表达式, 调整放大器低频增益和主次极点之间距离可以调整  $\xi$  的大小. 一般情况下, 将  $\xi$  值设定在 0.707 左右<sup>[10]</sup>能够在超调量和调整时间之间取得较好的折衷.

负载整流总的超调量是由大信号转换引起的超调量  $\Delta V_{out}$  与小信号调整  $M_r$  引起的超调量之和.

### 2.3 转换速率加强电路

从前面讨论超调量的讨论可知, 影响超调量的因素包括转换速率和系统零极点分布. 在低功耗设计中, 由于 LDO 系统静态电流往往小于  $10\mu A$ , 因此, 转换速率的限制起到主要作用.

如前所述, 受到芯片面积和成本的限制, 只能增大对调整管栅端充放电电流才能减小由转换引起的超调. 为了避免静态功耗过大问题, 本设计中的转换速率加强电路是在检测到转换发生时才提供大电流通路, 加速充电放电, 在正常状态下转换速率加强电路不工作.

如图 9 所示, Mp 管和 Mn 管为提供大电流的充放电支路, 在 LDO 正常工作时可以完全关断, 从

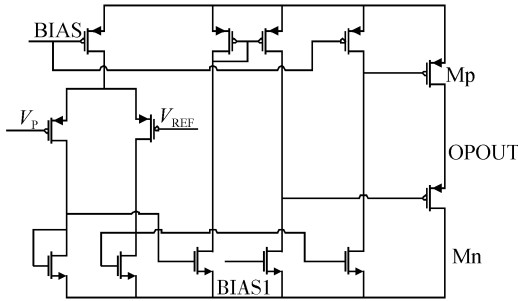


图 9 转换速率加强电路的基本结构

Fig. 9 Schematic of slew rate enhancement circuit

而不影响主放大器信号通路. 为了克服交越失真, 保证转换加强电路的灵敏度, 可以让这两个管子保持有微小电流流过, 所以在设计中, 当 LDO 正常工作时, 将它们置于亚阈值或深度线性区; 而在发生转换时, 则转为饱和区工作.

图 9 中的  $V_p$  电压是从  $V_{out}$  经过电阻分压反馈网络得到,  $V_{REF}$  是从电压基准产生. 由于  $M_n, M_p$  管本身较大, 所以放大器采用 AB 类结构, 提高它的驱动能力.

图 10 是增加了转换速率加强电路后输出电压跳变量的变化仿真结果. 从图 10 的结果对比可以看到, 加入转换速率加强电路后, 和图 6 所示加大充电电流  $I_{ss}$  的效果相似, 输出电压的跳变峰值从 3.48V 下降近 120mV, 只有 3.36V. 调整时间也从  $500\mu s$  缩短了  $100\mu s$  左右, 只需  $400\mu s$ . 但是, 该电路并没有显著增大静态功耗电流.

### 3 测试结果

电路芯片采用 CSMC 公司的  $0.6\mu m$  CMOS 混合信号工艺模型设计. 图 11 是整体芯片照片. 该芯片的输入电压为  $4\sim 6V$ , 输出电压  $3.3V$ , 静态电流

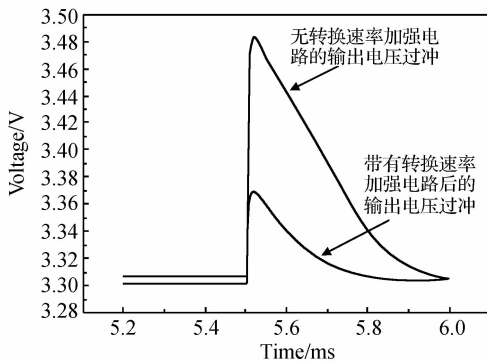


图 10 转换速率加强电路对输出电压跳变量的影响

Fig. 10 Overshoot voltage influenced by slew rate enhancement circuit

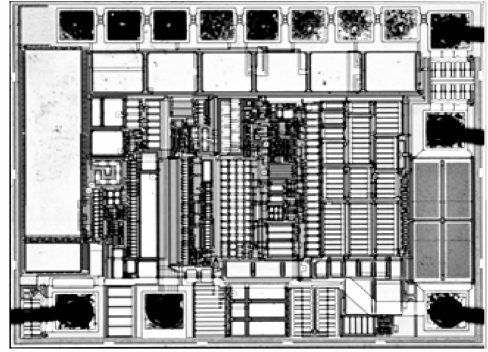


图 11 芯片照片

Fig. 11 Micro-graph of LDO

小于  $4\mu A$ , 最大输出电流  $800mA$ . 图 12 是芯片测试电路图. 输入电容  $1\mu F$ , 输出电容  $1\mu F$ . 测试仪器主要包括 Agilent 33220A 波形发生器, Agilent E3631A 直流电源, Tektronix TDS 2024 四通道示波器,  $1\mu F$  电解电容, 负载采用电阻代替. 并用 nMOS 开关控制负载从  $800mA$  到  $10mA$  的跳变. 测试结果如图 13 所示, 最大电压超调量约为  $60mV$ , 最大调整时间约为  $500\mu s$ .

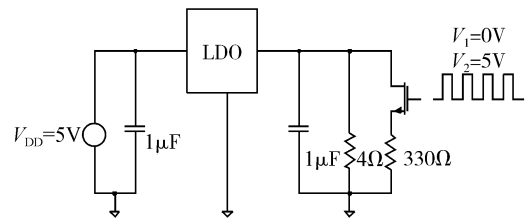


图 12 芯片测试电路

Fig. 12 Test solution of LDO

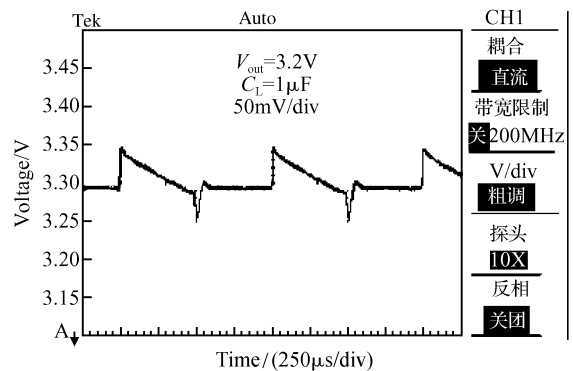


图 13 输出电流从  $800mA$  到  $10mA$  跳变情况下芯片负载调整特性测试结果

Fig. 13 Measured load regulation response of the LDO for the load current change from  $800mA$  to  $10mA$

从测试结果可以看到,负载从重载到轻载的跳变过程造成的上冲超调量已经被减小到和下冲超调量大小相近,但是,调整时间比下冲过程长得多。这是因为,一方面调整管电容放电速度比充电速度快,另一方面重载情况下的输出极点频率比轻载下的输出极点频率高,和零点抵消效果好,开环增益带宽大,小信号时域响应速度快。这种不对称性在数字电路工作频率过高的情况下,有可能造成误差累计,导致输出电压偏离设定值。

## 4 结论

本文以设计输出电流为 800mA 的高稳定性线性稳压器 LDO 为目标,利用工作在线性区的 MOS 管具有的压控电阻特性,构造零点跟踪电路以抵消随输出电流变化的极点,并且采用了改进型的米勒补偿方案使电路系统具有  $60^\circ$  的相位裕度,达到了大输出电流下的高稳定性要求。LDO 关键性能之一是负载整流特性,而转换速率和系统零极点分布对该性能都有显著的影响。在低功耗设计的条件下,转换速率起到主要作用。分析了电路在转换发生时电路结构参数和负载整流特性,提出了一种能在瞬间提供大电流的转换速率加强电路,达到了在负载电流从 800mA 到 10mA 跳变时,输出电压的跳变量控制在 60mV 以内,并且输出电压的恢复时间在  $500\mu\text{s}$ 。芯片采用 CSMC 公司的  $0.6\mu\text{m}$  CMOS 混合信号工艺设计,并经过了流片和测试。测试结果验证了设计方案。

## High Stability LDO with Large Output Current

Wang Yikai<sup>†</sup>, Wang Yi, Gong Wenchao, and He Lenian

(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

**Abstract:** A design of a low-dropout (LDO) voltage regulator with an output current of 800mA is proposed. By introducing a zero-pole tracking circuit with a MOS resistor working in the linear region, the frequency response is independent of the load current. Moreover, with ameliorated miller compensation, a  $60^\circ$  phase margin is guaranteed. Based on the analysis of slewing behavior versus circuit parameters, the load regulation property is improved with a slew rate enhancement circuit which can supply a large current to speed up the slew rate. The precision of the output voltage is maintained within  $\pm 60\text{mV}$  under varying load conditions from 800 to 10mA, and the settling time is about  $500\mu\text{s}$ . The chip is implemented in CSMC  $0.6\mu\text{m}$  mixed-signal technology. The designed circuit is validated by the results of the chip test.

**Key words:** low dropout voltage linear regulator; stability; ameliorated miller compensation; overshoot control  
**EEACC:** 2570D

**Article ID:** 0253-4177(2007)07-1149-07

## 参考文献

- [1] Kwok K C, Mok P K T. Pole-zero tracking frequency compensation for low dropout regulator. IEEE J International Symposium on Circuits and Systems, 2002, 4: 735
- [2] Rincon-Mora G A, Allen P A. A low-voltage, low quiescent current, low drop-out regulator. IEEE J Solid-State Circuits, 1998, 33(1): 36
- [3] Lee H, Mok P K T. Design of low-power analog drivers based on slew-rate enhancement circuits for CMOS low-dropout regulators. IEEE Trans Circuits Systems II: Express Briefs, 2005, 52(9): 563
- [4] Chen Dongpo, He Lenian, Yan Xiaolang. A low-dropout regulator with low quiescent current and high stability. Journal of Electronics & Information Technology, 2006, 28(8): 1526 (in Chinese) [陈东坡, 何乐年, 严晓浪. 一种低静态电流、高稳定性的 LDO 线性稳压器. 电子与信息学报, 2006, 28(8): 1526]
- [5] Lai Xinquan, Guo Jianping, Sun Zuozhi, et al. A 3-A CMOS low-dropout regulator with adaptive Miller compensation. Analog Integrated Circuits and Signal Processing, 2006, 49(10): 0925
- [6] Zhou Songming, Gao Minglun, Yang Shengguang, et al. Improvement of low dropout linear regulator. Electronic Measurement Technology, 2006, 29(6): 146
- [7] Allen P E, Holberg D R. CMOS analog circuit design. 2nd ed. Beijing: Publishing House of Electronics Industry, 2002
- [8] Razavi B. Design of analog CMOS integrated circuits. Boston, MA: McGraw-Hill, 2001
- [9] Leung K N, Mok P K T. A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation. IEEE J Solid-State Circuits, 2003, 38(10): 1691
- [10] Lu Boying. Linear control system. Beijing: Beijing University of Aeronautics and Astronautics Press, 1992 (in Chinese) [卢伯英. 线性控制系统. 北京: 北京航空航天大学出版社, 1992]

<sup>†</sup> Corresponding author. Email: wangyk@vlsi.zju.edu.cn

Received 25 January 2007, revised manuscript received 2 March 2007