

带 p 埋层表面注入硅基 LDMOS 模型与优化

李 琦[†] 张 波 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 提出一种带 p 埋层的表面注入硅基 LDMOS 高压器件新结构,称为 BSI LDMOS(surface implanted LDMOS with p buried layer).通过表面注入 n^+ 薄层降低导通电阻,p 埋层不但改善横向表面电场分布,提高击穿电压,而且增大漂移区优化浓度.求解电势的二维 Poisson 方程,获得表面电场和击穿电压的解析式,研究结构参数对表面电场和击穿电压的影响,数值与解析结果吻合较好.结果表明:与常规结构相比较,BSI LDMOS 大大改善了击穿电压和导通电阻的折衷关系.

关键词: p 埋层; 表面注入; 表面电场; 击穿电压; 模型

EEACC: 2560B; 2560P

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2007)08-1267-05

1 引言

LDMOS 是一种常用的横向高压器件,其优点是工艺简单,可以采用结隔离和介质隔离实现,电路设计难度低. RESURF(降低表面电场)技术广泛地应用于高压集成电路,使高压器件和低压电路集成到单芯片上,其优点是导通电阻低以及器件尺寸较小^[1,2].对于均匀漂移区结构,为获得较高的击穿电压,漂移区掺杂浓度较低,导通电阻较大.近年来,为了改善击穿电压与导通电阻的折衷关系,提出了各种新结构及结终端技术. Hardikar 等人^[3]研制了变掺杂 double RESURF LDMOS,导通电阻较常规结构降低近一半;Schulze 等人^[4]用横向变掺杂来提高 pn 结的边缘击穿电压;Disney^[5]研制了导通电阻为 $60\Omega \cdot \text{mm}^2$,击穿电压为 600V 带埋导电层的 p 型 LDMOS;Charitat 等人^[6]研究了 SIPOS 层的结终端技术;Park 等人^[7]研究了双外延层的槽型电极 LDMOS,其导通电阻为 $183\text{m}\Omega \cdot \text{mm}^2$,击穿电压为 142V.对于硅基器件耐压模型研究,由于受边界条件的限制,大多数为均匀漂移区结构. Imam 等人^[8]由漂移区电荷共享,建立了常规器件的 1-D 耐压模型;He Jin 等人^[9]通过求解二维 Poisson 方程,获得了吻合较好的表面电场和电势分布的准二维解析模型;方健等人^[10]建立了功率器件的开态模型;张波等人^[11]建立了变掺杂硅基 LDMOS 耐压模型,数值和解析结果吻合较好.但是对于 BSI LDMOS 的研究尚未见报道.

本文提出硅基 BSI LDMOS 高压器件新结构.其机理是通过表面注入 n^+ 薄层降低导通电阻,漂移区始端采用 p 离子注入埋层来减小沟道区等位线的曲率,这样不但改善横向表面电场分布,提高击穿电压,而且增大漂移区优化浓度,使导通电阻进一步降低.求解漂移区电势的二维 Poisson 方程,获得表面电场和击穿电压的解析式,研究结构参数对表面电场和击穿电压的影响,与 MEDICI 的数值结果比较,二者吻合较好.结果表明:BSI LDMOS 较常规结构击穿电压提高近 16%,导通电阻下降 31%,改善了击穿电压和导通电阻的折衷关系.

2 结构和模型

图 1 是 BSI LDMOS 的结构图.该结构可以通过多次表面注入工艺实现.漂移区表面注入浓度和结深分别为 N_{es} 和 t_{es} ,本底漂移区掺杂浓度和漂移

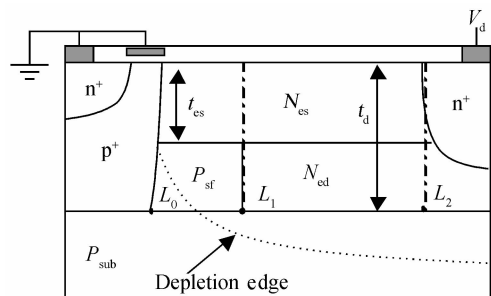


图 1 BSI LDMOS 结构

Fig. 1 Cross-section of the BSI LDMOS

[†] 通信作者. Email: lqphoenix@sina.com

2007-02-05 收到,2007-02-16 定稿

区厚度分别为 N_{cd} 和 t_d , p 埋层的浓度, 厚度和长度分别为 P_{sf} , $t_d - t_{cs}$ 和 L_1 , P_{sub} 为衬底浓度, 漂移区长度为 $L_d = L_2 - L_0$, 沿边界 L_1 和 t_{cs} 把漂移区分为 3 个区, t_{s1} 和 t_{s2} 分别为 1 区、3 区在埋层和衬底的耗尽层深度, x_j 为漏端结深, V_d 为漏电压. 在器件反偏且完全耗尽时, 漂移区各区电势 $\varphi_i(x, y)$ ($i = 1, 2$) 满足二维 Poisson 方程:

$$\frac{\partial^2 \varphi_i(x, y)}{\partial x^2} + \frac{\partial^2 \varphi_i(x, y)}{\partial y^2} = \begin{cases} -\frac{qN_{cs}}{\epsilon_0 \epsilon_{si}}, (0 \leq y \leq t_{cs}, L_0 \leq x \leq L_1) (i = 1) \\ -\frac{qN_{cs}}{\epsilon_0 \epsilon_{si}}, (0 \leq y \leq t_{cs}, L_1 \leq x \leq L_2) (i = 2) \\ -\frac{qN_{cd}}{\epsilon_0 \epsilon_{si}}, (t_{cs} \leq y \leq t_d, L_1 \leq x \leq L_2) (i = 3) \end{cases} \quad (1)$$

边界条件为:

$$\left. \frac{\partial \varphi_i(x, y)}{\partial y} \right|_{y=0} = 0, (i = 1, 2) \quad (2)$$

$$\left. \frac{\partial \varphi_1(x, y)}{\partial y} \right|_{y=t_{cs}} = -\frac{2\varphi_1(x, t_{cs})}{t_{s1}} \quad (3)$$

$$\left. \frac{\partial \varphi_3(x, y)}{\partial y} \right|_{y=t_d} = -\frac{2\varphi_3(x, t_d)}{t_{s2}} \quad (4)$$

$$\begin{aligned} \varphi_1(L_1, 0) &= \varphi_2(L_1, 0), \\ \left. \frac{\partial \varphi_1(L_1, y)}{\partial x} \right|_{y=0} &= \left. \frac{\partial \varphi_2(L_1, y)}{\partial x} \right|_{y=0} \end{aligned} \quad (5)$$

$$\begin{aligned} \varphi_2(x, t_{cs}) &= \varphi_3(x, t_{cs}), \\ \left. \frac{\partial \varphi_2(x, y)}{\partial y} \right|_{y=t_{cs}} &= \left. \frac{\partial \varphi_3(x, y)}{\partial y} \right|_{y=t_{cs}} \end{aligned} \quad (6)$$

$$\varphi_1(L_0, 0) = 0, \quad \varphi_2(L_3, 0) = V_d \quad (7)$$

其中, (2) 式考虑表面纵向电场远小于横向电场^[12], (3) 和 (4) 式基于漂移区和衬底界面处的纵向电场和耗尽层厚度的关系, (5) 式表示第 1 和 2 区在界面处电势与横向电场的连续性, (6) 式是 2 区和 3 区在界面处电势和纵向电场的连续性, (7) 式是外加固定边界条件.

将电势沿 y 方向进行 Taylor 展开, 取前两项作为近似^[12], 在边界条件 (2)~(4) 式和 (6), (7) 式下, 求解方程 (1), 可以得到 BSI LDMOS 结构漂移区表面电势和电场分布分别为:

$$\begin{aligned} \varphi_i(x, 0) &= \frac{qN_i^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} + \\ &\left(V_i - \frac{qN_i^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} \right) \frac{\sinh((x - L_{i-1})/t_i)}{\sinh((L_i - L_{i-1})/t_i)} + \\ &\left(V_{i-1} - \frac{qN_i^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} \right) \frac{\sinh((L_i - x)/t_i)}{\sinh((L_i - L_{i-1})/t_i)}, \\ &(L_{i-1} \leq x < L_i) \end{aligned} \quad (8)$$

$$\begin{aligned} E_i(x, 0) &= \left(V_i - \frac{qN_i^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} \right) \frac{\cosh((x - L_{i-1})/t_i)}{t_i \sinh((L_i - L_{i-1})/t_i)} - \\ &\left(V_{i-1} - \frac{qN_i^{\text{eff}} t_i^2}{\epsilon_0 \epsilon_{si}} \right) \frac{\cosh((L_i - x)/t_i)}{t_i \sinh((L_i - L_{i-1})/t_i)}, \\ &(L_{i-1} \leq x < L_i) \end{aligned} \quad (9)$$

$$\begin{aligned} \text{其中 } N_1^{\text{eff}} &= N_{cs}, t_1 = \sqrt{\frac{t_{cs}^2 + t_{cs} t_{s1}}{2}}, t_2 = \sqrt{\frac{t_d^2 + t_d t_{s2}}{2}}, \\ N_2^{\text{eff}} &= N_{cs} + \epsilon_0 \epsilon_{si} (t_{cs}^2 K - 2t_{cs} t_d K + t_d^2 K - t_{cs} t_{s2} K + \\ &t_d t_{s2} K) / [q(t_d t_{s2} + t_d^2)], K = -\frac{q(N_{cs} - N_{cd})}{\epsilon_0 \epsilon_{si}}, t_{s1} \\ &= \sqrt{\left(1 + \frac{N_{cs}}{P_{sf}}\right) t_{cs}^2 + \frac{\epsilon_0 \epsilon_{si} V_d}{qP_{sf}}} - t_{cs}, t_{s2} = \\ &\sqrt{\left(1 + \frac{N_{cd}}{P_{sub}}\right) \sigma^2 + \frac{\epsilon_0 \epsilon_{si} V_d}{qP_{sub}}} - \sigma, \sigma = \frac{N_{cs} t_{cs}}{N_{cd}} + t_d - t_{cs}, V_1 \\ &\text{为边界 } L_1 \text{ 处的表面电势, 把 (5) 式代入 (8), (9) 式} \\ &\text{中获得, } V_2 = V_d. \end{aligned}$$

3 结果与讨论

数值结果由半导体数值仿真器 MEDICI 计算得到. 图 2(a) 为 BSI LDMOS 横向电场沿漂移区分布, 解析和数值结果吻合较好. 在漂移区中部, 与常规结构相比较, BSI LDMOS 在 p 型埋层电荷产生的附加电场的作用下出现新的电场峰值, 对于图中的结构参数, 当 $y = 3\mu\text{m}$ 时, 即埋层的界面处, 新电场峰值几乎与漂移区末端相同, 该处的埋层电场调制作用最强, 随着趋于表面, 新峰值电场逐渐减弱, 由于新峰值的出现, 导致漂移区始端和末端的电场峰值降低, 较均匀漂移区结构的电场分布均匀, 改善了表面电场分布, 从而可以获得更高的横向击穿电压. 随着漏电压的增大, 各界面处的电场峰值及相应的电势都增大. 图 2(b) 为不同表面注入浓度和衬底浓度, 表面电场沿漂移区分布. 固定其他参数, 随着 N_{cs} 的增加, 漂移区始端电场峰值增大, 末端降低, 这与均匀漂移区结构变化规律相同, 由前面的模型和 pn 结理论可知, 对于漂移区始端, 当结两边的掺杂浓度增大, 峰值电场随着增大, 由于整个漂移区承受的漏电压不变, 所以漏端的峰值电场反而下降. 漂移区中部的电场峰值变化很小, 这是因为: 漂移区始端和末端电场峰值两个相反的变化在中部正好抵消, 所以中部的电场峰值几乎不变. 固定其他参数, 随着 P_{sf} 的增加, 漂移区始端电场降低, 中部和末端增大. 这是因为埋层浓度的增加, 漂移区始端用来与横向产生作用的电荷减小, 所以电场峰值减小, 为了承受相同的漏电压, 漂移区中部和末端的电场必须增大.

器件的击穿电压取决于横向击穿电压 BV_{lat} 和纵向击穿电压 BV_{ver} 的极小值. BV_{lat} 可以由表面电

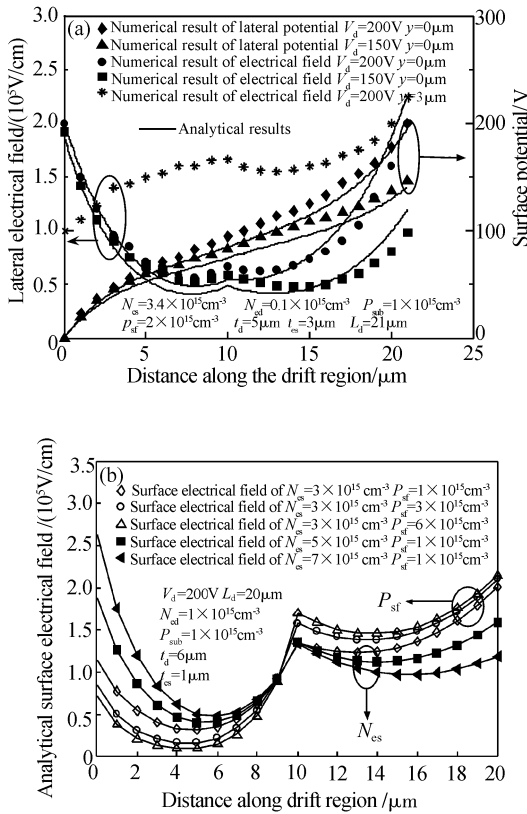


图 2 BSI LDMOS 横向电场沿漂移区分布 (a) 不同 V_d ; (b) 不同 N_{cs} 和 P_{st}
Fig. 2 Lateral electrical field distributions along the drift region of BSI LDMOS (a) For different V_d ; (b) For different N_{cs} and P_{st}

场的电离积分得到： $\sum_{i=1}^2 \int_{L_{r-1}}^{L_i} 1.8 \times 10^{-35} E_i^7(x, 0) dx = 1$ ，纵向的临界击穿电场为： $E_{cver} = 2.0 \times 10^5 \text{ V/cm}$ ，对于浅注入的情况，即注入结深小于漏极结深，近似^[1]： $BV_{ver} = \frac{\epsilon_0 \epsilon_{si} E_{cver}^2}{2qP_{sub}} + E_{cver} (t_d - x_j) - \frac{qN_{ed}(t_d - x_j)^2}{2\epsilon_0 \epsilon_{si}}$ 。

图 3 为击穿电压与表面注入掺杂浓度的关系。对于不同的结构参数，击穿电压随着 N_{cs} 存在极大值。在图 3(a) 中，相应于击穿电压极大值的最优 N_{cs} 随着 t_{cs} 的增加而降低，这与均匀漂移区变化规律相同，即漂移区浓度和厚度的乘积要近似为一个常数。在击穿电压极大值之后，击穿电压迅速下降，这是因为此时漂移区发生部分耗尽，器件的有效耐压长度减小。当 t_{cs} 较小时，击穿电压在峰值附近变化较缓，这在器件的设计中是非常有利的。图 3(b) 中，当 N_{ed} 较小时，最优 N_{cs} 较大，这是因为二者浓度之和为漂移区总浓度，故当漂移区厚度以及表面注入结深固定时， N_{ed} 随着 N_{cs} 的增大而减小。

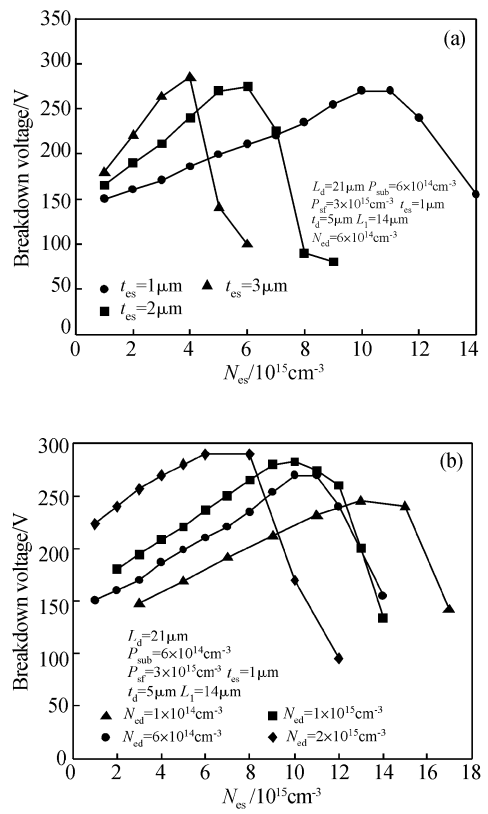


图 3 击穿电压与 N_{cs} 的关系 (a) 不同 t_{cs} ; (b) 不同 N_{ed}
Fig. 3 Numerical breakdown voltage as a function of N_{cs} (a) For different t_{cs} ; (b) For different N_{ed}

图 4 为击穿电压与 t_d 的关系。对于不同的结构参数，击穿电压随着 t_d 变化存在极大值。在图 4(a) 中相应于击穿电压极大值的最优 t_d 随着 N_{ed} 的增加而降低，在极大值之后，击穿电压迅速下降。在峰值击穿电压之前，纵向较横向击穿电压低，故随着漂移区厚度的增大，击穿电压增大；在峰值击穿电压之后，纵向耐压超过横向，器件发生横向击穿，同时器件发生部分耗尽，导致有效的横向和纵向耐压长度都减小，击穿电压迅速下降。在图 4(b) 中，最优漂移区厚度随着埋层浓度的增加而增大。这是因为埋层浓度的增加，导致漂移区和源端产生作用的 n 型电荷减少，漂移区横向电场下降，击穿电压要达到峰值，需较大的漂移区厚度。

图 5 为器件击穿电压和漏电流与漂移区浓度的关系。可以看到，BSI LDMOS 最大击穿电压为 290V，相应 N_{cs} 为 $8 \times 10^{15} \text{ cm}^{-3}$ ，正向导通时，漏电流为 $8.9 \times 10^{-5} \text{ A}$ ，对于均匀漂移区结构最大击穿电压为 250V，漂移区浓度为 $2 \times 10^{15} \text{ cm}^{-3}$ ，正向导通时漏电流为 $5.6 \times 10^{-5} \text{ A}$ ，故 BSI LDMOS 击穿电压较常规结构上升近 16%，导通电阻下降近 31%，说明 BSI 结构很大程度上改善了击穿电压和导通电阻的折衷关系，缓解了器件在击穿电压和导通电阻

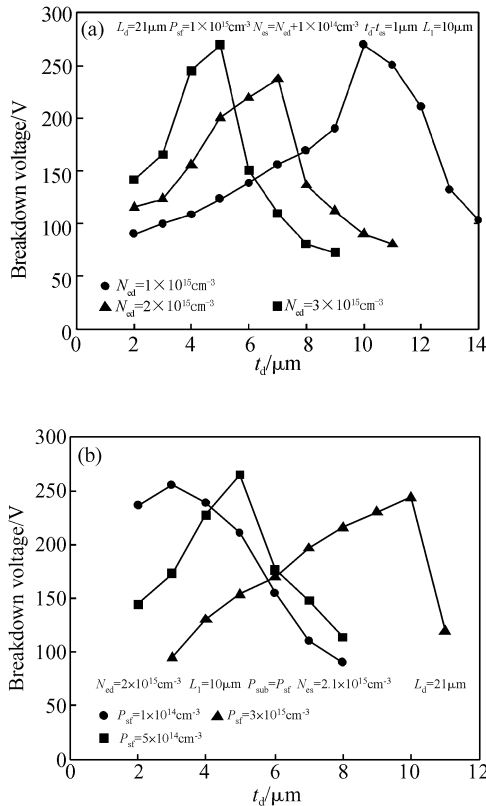


图 4 击穿电压与 t_d 的关系 (a)不同 N_{ed} ; (b)不同 P_{sf}
 Fig. 4 Numerical breakdown voltage as a function of t_d (a)For different N_{ed} ; (b)For different P_{sf}

上的矛盾.

在图 6(a)中,当埋层浓度较小时,击穿电压随着 L_1 几乎线性增加,当埋层浓度远大于衬底浓度时,击穿电压出现明显的峰值,最优 L_1 随着埋层浓度的增加而降低,这是因为埋层浓度很大时,很小的长度即可分享漂移区一定量的电荷,而埋层浓度较小时,分享相同的电荷,需要更大的长度.由图 6(b)

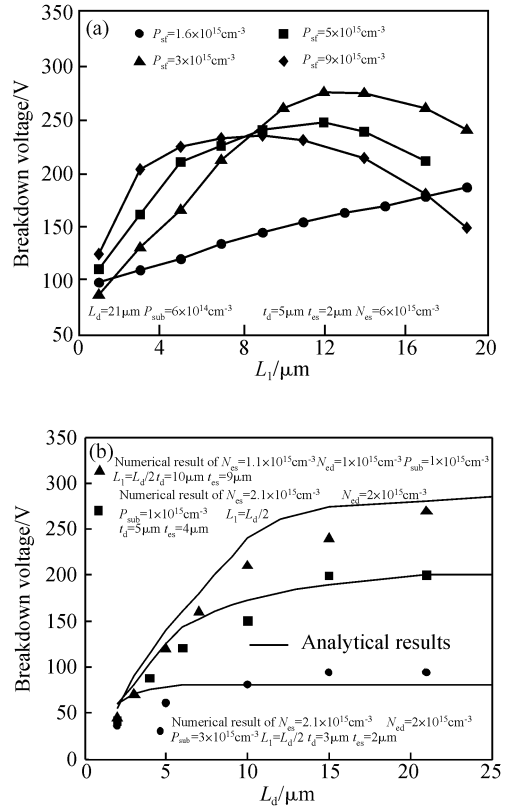


图 6 击穿电压与(a) L_1 和(b) L_d 的关系
 Fig. 6 Breakdown voltage as a function of (a) L_1 and (b) L_d

可以看到,当器件其他结构参数不变时,随着长度的增加,横向有效耐压长度增加,击穿电压增大逐渐趋于饱和,器件发生纵向击穿.随着漂移区厚度的增加,趋于饱和的击穿电压也增大,这主要是由于器件的纵向耐压长度增大所致,且解析结果和数值结果吻合较好.

4 结论

本文提出硅基 BSI LDMOS 高压器件新结构.其机理是通过表面注入 n^+ 薄层降低导通电阻,漂移区始端采用 p 离子注入埋层来减小沟道区等位线的曲率,不但改善了横向表面电场分布,提高击穿电压,而且增大了漂移区优化浓度,使导通电阻进一步降低.求解漂移区电势的二维 Poisson 方程,获得表面电场和击穿电压的解析式,研究结构参数对表面电场和击穿电压的影响,与 MEDICI 的数值结果比较,二者吻合较好.结果表明:BSI LDMOS 较常规结构击穿电压提高近 16%,导通电阻下降 31%,改善了击穿电压和导通电阻的折衷关系.

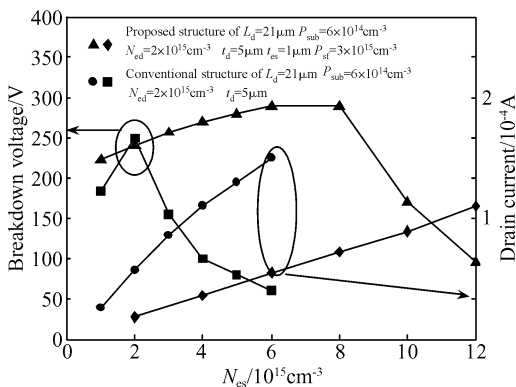


图 5 击穿电压与漏电流和 N_{es} 的关系
 Fig. 5 Breakdown voltage and drain current as functions of N_{es}

参考文献

- [1] Appels J, Vaes H, Verhoeven J. High voltage thin layer devices (RESURF devices). IEDM Tech Digest, 1979; 238
- [2] Baliga B J. An overview of smart power technology. IEEE Trans Electron Device, 1991, 38(7): 1568
- [3] Hardikar S, Souza M M D, Xu Y Z, et al. A novel double RESURF LDMOS for HVIC's. Microelectronics Journal, 2004, 35: 305
- [4] Schulze J, Kunhnert R. Realization of high-voltage planar junction terminations for power devices. Solid-State Electron, 1989, 32: 175
- [5] Disney D R. A new 600V lateral PMOS device with a buried conduction layer. ISPSD, 2003; 41
- [6] Charitat G, Bouanane M A, Rossel P. A new junction termination technique for power devices: RESURF LDMOS with SIPOS layer. ISPSD, 1992; 213
- [7] Park I Y, Choi Y I, Chung S K, et al. Numerical analysis on the LDMOS with a double epi-layer and trench electrodes. Microelectronics Journal, 2001, 32: 497
- [8] Imam M, Quddus M, Adams J, et al. Efficacy of charge sharing in reshaping the surface electric field in high-voltage lateral RESURF devices. IEEE Trans Electron Device, 2004, 51: 141
- [9] He Jin, Zhang Xing. Quasi-2-D analytical model for the surface field distribution and optimization of RESURF LDMOS transistor. Microelectronics Journal, 2001, 32: 655
- [10] Fang Jian, Yi Kun, Li Zhaoji, et al. On-state breakdown model for high voltage RESURF LDMOS. Chinese Journal of Semiconductors, 2005, 26(3): 436
- [11] Li Qi, Zhang Bo, Li Zhaoji. A breakdown model of thin drift region LDMOS with a step doping profile. Chinese Journal of Semiconductors, 2005, 26(11): 120 (in Chinese) [李琦, 张波, 李肇基. 阶梯掺杂薄漂移区 RESURF LDMOS 耐压模型. 半导体学报, 2005, 26(11): 120]
- [12] Han S Y, Kim H W, Chung S K. Surface field distribution and breakdown voltage of RESURF LDMOSFETs. Microelectronics Journal, 2000, 31: 685

Analytical Model and Optimization of Bulk-Silicon Surface Implanted LDMOS with p Buried Layer

Li Qi[†], Zhang Bo, and Li Zhaoji

(IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China)

Abstract: A novel bulk-silicon surface implanted device with a p buried layer is proposed, and an analytical model for the surface electrical field distributions and breakdown voltage is developed. The on-resistance is decreased as a result of the surface-implanted n^+ layer surface, and the p buried layer improves the surface electrical field distribution and increases the optimal drift region doping concentration. Based on the 2D Poisson's solution, the model gives the closed form solutions of the surface potential and electrical field distributions as functions of the structure parameters and drain bias. The dependence of breakdown voltage on structure parameters is also calculated. Analytical results are well verified by simulation results obtained by MEDICI, showing the validity of the model presented here. BSI structure allowed a significant improvement of breakdown voltage by about 16%, and reduction of on-resistance by about 31%, compared to conventional structures.

Key words: p buried layer; surface implanted; surface electrical field; breakdown voltage; model

EEACC: 2560B; 2560P

Article ID: 0253-4177(2007)08-1267-05

[†] Corresponding author. Email: lqphoenix@sina.com

Received 5 February 2007, revised manuscript received 16 February 2007