

一种新颖的 D 类音频功率放大器驱动电路*

叶 强[†] 来新泉 代国定 王 辉 许录平

(西安电子科技大学电路 CAD 所, 西安 710071)

摘要: 在 D 类功率放大器的设计中, 为了提高驱动效率, 需要一个高电平驱动 H 桥的高端 LDNMOS 管. 文中设计了一种新颖的适用于 D 类功放的驱动电路, 在芯片内部采用一个电荷泵电路. 当芯片正常工作时, H 桥低端 LDNMOS 管的驱动电平通过较大的电荷泵电容稳定在 5.5V 左右, H 桥高端 LDNMOS 管的驱动电平通过自举电容高达 18.8V, 从而实现对 D 类功放 H 桥高端的驱动, 这样既提高了驱动效率, 又减少了对外部多个电源的需求. 采用此电路的一款 3-W 的立体声 D 类功放已在 TSMC06BCD 工艺线投产, 芯片效率高达 89.67%, H 桥高端和低端的导通电阻为 320mΩ, 电源抑制比(PSRR)为 -62dB, THD 低至 0.1%, 测量结果表明该驱动电路工作良好.

关键词: D 类功放; H 桥; 电荷泵; 自举电容; 效率
EEACC: 2570P; 2570A; 2560P

中图分类号: TN433 **文献标识码:** A **文章编号:** 0253-4177(2007)09-1477-05

1 引言

由于集成 D 类音频功率放大器效率较高, 体积相对较小, 同时大部分情况下不需要散热片或者只需要很少面积的散热片, 大大减小了整体体积, 使得它在音频电子产品中成为首选^[1]. 但由于在 D 类功放设计中占用相同版图面积的情况下, pMOS 管的导通电阻远大于 nMOS 管的导通电阻, 为了减小版图面积, 降低 D 类功率放大器的输出级 H 桥导通电阻, H 桥采用 nMOS 管. 为了使 H 桥高端和低端的 LDNMOS 管过驱动电压相等, 这就需要外部增加一个额外的高电平电源去驱动 H 桥高端, 因此有必要采用基于电荷泵的电容自举电路产生一个高电平, 这样既提高了驱动效率, 又减少了对外部多个电源的需求, 巧妙地实现了对 D 类功放 H 桥的驱动.

本文简要分析了电容自举产生的机理, 论述了 D 类功放中电源与驱动电路之间的关系, 进而提出了一种基于电荷泵的新颖的可用于集成 D 类功放的驱动电路. 应用该电路的一款立体声 D 类音频功放已经在 TSMC06BCD 工艺线投产, 测试结果证明驱动电路效果良好.

2 驱动电路的拓扑结构

图 1 为 D 类功放驱动电路的原理图, V_{in} 为供电电源, D1 和 D2 为充电二极管, C_{cp1} 为存储电荷电

容, C_{cp2} 为自举电容(一端接 V_{BOOST} , 一端接 CLK 信号), I_{cp1} 给电容 C_{cp1} 充电, 通过电荷泵控制产生电压 V_{cp1} , 从而 V_{cp1} 作为驱动 H 桥低端 LDNMOS 管的驱动电平; I_{cp2} 用于给电容 C_{cp2} 充电, 通过电容 C_{cp2} 的自举产生电压 V_{cp2} , 从而 V_{cp2} 作为驱动 H 桥高端 LDNMOS 管的驱动电平. 电荷泵控制模块主要控制环路电容 C_{cp1} 的充放电过程及自举电压 V_{cp2} 的产生. 以下讨论 D 类功放驱动电路的高电平和低电平的产生, 电荷泵的控制环路机理及整个驱动电路的工作原理^[2,3].

为了能够驱动 H 桥 LDNMOS 晶体管, 提高驱动效率, 减少对外部多个电源需求, 图 2 为芯片电源产生示意图, 电源产生顺序为由 V_{in} 通过芯片内部 LDO 产生一个 5V 电源 V_{dd} , V_{in} 与 V_{dd} 共同对 C_{cp1}

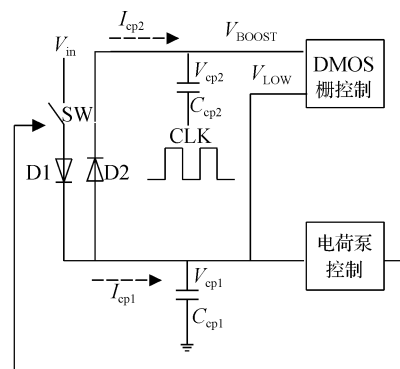


图 1 D 类功放驱动电路拓扑图
Fig. 1 Topology of driver for class-D APA

* 国家自然科学基金(批准号:60172004), 西安应用材料创新基金(批准号:XA-AM-200504)资助项目

[†] 通信作者. Email: yeqiang4213@126.com

2007-02-08 收到, 2007-05-07 定稿

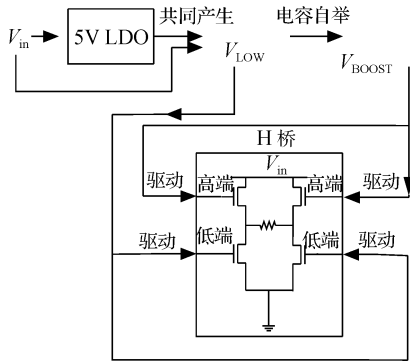


图 2 驱动 H 桥的电源产生顺序

Fig. 2 Power up sequence of driver for H-bridge

充电,从而快速完成充电,通过电荷泵箝位产生器产生 V_{LOW} (H 桥低端驱动电平),再通过电容自举产生 V_{BOOST} (H 桥高端驱动电平),即由 V_{in} 产生了 3 种电压值,减少对外部多个电源的需求,提高了驱动效率。

另一方面,可以通过控制电荷泵箝位调整器控制 V_{LOW} ,从而控制 V_{BOOST} ,进一步使得 D 类功放输出级 H 桥高端和低端 LDNMOS 的过驱动电压相等。

2.1 电荷泵控制

图 3 为电荷泵控制电路^[4,5]。由于 D 类功放 H 桥高端和低端的 LDMOS 管的驱动电平不同,为了提高驱动效率,通过电荷泵箝位调整器产生一个 V_{LOW} 的箝位电平,驱动 H 桥的低端,该电平同时作为自举电容的充电电源。电荷泵控制电路主要控制电容 C_{cp1} 的充放电及电荷在 C_{cp1} 和 C_{cp2} 之间的流向。 V_{in} 通过一个芯片内部的 LDO 产生 5V 的电源 V_{dd} ,作为芯片内部其他模块的电源。芯片启动完成后产生 V_{EN} 使能信号,M2 导通, V_{in} 和 V_{dd} 同时向电容 C_{cp1} 和电容 C_{cp2} (一端接 V_{BOOST} ,一端接 CLK 信号)充电,使 V_{cp1} 和 V_{cp2} 电压快速上升,M1 和 M2

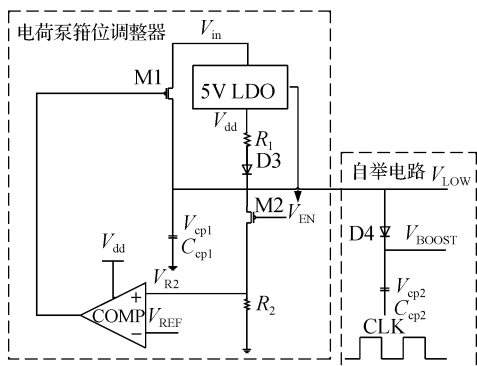


图 3 电荷泵控制电路

Fig. 3 Control schematic of charge pump

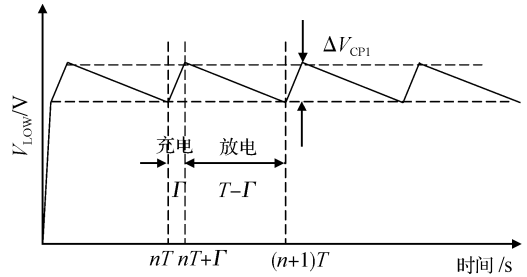


图 4 电荷泵箝位调整器的输出波形

Fig. 4 Operation of a regulated charge pump

工作在线性区,当 V_{cp1} 电压达到 V_H 时, $V_{cp1} > 5.5V$,二极管 D3 反偏, R_2 上的电压 $V_{R2} > V_{REF}$,比较器 COMP 的输出为高,关断 M1, C_{cp1} 开始放电;当 V_{cp1} 电压下降到 V_L 时, $V_{R2} < V_{REF}$,比较器 COMP 的输出为低,M1 导通, V_{in} 对电容 C_{cp1} 进行充电。在此过程中,电容的充放电周期为 T_1 ,充电时间为 Γ ,则放电时间为 $T_1 - \Gamma$,充电电流为 I_1 ,放电电流为 I_2 , $5V < V_L < V_H$ 。由此得出,当 $n T_1 < t < n T_1 + \Gamma$ 时,电容 C_{cp1} 进行充电,

$$I_1 = I[nT_1, nT_1 + \Gamma] \approx \mu_p C_{OX} \frac{W_{P1}}{L_{P1}} \times \left\{ (V_{in} - V_{thp})(V_{cc} - V_L) - \frac{(V_{in} - V_L)^2}{2} \right\} \quad (1)$$

当 $n T_1 + \Gamma < t < (n + 1) T_1$ 时,电容 C_{cp1} 进行放电,

$$I_2 = I[nT_1 + \Gamma, (n + 1) T_1] \approx \mu_p C_{OX} \frac{W_{P2}}{L_{P2}} \times \left\{ (V_H - V_{EN} - V_{thp})(V_H - V_{R2}) - \frac{(V_H - V_{R2})^2}{2} \right\} \quad (2)$$

所以,

$$V_{cp1}(t) = \begin{cases} V_L + \frac{I_1 t}{C_{cp1}}, & nT_1 < t < nT_1 + \Gamma \\ V_H - \frac{I_2 t}{C_{cp1}}, & nT_1 + \Gamma < t < (n + 1) T_1 \end{cases} \quad (3)$$

图 4 为电荷泵箝位调整器的输出波形,

$$\Delta V_{cp1} = V_H - V_L \quad (4)$$

由(3)式和(4)式可以得出,

$$\frac{dV_{cp1}(t)}{dt} = \begin{cases} \frac{V_H - V_L}{\Gamma}, & nT_1 < t < nT_1 + \Gamma \\ -\frac{V_H - V_L}{T - \Gamma}, & nT_1 + \Gamma < t < (n + 1) T_1 \end{cases} \quad (5)$$

所以,

$$V_{LOW} = V_{cp1}(t) = \begin{cases} V_L + \frac{(V_H - V_L)t}{\Gamma}, & nT_1 < t < nT_1 + \Gamma \\ V_H - \frac{(V_H - V_L)t}{T - \Gamma}, & nT_1 + \Gamma < t < (n + 1) T_1 \end{cases} \quad (6)$$

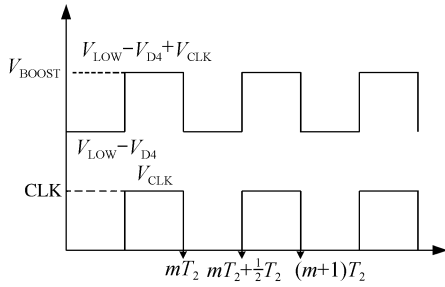


图 5 V_{BOOST} 与 CLK 的时序图
Fig. 5 V_{BOOST} varies with CLK

2.2 自举电路

图 3 中, 电荷泵箝位调整器产生的电压 V_{LOW} 通过二极管 D4 向电容 C_{cp2} 充电. 图 5 中 CLK 周期为 T_2 , 幅度为 V_{CLK} 的方波信号, 利用电容的自举效应产生 V_{BOOST} , 在 H 桥驱动电路的设计中, OUTN 与 OUTP 即为 CLK 信号, 减少了对时钟信号的需求, 巧妙地实现了 D 类功放 H 桥驱动电平的产生.

$$V_L \leq V_{LOW} \leq V_H \quad (7)$$

由图 5 可知, 当 $mT_2 < t < mT_2 + \frac{1}{2}T_2$ 时,

$$V_{BOOST} = V_{cp2}(t) = V_{LOW} - V_{D4} \quad (8)$$

当 $mT_2 + \frac{1}{2}T_2 < t < (m+1)T_2$ 时,

$$V_{BOOST} = V_{cp2}(t) = V_{LOW} - V_{D4} + V_{clk} \quad (9)$$

所以,

$$V_{BOOST} = V_{cp2}(t) = \begin{cases} V_{LOW} - V_{D4}, & mT_2 < t < mT_2 + \frac{1}{2}T_2 \\ V_{LOW} - V_{D4} + V_{clk}, & mT_2 + \frac{1}{2}T_2 < t < (m+1)T_2 \end{cases} \quad (10)$$

3 D 类功放驱动电路的设计

3.1 电荷泵箝位调整电路

图 6 中, 右面虚线框中是一共栅级低阈值电压迟滞比较器, 电流 I_{REF} 流过 R_3 产生比较基准电压^[6,7],

$$V_{REF} = I_{REF}R_3 \quad (11)$$

R_2 上的电压为 V_{R2} , 当 $V_{R2} > V_{REF}$ 时, 比较器的输出 OUT 为“0”; 当 $V_{R2} < V_{REF}$ 时, OUT 为“1”. 在芯片的电路设计中, $V_{dd} < (V_{cp1} = V_{LOW}) < V_{in}$, 当 V_{dd} 建立之后, V_{EN} 为“0”, V_{dd} 和 V_{in} 同时向 C_{cp1} 充电, 使得 V_{cp1} 上的电压快速上升. 当 $V_{LOW} = V_{cp1} = V_H$ 时, 二极管 D3 反偏, 电流比较器的输出 OUT 为“0”, 由 M1, M2, M3, M4 构成的电平移位电路关断 M5, 电容 C_{cp1} 开始放电; 当 $V_{LOW} = V_{cp1} = V_L$ 时, 比较器的

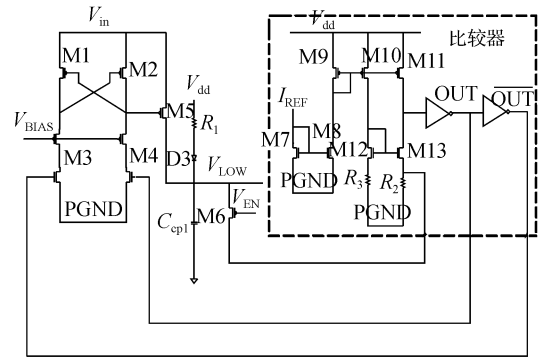


图 6 电荷泵箝位调整电路
Fig. 6 Practical schematic of charge pump

输出 OUT 为“1”, 此时 M5 导通, 电容 C_{cp1} 开始充电. 此过程的循环使得 V_{LOW} 箝位在 5.5V (设计值), 该电平用于驱动 H 桥的低端 LDNMOS 管.

3.2 H 桥驱动电路

D 类功放 H 桥同相端与反相端驱动电路的结构完全相同, 在芯片中对称地驱动 H 桥的同相端和反相端^[8]. 图 7 为 H 桥反相端的驱动电路, 由电荷泵箝位调整器电路产生的 V_{LOW} 驱动 H 桥的低端 LDNMOS 管, 通过电容 C_{cp2} 自举产生的 V_{BOOST} 驱动 H 桥的高端, PWM1N, PWM2N, PWM3N, PWM4N 为三角波与正弦波比较的输出 PWM 信号, 其脉宽与正弦波的信号幅度成正比^[9], 在驱动电路工作时,

$$V_{BOOST} = V_{LOW} - V_{D4} + V_{OUTN} \quad (12)$$

因此驱动 H 桥高端的过驱动电压为 V_{DH} ,

$$V_{DH} = V_{BOOST} - V_{OUTN} - V_{THN} \quad (13)$$

驱动 H 桥低端的过驱动电压为 V_{DL} ,

$$V_{DL} = V_{LOW} - V_{THN} \quad (14)$$

$$V_{DH} \approx V_{DL} \quad (15)$$

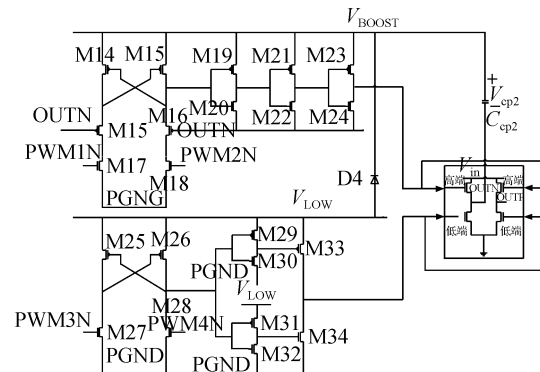


图 7 D 类功放 H 桥驱动电路
Fig. 7 Practical schematic of driver for H-bridge

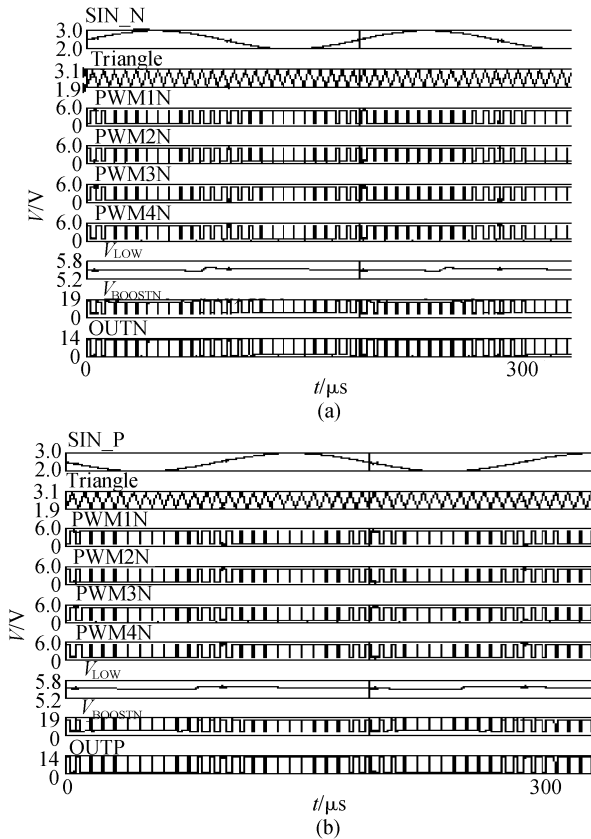


图 8 (a) H 桥反相端通路输入输出波形;(b)H 桥同相端通路输入输出波形
Fig. 8 (a) Negative input and output of H-bridge;
(b) Positive input and output of H-bridge

4 结果与讨论

在芯片正常工作时,H 桥同向端和反向端通路输入输出信号时序如图 8 所示,驱动电路工作性能良好.对投片结果进行实测试验证时(以反向端为例),音频输入信号经过前置放大器放大产生 SIN_N,与振荡器 OSC 产生的三角波信号 TRIANGLE 比较,产生与正弦波信号幅度成正比的脉宽调制信号 PWM1N,PWM2N,PWM3N,PWM4N,经由调制逻辑和驱动电路,其输出端经过 LC 滤波器解调输出为放大的正弦信号,电感 L 为 $33\mu\text{H}$,电容为 $0.47\mu\text{F}$,负载为 8Ω 的电阻(同向端工作情况与反向端相同,相位相反).实测波形如图 9 所示,结果表明该驱动电路工作性能良好.表 1 为含有该驱动电路的 D 类功放芯片主要电特性参数,芯片效率高达 89.67%(仿真值).总谐波失真 THD 随输出功率变化范围为 $0.1\% \sim 0.34\%$,电源抑制比 PSRR 为 -62dB .H 桥高端和低端 LDNMOS 导通电阻 R_{DSON} 为 $320\text{m}\Omega$.采用此结构前芯片面积为 $4.3\text{mm} \times 4.3\text{mm}$,采用此结构后芯片面积为 $3.5\text{mm} \times 3.5\text{mm}$,芯片面积减小 33.7%.

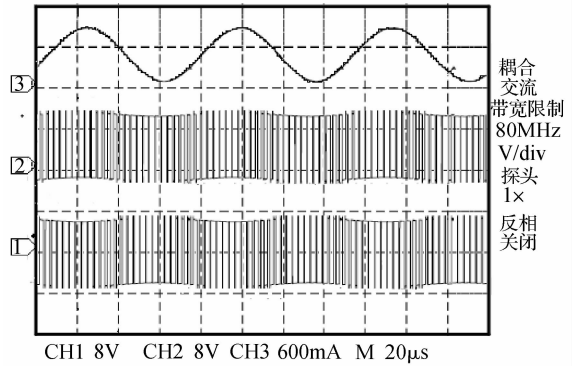


图 9 实测 H 桥输出波形和负载电流
Fig. 9 Experimental results—output of H-bridge and load current

表 1 含有该驱动电路的 D 类功放芯片的电特性表
Table 1 Electrical characters of the chip with proposed driver circuit

| 电源电压/V | 8.5 | 12 | 14 |
|------------------------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| 输入功率/W | $P_{\text{in}} = 6.238$ | $P_{\text{in}} = 6.245$ | $P_{\text{in}} = 5.573$ |
| 输出功率/W | $P_{\text{out}} = 2 \times 2.797$ | $P_{\text{out}} = 2 \times 2.789$ | $P_{\text{out}} = 2 \times 2.471$ |
| 仿真效率/% | $\eta = 89.676$ | $\eta = 89.32$ | $\eta = 88.68$ |
| 实测效率/% | $\eta = 85.46$ | $\eta = 85.35$ | $\eta = 84.72$ |
| 功耗/W | 0.644 | 0.667 | 0.631 |
| THD/% | 0.34 | 0.3 | 0.32 |
| 频率/kHz | 250 | 250 | 250 |
| $R_{\text{DSON}} / \text{m}\Omega$ | 高端 | 321 | 322 |
| | 低端 | 320 | 320 |
| | 总和 | 641 | 642 |
| PSRR/dB | -62 | -62 | -62 |
| $V_{\text{LOW}} / \text{V}$ | 5.47 | 5.5 | 5.58 |
| $V_{\text{BOOST}} / \text{V}$ | 13.27 | 16.8 | 18.88 |
| 采用此结构前的芯片面积/ mm^2 | 4.3 × 4.3 | | |
| 采用此结构后的芯片面积/ mm^2 | 3.5 × 3.5 | | |

上述 D 类功放驱动电路应用于一款 3-W 立体声 D 类音频功率放大器中,该电路基于 TSMC $0.6\mu\text{m}$ BCD 工艺,通过 Hspice 进行仿真验证,投片后测试效率结果如图 10 所示.可以看出,采用基

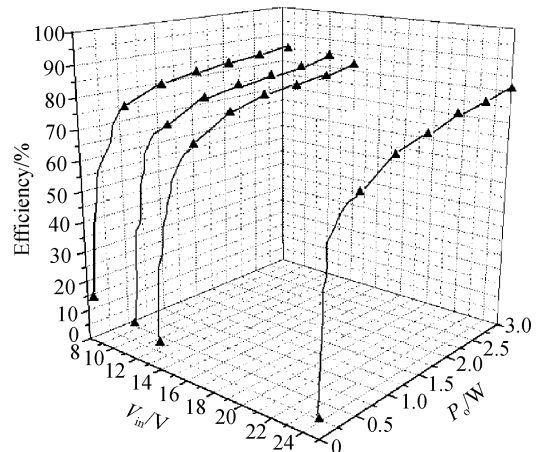


图 10 不同电源、不同输出功率下芯片的效率曲线
Fig. 10 Efficiency versus output power with different power supplies

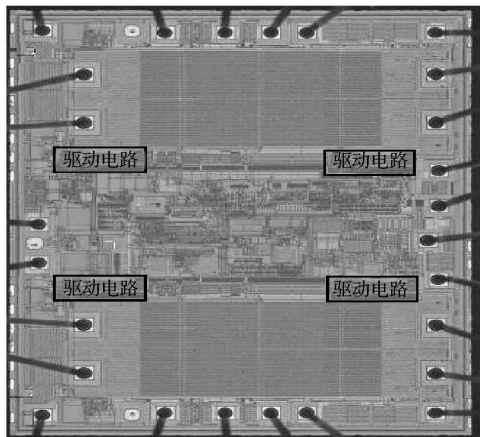


图11 该驱动电路的D类功放芯片的显微照片

Fig.11 Microphotograph of the chip with the proposed power supply driver circuit

于电荷泵的D类功放驱动电路,在一个供电电压下产生不同水平的驱动电压,有效地提高了H桥的驱动效率,减少对外部多个电源的需求,提高了芯片效率.图11为该款D类功率放大器显微照片,驱动电路总面积为 0.25mm^2 ,仅占芯片面积的2%.驱动电路静态时消耗电流很小,仅 $2\mu\text{A}$,测试结果表明驱动电路工作良好.

5 结论

本文提出一种新颖的可用于D类功率放大器芯片的驱动电路,采用基于电荷泵的箝位调整电路,利用电容自举效应,巧妙地与驱动电路结合产生了

驱动H桥高端和低端的驱动电平,极大地提高了驱动效率,减少对外部多个电源的需求.该电路已经成功地应用于一款3-W立体声的D类音频功率放大器的设计中,在TSMC $0.6\mu\text{m}$ BCD工艺线投片验证,测试结果表明该驱动电路具有功耗低、占用芯片面积小、驱动效率高优点.

参考文献

- [1] Dapkus D. Class D audio power amplifiers: an overview. International Conference on Consumer Electronics, 2000: 400
- [2] Chang J S, Tan M T, Cheng Z H, et al. Analysis and design of power efficient class D amplifier output stages. IEEE Transactions on Circuit and Systems-I, 2000: 897
- [3] Ph Dondon, Nicouleau J M. An original approach for the design of a class D power switching amplifier—an audio application. IEEE International Conference on Electronics, Circuits and Systems, 1999: 161
- [4] Lee Junwoo. A 2W BTL single-chip class-D power amplifier with very high efficiency for audio applications. ISCAS, 2000
- [5] Nielsen K. High-fidelity PWM-based amplifier concept for active loudspeaker systems with very low energy consumption. Journal of the Audio Engineering Society, 1997, 45: 554
- [6] Razavi B. Design of analog CMOS integrated circuits. New York: McGraw-Hill, 2001
- [7] Wang Hongyi, Lai Xinquan, Li Yushan, et al. A piecewise-linear compensated bandgap reference. Chinese Journal of Semiconductors, 2004, 25(7): 771
- [8] Tanzawa T, Tanaka T. A dynamic analysis of the Dickson charge pump. IEEE J Solid-State Circuits, 1997, 32(8): 1231
- [9] Soldera J, Boas A V, Olmos A. A low ripple fully integrated charge pump regulator. Proc 16th Symp Integrated Circuits and Systems Design, 2003: 1777

Novel Driver for Class-D Audio Power Amplifier*

Ye Qiang[†], Lai Xinquan, Dai Guoding, Wang Hui, and Xu Luping

(Institute of Electronic CAD, Xidian University, Xi'an 710071, China)

Abstract: In order to improve driver efficiency, a high power supply in the design of class-D audio power amplifiers is needed to drive the high-side LDNMOS of H-bridges. A novel driver circuit is presented to solve this problem. A charge pump circuit is used in the design. With the operation of the chip, the power supply for the low-side LDNMOS transistor of the H-bridge is clamped at 5.5V by a charge pump capacitor, and the power supply for the high-side LDNMOS transistor of the H-bridge reaches 18.8V by a bootstrap capacitor. The bootstrapped power supply minimizes the number of high-voltage power-supply levels externally supplied to the system and improves the efficiency. A stereo class-D audio power amplifier with this circuit is implemented in a TSMC06BCD process. The results indicate that its efficiency could be as high as 89.67%, and the high-side and low-side $R_{\text{DS(on)}}$ is $320\text{m}\Omega$, PSRR is -62dB , and its THD is as low as 0.1%. This shows that the circuit works effectively.

Key words: class-D APA; H-bridge; charge pump; bootstrapped capacitor; efficiency

EEACC: 2570P; 2570A; 2560P

Article ID: 0253-4177(2007)09-1477-05

* Project supported by the National Natural Science Foundation of China (No. 60172004) and the Innovation Foundation for Applied Materials of Xi'an (No. XA-AM-200504)

[†] Corresponding author. Email: yeqiang4213@126.com

Received 8 February 2007, revised manuscript received 7 May 2007