

具有非平面埋氧层的新型 SOI 材料的制备*

郭宇锋^{1,†} 李肇基² 张波² 刘勇³

(1 南京邮电大学光电工程学院, 南京 210003)

(2 电子科技大学 IC 设计中心, 成都 610054)

(3 中国电子科技集团第二十四研究所, 重庆 400060)

摘要: 提出一种基于 SDB 技术的非平面埋氧层 SOI 材料制备方法. 其关键技术包括: 通过干法刻蚀、高压氧化和淀积二氧化硅获得高质量非平面埋氧层; 通过化学气相淀积多晶硅来形成键合缓冲层, 并运用回刻光刻胶和化学机械抛光来实现键合面的局部和全局平坦化; 通过室温真空贴合、中温预键合和高温加固键合来进行有源片和衬底片的牢固键合. 基于该技术研制了有源层厚度为 $21\mu\text{m}$ 、埋氧层厚度为 $0.943\mu\text{m}$ 、顶面槽和底面槽槽高均为 $0.9\mu\text{m}$ 的具有双面绝缘槽结构的非平面埋氧层新型 SOI 材料. 测试结果表明该材料具有结合强度高、界面质量好、电学性能优良等优点.

关键词: SOI; 平坦化; 键合; 埋氧层

PACC: 7340Q; 7340T

中图分类号: TN304.05

文献标识码: A

文章编号: 0253-4177(2007)09-1415-05

1 引言

SOI(Silicon On Insulator)技术因其具有高速、高集成度、低功耗、隔离完全等优点,在超大规模集成电路领域具有广泛的应用前景^[1,2]. SOI 技术的飞速发展得益于 SOI 材料制备技术的日渐成熟. 当前,大规模商业化的 SOI 材料制备方法主要有硅直接键合(silicon direct bonding, SDB)法、注氧隔离(separation by implanting oxygen, SIMOX)法和智能剥离(smart cut)法^[1,2]. 基于以上技术,可以制备各种埋氧层厚度和硅膜厚度的质量优良的 SOI 材料. 近年来,图形化 SOI 材料也得到了大量的研究. 采用掩模注氧的 SIMOX 技术是图形化 SOI 材料制备的最常见方法,该方法在注氧时采用掩模版进行阻挡,使得注入硅片的氧在高温退火后形成埋二氧化硅岛^[2]. 另外一种方法是选择性外延,其原理是在常规 SOI 材料上进行深槽刻蚀,将部分顶层硅和埋氧层去除,而后采用选择性外延,将暴露出的衬底外延至和顶层硅表面平齐,从而形成图形化 SOI 材料^[3]. 无论常规 SOI 材料还是图形化 SOI 材料,其共同特点是埋氧层厚度均匀,并平行顶层硅表面. 然而在 SOI 基的高压集成电路 HVIC(high voltage integrated circuits)中,为了获得高击穿电压,往往

需要采用特殊的非平面埋氧层结构,如绝缘槽(绝缘电荷阱)埋氧层结构^[4,5]、阶梯埋氧层结构^[6]等. 但是,迄今尚未见到有关此类 SOI 材料制备技术的报道.

本文基于 SDB 技术,通过一系列的新工艺方法,解决了非平面埋氧层形成、键合面平坦化、键合等关键技术,成功研制了结合强度高、界面质量好、电学性能优良的,具有自对准错位双面绝缘槽的非平面埋氧层 SOI 新材料.

2 基本结构与工艺方案

图 1 是普通的平面埋氧层 SOI 材料和非平面埋氧层 SOI 材料的剖面示意图. 由图可见,普通 SOI 材料为三层结构,分别是顶层硅、埋氧层和衬底层. 而新 SOI 材料的埋氧层根据其工作时的作用不同包括顶面槽、埋氧层、底面槽三层^[4]. 此外,为了便于键合,在底面槽和衬底之间又插入了多晶硅缓冲层. 故非平面埋氧层 SOI 材料在纵向为六层结构.

显然,非平面埋氧层的复杂结构无法直接采用已知技术进行制造. 图 2 是我们提出的基于普通 SDB 技术的改进工艺方案,其中以黑体标出的步骤为常规 SDB 法. 在下一节我们将深入研究这种新工艺,并对工艺参数进行优化.

* 国家自然科学基金重点基金(批准号:60436030),江苏省高校自然科学基金(批准号:06KJB510077)和南京邮电大学博士启动基金(批准号:NY205051)资助项目

† 通信作者. Email: yfguo@njupt.edu.cn
2007-02-11 收到,2007-03-10 定稿

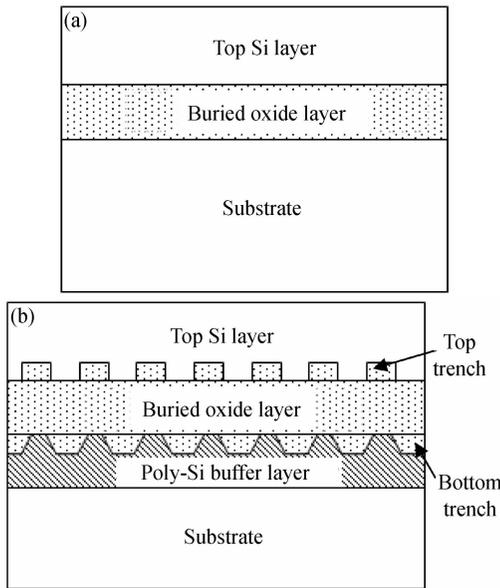


图 1 SOI 结构剖面图 (a)平面埋氧层;(b)非平面埋氧层
Fig.1 Cross-section of the SOI structures with normal planar buried oxide (a) and non-planar buried oxide layer (b)

3 实验

3.1 硅槽刻蚀

实验采用直径为 100mm 的 n 型<100>硅片.首先采用等离子干法刻蚀技术,在顶层硅的底面上刻蚀深度 0.9 μm 、宽度 4.5 μm 、间距 2 μm 的槽.掩模版图和显微照片如图 3 所示.这里,为了便于以后的器件制备,我们将版图设计成圆形.

3.2 非平面埋氧层生长

对于普通 SOI 材料,通常采用高压氧化法来形

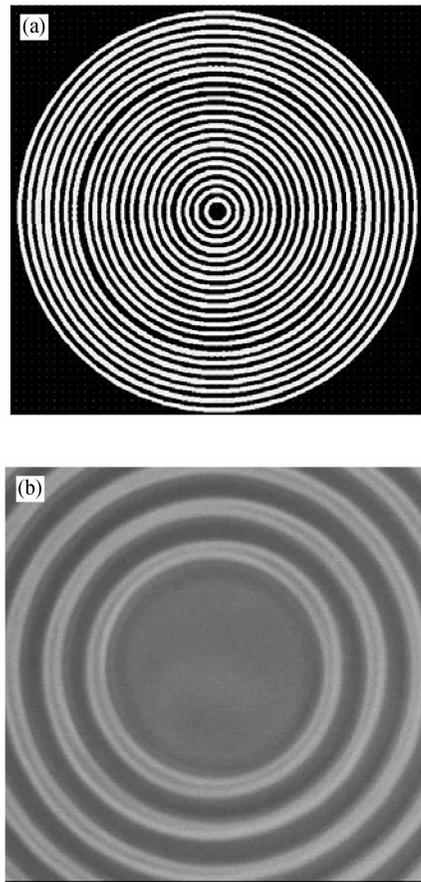


图 3 硅槽刻蚀照片 (a)掩模版图(b)显微照片
Fig.3 Photographs of the silicon trench (a) Layout;(b) Microphotography

成埋氧层,但采用这种方法制备非平面埋氧层材料,将会因为横向氧化而破坏槽的形状.为此,我们提出一种新的埋氧层制备方法:首先采用干氧化法在槽表面生长 0.1 μm 的优质氧化层,以保证在顶层硅/埋氧层界面处的二氧化硅的高临界击穿电场;然后再采用化学气相沉积(CVD)法定积 2 μm 的二氧化硅.为了减小厚膜淀积时产生应力,提高氧化层质量,每淀积 0.5 μm ,就在 850 $^{\circ}\text{C}$ 保温 1h 进行增密,共重复进行四次.图 4 给出了该工艺步骤的 TSUPREM4 仿真^[7]结果和实际测试的扫描电子显微照片(SEM),二者相吻合.从图中可以看到氧化层结构致密,顶面槽形状保持完好,侧壁陡直,底面槽近似为梯形,并与顶面槽错位排列.此外,从图中实测的顶面槽高度、氧化层厚度和底面槽高度分别为 0.945,0.8975 和 1.030 μm .

3.3 多晶硅缓冲层淀积

多晶硅缓冲层的作用是保护底面槽和提供键合面,为此必须有一定的厚度要求.综合考虑底面槽高度和平坦化工序的损耗,我们实际淀积的多晶硅厚

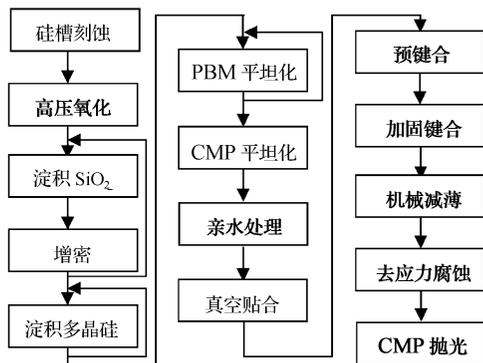


图 2 非平面埋氧层 SOI 材料制造工艺流程
Fig.2 Processes flow to fabricate the SOI material with non-planar buried oxide layer

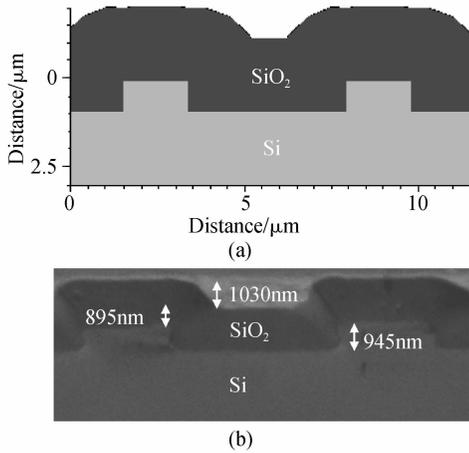


图 4 氧化层制备后的硅片剖面图 (a)TSUPREM4 仿真结果;(b)×10000 SEM 照片;(c)×2000 SEM 照片
Fig.4 Cross-sectional profiles of the silicon wafer after depositing SiO₂ (a) Simulating results by TSUPREM4; (b) × 10000 SEM photography; (c) × 2000 SEM photography

度为 2.0 μm .与二氧化硅的淀积方案相同,也采用多次淀积、多次增密的方法,以减小内部应力,增加致密度.每次淀积的厚度为 0.5 μm ,共淀积四次,其纵向剖面图的 TSUPREM4 仿真结果见图 5.可见表面起伏的高度约为 0.7 μm .

3.4 键合面的平坦化

为了满足键合工艺对表面平坦度的要求,当前常规 SOI 材料的制备中主要采用抛光技术来实现键合面的平坦化,但该技术只能适用于表面台阶高度低的情况^[2].而图 5 表明多晶硅缓冲层的表面台阶高度达 0.7 μm ,为此我们提出一种 PBM(photoresist block mask) + CMP(chemical-mechanical polishing)的二重平坦化方法消除键合面的不平整状况.PBM 回刻光刻胶法是一种局部平坦化技术,对于小范围内的表面起伏最为有效^[8],而化学机械

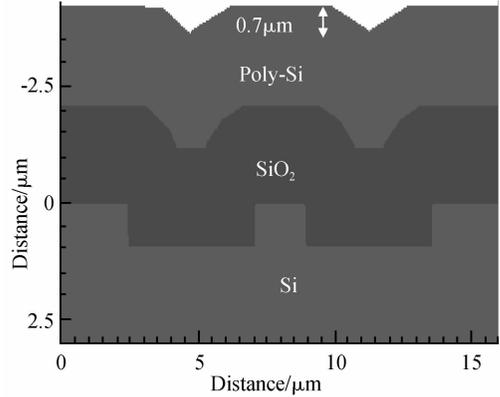


图 5 多晶硅缓冲层淀积后的硅片形貌
Fig.5 Cross-sectional profiles of the wafer after depositing the poly-silicon buffer layer

抛光技术是一种全局平坦化技术,能使平坦化后具有低斜率整体形貌^[9].两种方法的综合使用可最大程度提高表面平坦度.

实验中,我们首先在 LAM590 等离子刻蚀机上进行 PBM 平坦化.为了获得较好的平坦化效果,我们采用了厚胶涂敷工艺和多次涂胶、多次回刻的方法:胶涂覆厚度为 1.0 μm ,平坦化次数为两次,回刻时间分别为 15 和 8min.而后,将晶片在 AVANTI472 抛光机上采用 pH 值约为 10 的抛光液进行化学机械抛光,以进一步降低台阶高度,同时消除 PBM 后表面残留的尖峰,最终测得片内不平整度约为 0.1 μm .

3.5 有源片与衬底片键合

常规键合工艺通常由亲水处理、中温预键合和高温加固键合三步构成.为了提高键合强度,我们对常规工艺进行改进,在亲水处理和中温预键合之间插入真空贴合工艺,来使键合面上的空隙在键合前就已充分闭合,从而有效降低了气孔率.其工艺步骤如下:

(1) 亲水处理:将平坦化后的有源片和衬底片浸入亲水溶液($\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 5 : 2$),并升温至 H_2SO_4 亚煮沸,使键合面吸附羟基,由低能态转变为高能态.

(2) 室温真空贴合:经亲水处理后的有源片和衬底片键合面相对进行初步贴合,而后放入真空室抽真空,在 $3 \times 10^{-3} \text{Pa}$ 下保持 2min 后取出,大气压的作用下使得键合面上残留的空隙充分闭合.

(3) 中温预键合:在氧气保护下缓慢升温到 600 $^\circ\text{C}$,保温 2h,以使键合面上的水分充分逸出,避免硅片炸裂.

(4) 高温加固键合:在氧气保护下升温到 1200 $^\circ\text{C}$ 保温 4h,形成永久性键合面.

3.6 有源层减薄

为了便于以后的器件制造,我们对有源层进行减薄处理.首先采用机械减薄将有源层厚度减至 $60\mu\text{m}$;然后采用 $4:1:1:2$ 的 ($\text{HNO}_3:\text{HF}:\text{冰乙酸}:\text{H}_2\text{O}$) 溶液腐蚀 60s ,以消除应力,并进一步减薄有源层;最后在 AVANTI472 抛光机进行化学机械抛光.经过这三个步骤后最终得到无应力、无损伤层、厚度均匀的有源层.

4 结果与讨论

图 6 是研制的 SOI 材料的剖面 SEM 照片.为了得到清晰的埋氧层界面,将样品在 50% 氢氟酸溶液中浸泡 30s . 如图所示,从上到下依次是顶层硅、顶面槽、埋氧层、底面槽、多晶硅缓冲层和衬底层.由图测得有源层厚度约为 $21\mu\text{m}$,其厚度均匀性为 $\pm 2\mu\text{m}$.事实上,通过调整减薄工艺,还可以得到更薄的顶层硅,但是实验表明,当顶层硅厚度低于 $5\mu\text{m}$ 时,键合强度变低,硅膜极易发生剥离.从图中还可测得顶面槽槽高为 $1.08\mu\text{m}$,底面槽槽高为 $1.05\mu\text{m}$,埋氧层厚度为 $0.94\mu\text{m}$.而且顶面槽为侧壁陡直的矩形,底面槽为梯形,二者错位排列.

图 7 给出了研制的 SOI 材料的 IR (infrared ray) 照片.尽管在硅片周边由于边缘塌陷而造成键合质量较差,但是在硅片中部的大部分区域,键合完

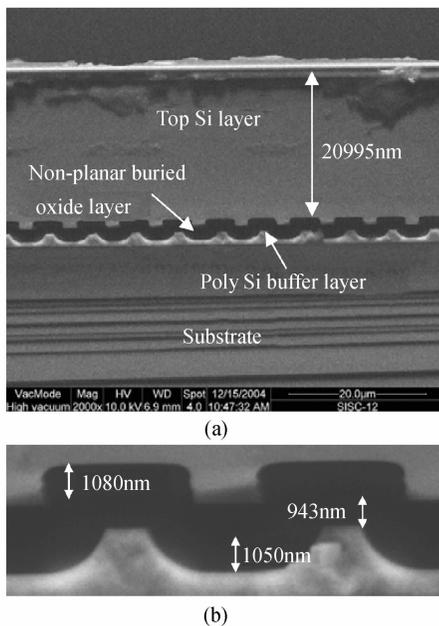


图 6 非平面埋氧层 SOI 材料 SEM 剖面照片 (a) $\times 2000$; (b) $\times 10000$

Fig. 6 SEM photographs of the SOI wafer with non-planar buried oxide layer (a) $\times 2000$; (b) $\times 10000$

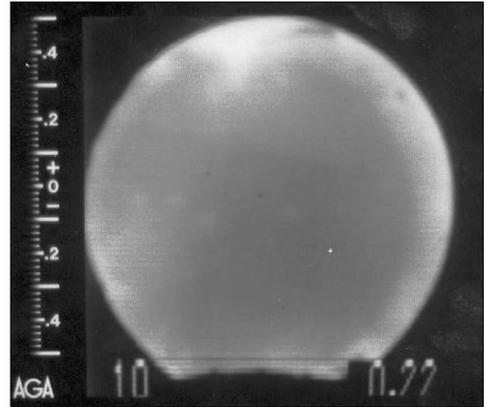


图 7 SOI 材料红外热成像照片

Fig. 7 IR image of the SOI wafer with non-planar buried oxide layer

整,键合面无任何气泡.图 8 是 SOI 材料埋氧层击穿特性的测试结果.由图可见击穿电压约为 400V ,由此得到埋氧层的平均电场为 $425\text{V}/\mu\text{m}$,略小于热氧化二氧化硅的临界电场 $600\text{V}/\mu\text{m}$.因此可以预测,在该 SOI 材料上进行横向高压器件设计可以获得高达 $700\sim 800\text{V}$ 的耐压.而在相同结构参数的常规 SOI 材料上制作横向高压器件,理论耐压不超过 400V [4].

5 结论

本文提出了一种非平面埋氧层 SOI 新材料的制备方法,并进行了样品试制,获得了埋氧层厚度为 $0.943\mu\text{m}$ 的双面槽非平面埋氧层 SOI 新材料.红外热成像、SEM 和 $I-V$ 特性测试表明,所研制的新型 SOI 材料键合强度高、界面质量好、电特性性能优良.其创新点包括:(1)采用刻槽、高压氧化和化学气相淀积来形成高质量非平面埋氧层;(2)采用淀积多

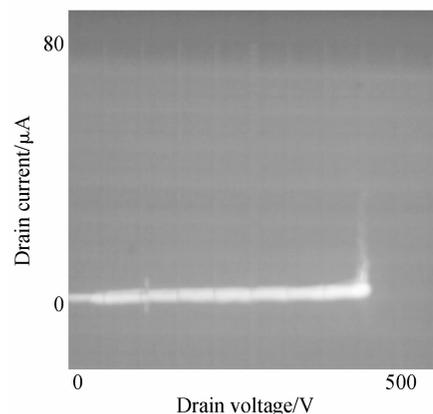


图 8 击穿电压测试曲线

Fig. 8 Measured breakdown curve of the SOI wafer with non-planar buried oxide layer

晶硅来制备高质量的键合缓冲层;(3)采用 PBM 和 CMP 的方法来实现键合面的局部和全局平坦化;(4)采用亲水处理、室温真空贴合、中温预键合和高温加固键合来实现有源片和衬底片的牢固结合。

本文的工作为制备具有特殊埋氧层图形的 SOI 新材料提供了新的思路,只需通过改变掩模版形状或稍微改动工艺步骤,即可制备各种特殊 SOI 材料,如单面绝缘槽埋氧层 SOI 材料^[5]、阶梯埋氧层 SOI 材料^[6]、PSOI 材料^[10]和 DSOI^[11]材料。我们将在以后的研究中采用上述新型 SOI 材料进行高耐压的 SOI 功率集成电路的研制,并进一步探索这种新方法在其他 SOI 图形化埋氧层材料制备中的应用。

参考文献

- [1] Yoshimi M. Current status and future directions of SOI technology. *Solid-State Electron*, 2002, 46: 951
- [2] Celler G K, Cirstoloveanu S. Frontiers of silicon-on-insulator. *J Appl Phys*, 2003, 93(9): 4955
- [3] Garner D, Ensell G, Bonar J, et al. The fabrication of a partial SOI substrate. The 9th International Symposium on Silicon on Insulator Technology and Devices of the Electrochemical Society, 1999: 73
- [4] Luo Xiaorong, Li Zhaoji, Zhang Bo, et al. A novel structure and its breakdown mechanism of SOI high voltage device with shielding trench. *Chinese Journal of Semiconductors*, 2005, 26(11): 2154 (in Chinese) [罗小蓉, 李肇基, 张波, 等. 屏蔽槽 SOI 高压器件新结构和耐压机理. *半导体学报*, 2005, 26(11): 2154]
- [5] Kapels H, Plikat R, Siber D. Dielectric charge traps; a new structure element for power device. *Proceeding of ISPSD*, 2000: 205
- [6] Kim I J, Matsumoto S, Sakai T, et al. Breakdown voltage improvement for thin-film SOI power MOSFET's by a buried oxide step structure. *IEEE Trans Electron Devices*, 1994, 15(5): 148
- [7] TSUPREM-4 User's Manual, Ver 5, Technol Model Assoc, Inc, Palo Alto, CA, 1992
- [8] Wu P Y, Chou F C, Gong S C. Analytical solutions of film planarization for periodic feature. *J Appl Phys*, 1999, 86(8): 4657
- [9] Davari B, Koburger C W, Schulzet R, et al. A new planarization technique, using a combination and chemical mechanical polish (CMP). *IEEE IEDM Technical Digest*, 1989: 61
- [10] Park J M, Grasser T, Kosina H, et al. A numerical study of partial-SOI LDMOSFETs. *Solid-State Electron*, 2003, 47: 275
- [11] He Ping, Jiang Bo, Lin Xi, et al. Drain and source on insulator MOSFETs fabricated by local SIMOX technology. *Chinese Journal of Semiconductors*, 2003, 24(6): 592

Fabrication of a Novel SOI Material with Non-Planar Buried Oxide Layer*

Guo Yufeng^{1,†}, Li Zhaoji², Zhang Bo², and Liu Yong³

(1 College of Optoelectronic Engineering, Nanjing University of Posts and Telecommunications, Nanjing 210003, China)

(2 IC Design Center, University of Electronic Science and Technology of China, Chengdu 610054, China)

(3 No. 24 Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, China)

Abstract: A fabrication process of a novel SOI material with a non-planar buried oxide layer was developed using a series of key processes. A high quality non-planar buried oxide film was made by dry etching, thermal growth, and chemical-vapor deposition. A poly-silicon buffer layer for bonding was deposited by CVD and was planarized by photoresist block masking and chemical mechanical polishing. The active and substrate wafers were bonded by vacuum contacting at room temperature, with pre-bonding at a moderate temperature and final firming bonding at a high temperature. Based on these key processes, a novel SOI material with a non-planar buried oxide layer was fabricated. The structure includes an active layer with a thickness of $21\mu\text{m}$, a buried oxide with a thickness of $0.943\mu\text{m}$, and self-aligned top and bottom trenches with thicknesses of about $0.9\mu\text{m}$. The measurements indicate a high quality bonded interface with a large combining intensity and excellent electrical performance with a high breakdown electric field.

Key words: SOI; planarization; bonding; buried oxide layer

PACC: 7340Q; 7340T

Article ID: 0253-4177(2007)09-1415-05

* Project supported by the National Natural Science Foundation of China (No. 60436030), the Natural Science Foundation of Higher Education of Jiangsu Province (No. 06KJB510077), and the Doctoral Starting Foundation of the Nanjing University of Posts and Telecommunications (No. NY205051)

† Corresponding author. Email: yfguo@njupt.edu.cn

Received 11 February 2007, revised manuscript received 10 March 2007

©2007 Chinese Institute of Electronics