

一种用于 14bit 50MHz 流水线模数转换器的 CMOS 采样开关

胡晓宇[†] 周玉梅

(中国科学院微电子研究所, 北京 100029)

摘要: 分析了影响 CMOS 采样开关性能的非理想因素, 针对 14bit 50MHz A/D 转换器对采样开关特性的要求, 提出了一种新型的时钟馈通补偿结构. 该结构通过增加 dummy 开关管能够有效消除时钟馈通对采样值的影响, 打破了开关设计中速度和精度之间的制约关系. 基于 SMIC 0.25 μm 标准 CMOS 数模混合工艺, 采用 Hspice 对电路进行了模拟. 模拟结果显示, 在输入信号为 23.3MHz 正弦波, 峰峰值为 2V, 采样时钟频率为 50MHz, 时钟上升/下降时间为 0.1ns 时, 无杂散动态范围达到 92dB, 信噪失真比达到 83dB; 同时时钟馈通效应造成的保持误差由 5.5mV 降为 90 μV . 这种具有时钟馈通补偿结构的采样开关特别适用于高速高分辨率模数转换器.

关键词: 栅压自举采样开关; 非线性; 时钟馈通补偿; 保持误差; 模数转换器
EEACC: 1265H

中图分类号: TN79⁺2 文献标识码: A 文章编号: 0253-4177(2007)09-1488-06

1 引言

随着数字信号处理技术和 DSP 处理器的发展, 越来越多的模拟信号需要转化成数字信号进行处理, 这就使得对模拟信号和数字信号的接口——模数转换器提出了更高的要求. 目前模数转换器正在向高速高精度的方向发展, 而此类模数转换器通常采用流水线结构. 采样保持电路作为流水线模数转换器中的核心单元, 其性能指标直接决定整个转换器的性能. 随着采样速度和精度的不断提高, 传统的 CMOS 采样开关已经无法满足设计对采样精度和非线性的要求. 栅压自举型开关具有良好的采样精度和线性度, 但是随着设计指标的不断提升, 开关管的尺寸不断加大, 这使得时钟馈通效应越来越明显, 严重影响到采样开关的精度. 在采样开关的设计中存在着速度和精度之间的相互制约关系.

本文首先分析了影响采样开关性能的主要因素, 针对 14bit 50MHz 的流水线模数转换器的要求设计了栅压自举开关. 探讨了栅压自举开关时钟馈通的特点及补偿思想, 提出了一种新的时钟馈通补偿电路.

2 影响采样开关性能的因素

2.1 开关导通阻抗

开关在采样模式下可以等效为一个阻抗为 R_{ON}

的电阻, 与其后的采样电容 C_s 构成的一个低通滤波器, 电路的最大采样频率和采样精度就受到低通滤波器的 3dB 带宽的限制, 其 3dB 带宽为^[1]

$$f_{3\text{dB}} = \frac{1}{2\pi R_{\text{ON}}(C_s + C_p)} \quad (1)$$

其中 C_p 为采样开关在采样电容一侧的寄生结电容. 要达到所需要的采样精度, 最小的 3dB 带宽需满足以下条件:

$$f_{3\text{dB}} \geq 2^{(N-1)/2} f_{\text{in}} \quad (2)$$

其中 f_{in} 为输入信号的频率; N 为采样开关的分辨率. 根据(1)和(2)式可以算出所需要导通阻抗的大小.

在开关设计中开关导通阻抗的非线性在很大程度上影响着开关的线性特性, 特别是对无杂散动态范围(spurious free dynamic range, SFDR)的影响. 在短沟道器件模型中开关的导通阻抗可由(3)式表示:

$$R_{\text{ON}} = \frac{1 + \frac{V_D - V_S}{E_C L}}{C_{\text{OX}} \mu_{\text{eff}} \frac{W}{L} \left[V_G - \frac{V_S}{2} - \frac{V_D - V_{\text{T0}}}{2} - \gamma(\sqrt{V_S - V_B - 2\Phi_F} - \sqrt{2\Phi_F}) \right]} \quad (3)$$

其中 V_G, V_D, V_S, V_B 分别为开关管的栅、漏、源、衬电压; W, L 为 MOS 管的宽度和长度; $C_{\text{OX}}, \mu_{\text{eff}}, \Phi_F, \gamma$ 分别为单位面积栅氧化层电容、载流子迁移率、费米能级、体效应系数. 开关的非线性主要是由于导通电阻 R_{ON} 与输入电压 V_{in} 有联系产生的, 通

[†] 通信作者. Email: huxiaoyu1979@126.com
2007-02-26 收到, 2007-05-09 定稿

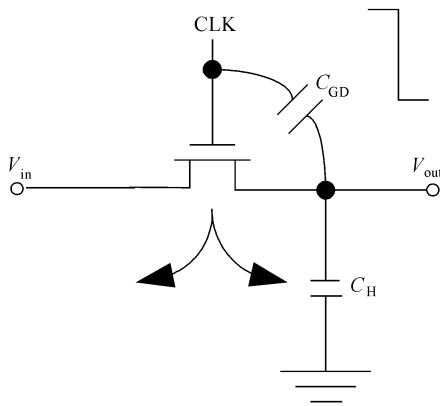


图1 沟道电荷注入及时钟馈通效应

Fig. 1 Effect of charge injection and clock feedthrough

通过分析(3)式可以得到影响开关导通阻抗非线性的三个部分:(1)栅-沟道电压 $V_G - (V_S + V_D)/2$ 的非线性;(2)开关管的阈值电压 V_{th} 受衬偏电压 $V_S - V_B$ 影响而产生的非线性;(3)开关管漏源两端电压差 $V_D - V_S$ 产生的非线性。

2.2 沟道电荷注入及时钟馈通效应的影响

图1是MOS开关沟道电荷注入及时钟馈通效应的原理示意图.当开关管采样时处于导通状态,此时MOS管存在导电沟道.当采样结束时,CLK变为低电平,开关管关闭,沟道内的电荷将向开关管的源端和漏端泄放,从而形成电荷注入效应.其中一部分电荷注入到了采样电容 C_H 上,使得保持在 C_H 上的采样值发生了变化.沟道内反型层中的总电荷 Q_{CH} 为:

$$Q_{CH} \approx WLC_{OX}(V_{gs} - V_{th}) \quad (4)$$

设注入到采样电容 C_H 上的电荷占总沟道电荷的比例为 k ,则由沟道电荷注入而引起的采样值的变化为:

$$\Delta V = \frac{\Delta Q_{CH}}{C_H} \approx \frac{kWLC_{OX}(V_g - V_{in} - V_{th})}{C_H} \quad (5)$$

由(5)式可以发现电荷注入引起的采样值的变化 ΔV 与输入信号 V_{in} 有关,同时公式中的阈值电压 V_{th} 由于衬偏效应也与输入信号有关,这些都为电路带来非线性。

影响开关性能的另一个因素为时钟馈通效应,由于开关管栅漏间存在寄生电容 C_{GD} ,当CLK变为低电平时, C_{GD} 和 C_H 的串联结构在输出 V_{out} 处产生分压,从而形成时钟馈通效应.由时钟馈通效应引起的输出点电压变化值 ΔV 可以表示为:

$$\Delta V = V_{CLK} \frac{C_{GD}}{C_{GD} + C_H} \quad (6)$$

就简单的采样结构来说,时钟馈通并不带来非

线性,而只是引入了一个与输入电压无关的固定失调,这种失调可以通过差分结构消除.但对于栅压自举开关来说,时钟馈通会引入与输入有关的非线性问题,这一点将在后面的章节详细论述。

3 采样开关设计

3.1 开关设计要求

在进行采样开关的设计之前首先需要确定几个参数:模拟输入信号的摆幅,开关的3dB带宽,开关的SFDR.这些参数的确定需根据所要应用的流水线模数转换器的设计指标来约束.本设计的开关是为了用于14bit 50MHz的流水线模数转换器,通过对市场上各种商业产品的分析,目前高速高分辨率的流水线模数转换器的输入模拟量的峰峰值在2~2.35V的范围内,故本设计中的模拟输入信号的摆幅定为2V。

开关的SFDR的要求主要通过行为级的建模仿真来获得,通过在MATLAB中进行建模和仿真得到在14bit 50MHz的设计指标下,当开关的SFDR小于90dB时,流水线模数转换器的有效位数(effective number of bit, ENOB)开始明显下降,故设计之初将开关的SFDR定在90dB以上.需要注意的是开关的SFDR指标比较依赖流水线模数转换器的SFDR,如果对流水线模数转换器的SFDR要求很高的话,开关相应的SFDR指标也会随之提高。

本设计中采样精度为14bit,采样时钟信号频率50MHz,由于是奈奎斯特采样,输入信号的最大频率为25MHz,根据(2)式可以得到开关的3dB带宽最小为2.26GHz。

开关后面的采样电容 C_S 的大小由流水线模数转换器的SNR决定,本设计中采样电容为3.3pF,在开关3dB带宽和采样电容已知的条件下可以根据(1)式计算出开关的最大导通阻抗为40Ω。

3.2 栅压自举开关设计

目前栅压自举开关大致分为两类:有源开关和无源开关.有源开关通常SFDR较高(>100dB),但带宽有限,设计相对复杂.无源开关中又可分为有衬底效应和无衬底效应两类^[2].开关的SFDR决定着开关采用什么样的结构,2V的输入信号摆幅及90dB的SFDR使得本设计选取0.25μm的工艺,通过设计仿真发现,在0.25μm工艺下衬底效应对SFDR影响较小,故本设计选用无源nMOS型有衬底效应的栅压自举开关结构^[3]。

图2所示为本设计中的栅压自举开关,其工作

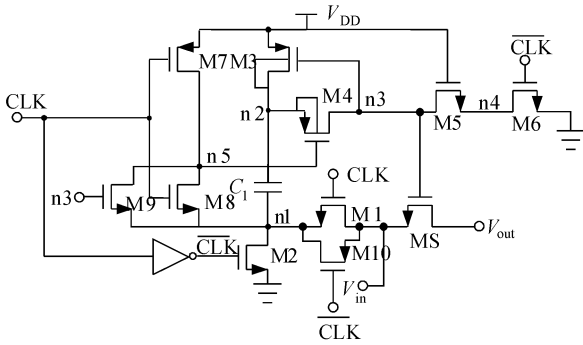


图 2 栅压自举开关电路
Fig.2 Proposed bootstrapped switch

原理如下:当时钟 CLK 为低电平时,开关处于保持状态, M5, M6 导通, 结点 n3 为低电平, M3, M2 导通, V_{DD} 通过 M3, M2 对电容 C_1 进行充电, C_1 两端电压被充至 V_{DD} (忽略 M3, M2 的导通压降). 与此同时, 开关管 MS 的栅极通过 M5, M6 接地, 使其关断, M1 和 M10 组成的 CMOS 开关在 CLK 的控制下保持关断. 由于 M7 导通, 节点 n5 为高电平, M4 管截止, 使结点 n3 与结点 n2 断开. 这样开关输入端的电压变化不会影响到电路内各结点电压. 当时钟 CLK 为高电平时, 开关进入采样状态, M1, M10 导通, 使节点 n1 处的电压与输入 V_{in} 几乎相等, M2 截止, M4, M8 导通, 结点 n3 电位升高, M3 管截止, 开关管 MS 的栅端与源端分别通过 M4, M1, M10 与电容 C_1 连接, 其栅源电压差近似为电容 C_1 上的电压 V_C . 栅压自举开关由于采样状态将内部部分节点电压提升, 带来了可靠性问题^[4], 当晶体管尺寸进入深亚微米后, 管子四个端点中任意两点之间的电压差不能超过 $1.7V_{DD}$. 为了提高电路的可靠性在电路结构中增加了功能上相对冗余的 M9 和 M5, M9 的作用是确保 M4 在导通时的栅源电压不超过 V_{DD} , M5 是为了在 CLK 为低电平时, 保证 M6 的 V_{gd} 与 V_{ds} 不超过 V_{DD} .

在传统的栅压自举开关中输入端与 n1 之间由一个栅压连接在 n3 的 nMOS 开关连接^[3], 这使得此开关的电荷注入效应无法消除, Waltari^[5] 在此结构上做了改进, 使这个 nMOS 开关的栅端由时钟信号 CLK 控制, 由于 CLK 会在 n3 之前变为低电平, 所以此开关带来的电荷注入效应不会对采样值产生影响. Waltari 的结构很好地体现了消除非理想因素的设计思想, 不足的地方在于: 如果输入信号的最大值较高, 在采样状态下, 连接输入端与 n1 的 nMOS 开关的有效栅源电压下降, 所能提供的电流减小, 这需要加大此开关的尺寸才能满足设计要求, 而当输入信号的最大幅度达到或超过 $(V_{DD} - V_{thn})$ 时, 此开关关断, 电路将无法实现功能. 本设计在

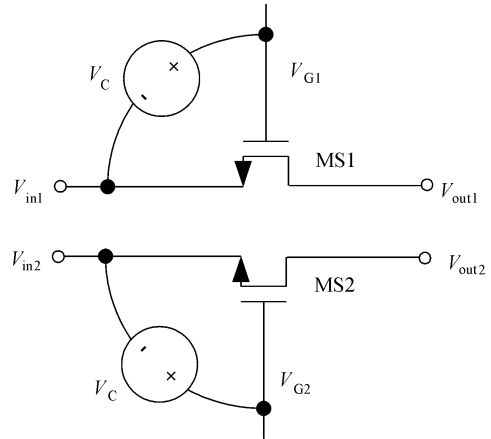


图 3 栅压自举开关差分结构
Fig.3 Differential architecture

Waltari 的基础上又做了改进, 如图 2 所示, 使用 M1, M10 组成的 CMOS 开关代替原有的 nMOS 开关, 这样即便输入信号较大, 使其中的 nMOS 管关断, 而 pMOS 管也可以保持导通, 保证正常工作. 这一改进使栅压自举开关拥有更大的输入范围, 同时又可以消除其中部分管子的沟道电荷注入效应.

需要指出的是, 虽然电容 C_1 在保持阶段两端电压被充到 V_{DD} , 但在采样阶段由于寄生电容的存在, 使得保持在电容上的电荷发生电荷分享, 发生电荷分享后电容两端电压变为 V_C :

$$V_C = \frac{V_{DD} C_1}{C_1 + C_{pn1} + C_{pn2} + C_{pn3}} \quad (7)$$

其中 C_{pn1} , C_{pn2} , C_{pn3} 分别为 n1, n2, n3 处的寄生电容, C_1 上的电荷分享现象会给电路带来非线性因素^[6]. 由(7)式看出 V_C 的大小决定着开关导通阻抗的大小, 在 V_C 不变的情况下, 加大开关管 MS 的尺寸可以减小导通阻抗, 提高开关的带宽, 同时 n3 处寄生电容 C_{pn3} 也会增大, V_C 由于电荷分享的发生而变小, 可见在设计中存在尺寸、带宽之间的制约关系, 所以需要对电路中 C_1 的大小及各个管子(特别是开关管 MS)的尺寸仔细设计. 为了保证在各个工艺转角及温度范围内达到对导通阻抗的设计要求, 本设计中 C_1 为 2pF, MS 的宽长比为 65/0.25.

4 时钟馈通补偿结构

随着流水线模数转换器向高速高分辨率发展, 对 CMOS 采样开关的设计也提出了更加严格的要求. 为了满足设计要求, 开关管的尺寸越来越大, 这使得采样开关的时钟馈通和电荷注入效应更加明显, 直接影响到了采样开关的性能. 图 3 所示为栅压自举开关差分结构.

栅压自举开关的时钟馈通效应会更加严重地影响采样值的精度且带来非线性因素. 如(6)式, 在栅压自举开关中 $V_{CLK} = V_C + V_{in1,2}$, 其中 V_C 为自举电容 C_1 在保持状态时的两端电压值的差, $V_{in1,2}$ 为差分输入的正(反)向端. 差分结构的采样开关在两端由时钟馈通带来的电压变化分别为:

$$\Delta V_1 = \frac{C_{GD}}{C_{GD} + C_H} (V_C + V_{in1}) \quad (8)$$

其中 C_{GD} 为开关管栅漏之间的结电容, 最终在差分输出端产生的电压变化为:

$$\begin{aligned} \Delta V &= \Delta V_1 - \Delta V_2 = \frac{C_{GD}}{C_{GD} + C_H} (V_{in1} - V_{in2}) \\ &= \frac{C_{GD}}{C_{GD} + C_H} V_{in} \quad (9) \end{aligned}$$

(9)式表明栅压自举采样开关即便采用差分结构也无法消除时钟馈通效应带来的影响, 同时由于时钟馈通效应产生的电压变化值与输入电压相关, 该结构还带来了非线性因素. 特别是在高速高分辨率的采样开关设计中, 开关管的 C_{GD} 达到 10^{-13} F 量级, 时钟馈通效应带来的影响成为限制采样开关设计的一个最重要的因素, 如何补偿时钟馈通效应成为设计高速高分辨率的开关所必须研究和解决的问题.

补偿时钟馈通需要在时钟由高变为低的时刻在输出端产生一个与 ΔV 大小相等方向相反的补偿电压. 补偿电压的产生可以通过引入虚拟开关(dummy switch)来实现, 图 4 中的两种结构可以在理论上消除时钟馈通效应带来的影响.

图 4(a) 中开关管 MS 和虚拟开关管 M10 的尺寸相同, 当 CLK 由高变为低时, M10 的栅压由 V_{in2} 变为“0”, 这样 M10 由于 CLK 而产生时钟馈通效应, 其对结点 V_{out1} 的影响为:

$$\Delta V_1 = \frac{C_{GDd}}{C_{GDd} + C_H} V_{in2} \quad (10)$$

其中 C_{GDd} 为 M10 栅漏之间的结电容, 采用差分结构后对输出的影响为:

$$\begin{aligned} \Delta V_1 - \Delta V_2 &= \frac{C_{GDd}}{C_{GDd} + C_H} (V_{in2} - V_{in1}) \\ &= -\frac{C_{GDd}}{C_{GDd} + C_H} V_{in} \quad (11) \end{aligned}$$

由于 M10 和 MS 的尺寸一样, 所以 $C_{GDd} = C_{GD}$, 这样虚拟开关在输出端产生了一个与(9)式中 ΔV 大小相等方向相反的补偿电压. 然而正是由于 C_{GDd} 的量级较大, 使得当 CLK 为低时 M12 导通, 结点电压 V_{Gd} 通过结电容 C_{GDd} 耦合到输出端, 而此时开关处于保持状态, 这会严重影响到保存在采样电容上的采样值. 由此得出的结论是当采样开关处于保持状态时, 虚拟开关的栅压应保持不变. 根据这一结论

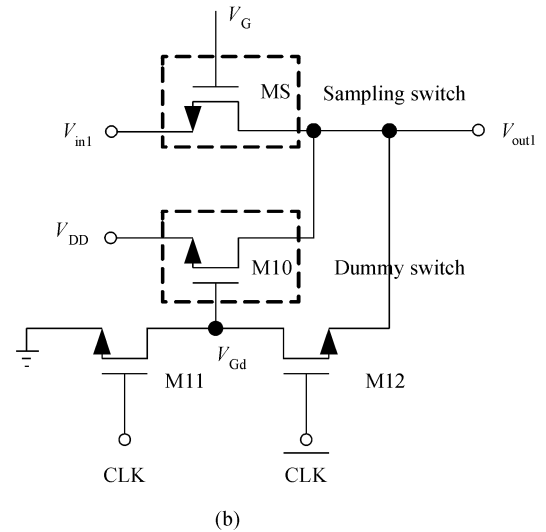
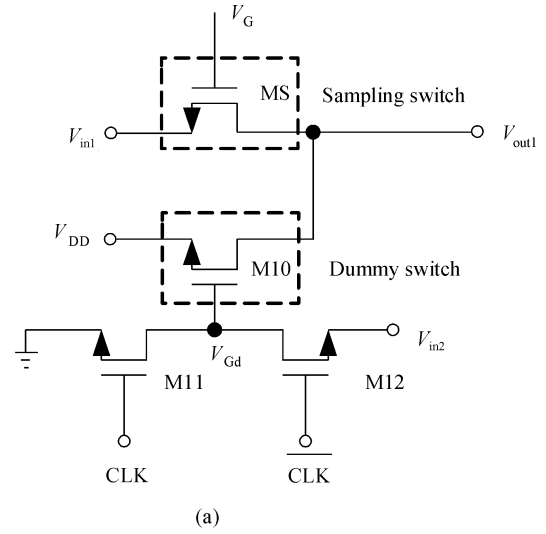


图 4 时钟馈通补偿方法

Fig.4 Methods of clock feedthrough compensated

Lee 等人^[7]设计了图 4(b)中的结构, 为了产生反向馈通效应, M12 在 CLK 由高变低的时刻开始导通, 使虚拟开关 M10 的栅压由“0”变为 V_{out1} , 根据类似的推导采用此结构的差分形式可以完全消除时钟馈通对采样值的影响. 然而这一问题出现在 M12 的源端, 由于 M12 导通时采样开关刚好关闭, 而 M10 栅压处电压变化所需的电流就只能来自存储在采样电容上的电荷来提供, 这样就产生了 V_{out1} 和 V_{Gd} 两点间的电荷分享, 采样值就变为:

$$V'_{out1} = \frac{C_H}{C_H + C_{Gd}} V_{out1} \quad (12)$$

其中 C_{Gd} 是 M10 栅端总的等效电容. 前面的讨论已经提到, 在高速高分辨率的采样开关设计中由于开关管的尺寸较大, C_{Gd} 相对于 C_H 已无法忽略, 此

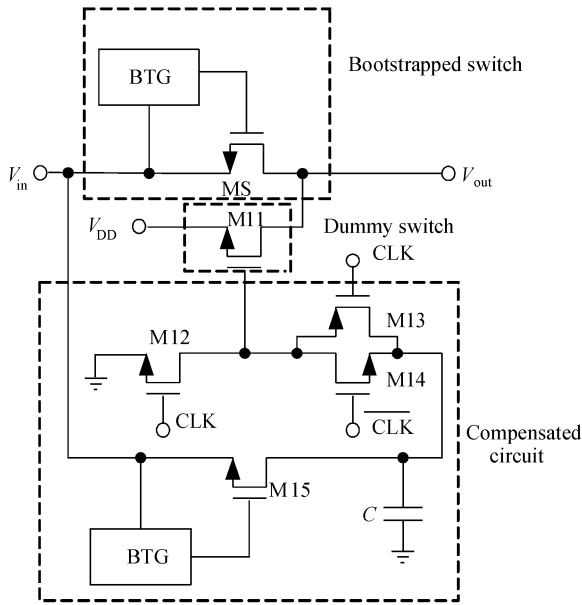


图 5 本文提出的时钟馈通补偿结构

Fig.5 Proposed clock feedthrough compensated architecture

结构不但没有起到作用,反而严重影响到了采样值的准确性,故图 4(b)中的结构不适用在本设计中.

基于对图 4 中两种结构的尝试,本文提出一种新型的适用于栅压自举开关的时钟馈通补偿电路,如图 5 所示,其中 MS,M11,M15 采用相同的尺寸,BTG 代表栅压自举开关中除开关管外的电路.补偿的思想类似于图 4(b),补偿时钟馈通所需要的电压由保持在电容 C 上的电荷提供,这样保持在采样电容 C_H 上的值就不会因为补偿馈通而受到影响.开关进入保持状态后,dummy 管 M11 的栅端电压由“0”变为 V_{comp}:

$$V_{comp} = \frac{C}{C + C_{Gd}} V_{out1} \approx \frac{C}{C + C_{Gd}} V_{in1} \quad (13)$$

采用差分结构后补偿电路对输出的影响为:

$$\begin{aligned} \Delta V_1 - \Delta V_2 &= \frac{C_{GDd}}{C_{GDd} + C_H} (V_{comp1} - V_{comp2}) \\ &= -\frac{C_{GDd}}{C_{GDd} + C_H} \times \frac{C}{C + C_{Gd}} V_{in} \quad (14) \end{aligned}$$

选取适当的电容 C 的取值,可以基本上补偿时钟馈通带来的影响,提高开关的采样精度.

5 仿真分析与结论

采用 SMIC 0.25μm 标准 CMOS 数模混合工艺,利用 Hspice 对电路进行了仿真.电源电压为 2.5V,输入信号为 23.3MHz 正弦波,峰峰值为 2V,采样时钟频率为 50MHz,时钟上升下降时间为 0.1ns,在温度 90℃、SS 工艺下导通电阻为 38Ω.为

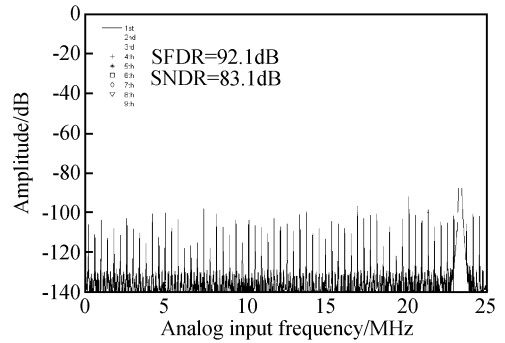


图 6 8192 点 FFT

Fig.6 Measured output FFT spectra

表 1 保持误差与输入信号幅度的关系

Table 1 Hold error versus V_{p-p}

V _{p-p} /V	Hold error without clock	Hold error with clock
	feedthrough compensated	feedthrough compensated
	/mV	/μV
2	5.5	90
1.8	4.77	53
1.6	4.25	45
1.4	3.7	34
1.2	3.19	27
1.0	2.65	10

了检测开关电路的非线性,测试采用对开关保持阶段取值,导入 MATLAB 中做 FFT 分析的方法.这种方法有别于对开关采样阶段做 FFT 分析,采样阶段的 FFT 分析只能得到开关导通阻抗的非线性,而此方法可以全面评估开关的线性特性,通过 8192 点 FFT 分析后得到图 6,开关的 SFDR = 92dB,SNDR = 83dB.

通过表 1 可以看出在输入信号峰峰值为 2V 时,不采用馈通补偿结构的栅压自举开关会产生最大 5.5mV 的保持误差,而采用本文提出的馈通补偿结构后,保持误差减小到 90μV,相当于原来的 1.6%.

仿真结果表明在温度 90℃、SS 工艺下开关仍能满足设计要求.提出的时钟馈通补偿结构效果明显,所设计的开关能够应用于 14bit 50MHz 流水线模数转换器中.

参考文献

[1] Chouia Y, El-Sankary K, Saleh A, et al. 14b, 50MS/s CMOS front-end sample and hold module dedicated to a pipelined ADC. The 2004 47th Midwest Symposium on Volume 1, 2004,25~28;353

[2] Waltari M, Halonen K. Bootstrapped switch without bulk effect in standard CMOS technology. Electron Lett,2002.38 (12):555

[3] Dessouky M, Kaiser A. Input switch configuration for rail-to-rail operation of switched opamp circuits. Electron Lett,

- 1999,35(1):8
- [4] Abo A M. Design for reliability of low-voltage switched-capacitor circuit. PhD Thesis, University of California, Berkeley, 1999
- [5] Waltari M. Circuit techniques for low-voltage and high-speed A/D converters. PhD Thesis, Helsinki University, 2002
- [6] Vleugels K, Rabii S, Wooley B A. A 2.5-V Sigma-Delta modulator for broadband communications applications. IEEE J Solid-State Circuits, 2001, 35:1887
- [7] Lee T S, Lu C C. A 1.5-V 50-MHz pseudodifferential CMOS sample-and-hold circuit with low hold pedestal. IEEE Trans Circuits Syst I, 2005, 52(9):1752

A CMOS Sampling Switch for 14bit 50MHz Pipelined A/D Converter

Hu Xiaoyu[†] and Zhou Yumei

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: We discuss major factors that affect the performance of a CMOS analog sampling switch. We also propose a novel architecture that is aimed to compensate the effects of clock feedthrough in Bootstrapped switches. It breaks the tradeoff between speed and resolution in Bootstrapped switch design. The entire circuit is simulated by Hspice in SMIC's 0.25 μ m standard CMOS AMS process. The proposed sampling switch achieves a spurious free dynamic range of 92dB and signal to noise and distortion ratio of 82dB for a 23.3MHz, 2V V_{p-p} input signal, sampled at a rate of 50MS/s, clock rise/fall time 0.1ns. Also, the maximum hold step error is reduced from 5.5mV to 90 μ V. This method is especially useful for high speed high resolution ADCs.

Key words: bootstrapped switch; nonlinear; clock feedthrough compensated; hold error; ADC

EEACC: 1265H

Article ID: 0253-4177(2007)09-1488-06

[†] Corresponding author. Email: huxiaoyu1979@126.com

Received 26 February 2007, revised manuscript received 9 May 2007