

一种高速高精度采样/保持电路*

杨 斌[†] 殷秀梅 杨华中

(清华大学电子工程系, 北京 100084)

摘要: 介绍了一种用于 12bit, 100MS/s 流水线模数转换器前端的采样/保持电路的设计. 该电路在 3V 电源电压 100MHz 采样频率时, 输入直到奈奎斯特频率仍能够达到 108dB 的无杂散动态范围(SFDR)和 77dB 的信噪比(SNR). 论文建立了考虑开关之后的采样保持电路的分析模型, 并详细研究了电路中开关组合对电路性能的影响, 同时发现了传统的栅源自举开关(bootstrapped switch)中存在的漏电现象并对其进行改进, 极大地减小了漏电并提高了电路的线性性能.

关键词: 采样/保持电路; 自举开关; 增益自举放大器

EEACC: 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2007)10-1642-05

1 引言

流水线模数转换器(pipeline ADC)是中高精度(10~14bit)高速(10~500MS/s)ADC的主流实现结构^[1], 被广泛应用在通信系统、图像设备、视频处理等系统中. 作为其前端最关键的模块, 采样保持电路的性能直接决定了整个 ADC 的性能. 因此, 高速高精度的采样保持电路的设计变得非常重要.

高速高精度采样保持电路的设计是非常困难的, 尤其是开关这一基本元件的设计, 小尺寸的开关会带来大的导通电阻和非线性, 而大尺寸的开关在高速的应用中将会带来非常大的馈通电容. 因此有人采用了 BiCMOS 工艺的输入缓冲级来实现前端的采样保持功能, 但却带来了非常大的功耗^[2,3].

目前单独研究采样保持电路的文献不多, 文献[4]分析了单电容和单开关组成的采样保持电路的分析模型, 详细讨论了采样开关引入的非线性对整个电路的影响. 但是电路只分析了采样相, 采用的模型也比较简单, 缺少针对性和通用性, 并且引入了非常复杂的数学计算. 而文献[5]分析了电荷翻转型采样保持电路的模型, 但却没有考虑到开关的导通电阻对电路性能的影响. 本文首先通过建立电荷翻转型采样保持电路的数学分析模型, 详细讨论了开关对电路的影响, 获得了最优的开关组合和设计. 与文献[4,5]中的模型相比, 本文的分析模型更为详细和

精确, 而数学计算却非常简单和直观.

本文同时研究了传统的栅源自举开关中存在的漏电现象并对其进行改进, 极大地减小了漏电并提高了电路的线性性能; 高增益高速的增益自举运算放大器减小了运放有限增益和不完全建立带来的误差. 电路在 100MHz 采样频率下实现了 108dB 的无杂散动态范围(SFDR)和 77dB 的信噪比(SNR), 与文献[2,3]中的输入缓冲级 500mW 的功耗相比, 文中的采样保持电路的功耗仅仅为 36mW.

2 CMOS 采样保持电路结构

现今流行的采样保持电路有两种, 电荷重分配型和电容翻转型. 这两种结构中, 电容翻转型的采样保持电路因为在功耗和噪声上的巨大优势^[5]被大多数电路所采用^[5~7].

图 1 所示是电容翻转型采样保持电路的结构图, 它的工作时序是图 2 所示的两相非交迭时钟. ϕ_{1d} 相时采样电容 C_s 上的电压跟随输入信号; ϕ_{1d} 结束时, ϕ_1 提前关断与运算放大器输入端相连的开关, 使采样电容 C_s 不再有直流通路; 之后, 当 ϕ_{1d} 关断采样开关时, 便不会再有电荷注入和时钟馈通到采样电容. 保持相 ϕ_{2d} 时, 采样电容 C_s 下底板直接连接到运放输出端, 这样, 输出的电压就等于采样相 ϕ_1 采样到的信号电压. 从而完成了采样保持的功能.

* 国家自然科学基金资助项目(批准号: 90207001)

[†] 通信作者. Email: yangbin02@mails.tsinghua.edu.cn

2007-03-14 收到, 2007-04-29 定稿

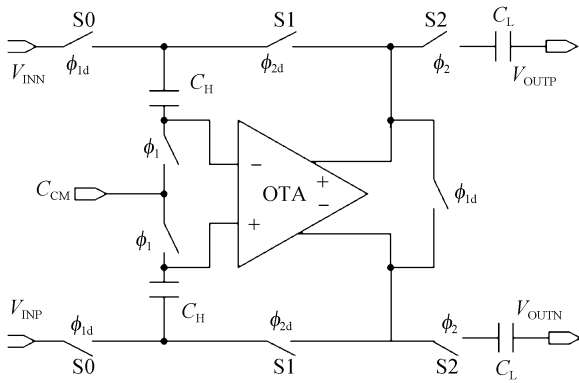


图 1 电容翻转型采样保持电路结构
Fig.1 Flip-over sample-and-hold architecture

3 采样保持电路中开关的设计

文献[4,5]中都提到了采样保持电路的分析模型,但文献[4]仅仅是分析了单开关和单电容的分析模型,并且引入了非常繁琐的数学分析.而文献[5]分析了电荷翻转型采样保持电路的模型,但却没有考虑到开关的导通电阻对电路性能的影响.在高速应用中,开关的性能对电路有着非常重要的影响.小尺寸的开关会带来大的导通电阻,严重影响电路的速度,而大尺寸的开关则会引入非常大的馈通电容,对前级造成明显的影响.此外电阻的非线性也是整个采样保持电路非线性的主要来源^[4].因此,在设计

$$\frac{V_{out}}{V_s} = \frac{C_H(g_m + sC_{in})(1 + sR_2C_L)}{s^2C_{in}C_H C_L(R_2 + R_1) + s(C_L C_{in} + C_L C_H + C_H C_{in} + g_m R_2 C_H C_L) + g_m C_H} \quad (1)$$

忽略零点的作用^[7],电路存在两个极点,分别是:

$$p_1 = -\frac{g_m C_H}{C_{in} C_H + C_L C_{in} + C_L C_H + g_m R_2 C_H C_L} \quad (2)$$

$$p_2 = -\frac{C_{in} C_H + C_L C_{in} + C_L C_H + g_m R_2 C_H C_L}{C_H C_L C_{in} (R_1 + R_2)} \quad (3)$$

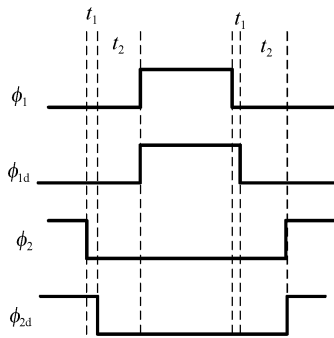


图 2 两相不交迭时钟
Fig.2 Non-overlapped clock

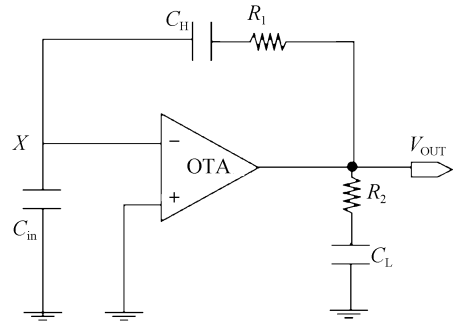


图 3 保持模式下采样保持电路的分析模型
Fig.3 Analysis model of hold-mode

阶段就应该考虑到开关导通电阻这一问题的存在.本文提出的分析模型可以在运放设计的初始阶段,通过适当增加运放的设计裕度来减小开关的设计困难,并通过模型找到最优的开关组合.

对于图 1 所示的采样保持电路,在保持相 ϕ_2 ,考虑后续采样开关 S2 和本级开关 S1 的导通电阻 R_2 和 R_1 ,以及运放的输入电容 C_{in} ,电路如图 3 所示.

在采样相时采样到的电荷存储在电容 C_H 上,为了简化分析我们可以将 C_H 上的电荷看作一个与之串联的电压源 V_s ,而 C_H 本身不带电荷,因此在保持相,电路的小信号分析模型如图 4 所示.与文献[5]的模型相比,在这里考虑了本级开关 S1 的导通电阻 R_1 和后一级采样开关 S2 的导通电阻 R_2 ,运放则用线性的宏模型来等效.电路的传递函数为:

简单的估算便可推知其中 p_1 是主极点,且 $p_1 \ll p_2$,为了简化分析而不引入过多的数学运算,我们只考虑电路的线性建立过程(后面的仿真结果将会说明,这一简化分析是足够精确的),因此 p_1 将会起到主要作用.所以 S2 的导通电阻 R_2 的大小决定了电路的速度性能,而其线性度决定了整个电路在线性建立中的线性性能,S2是第二级的采样开关,因此采

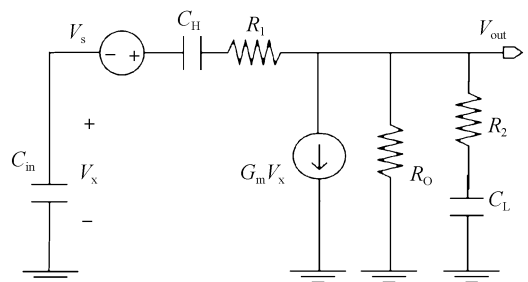


图 4 考虑了开关导通电阻之后的小信号模型
Fig.4 Small-signal model considering the on-resistance of the switch

表 1 不同的开关组合对电路性能的影响

Table 1 Effect of different switch combinations

S0	S1	S2	SFDR/dB
nMOS	CMOS	bootstrap	47.7
CMOS	CMOS	bootstrap	63.6
bootstrap	CMOS	bootstrap	108.1
bootstrap	nMOS	bootstrap	67.66
bootstrap	CMOS	CMOS	92.8
bootstrap	bootstrap	bootstrap	105.2

样开关的线性度和电阻决定了整个电路的性能. 其中电阻的大小决定了电路的工作速度, 而电阻的线性度决定了其能够达到的精度.

从公式(2)还可以看出, 考虑了导通电阻 R_2 之后, 极点会变得更低, 从而电路的速度会变慢, 因此如果如文献[5]那样在运放的设计时没有考虑到开关的影响, 不为运放留有足够的裕度, 在运放设计已经完成之后再设计开关, 只有 R_2 很小才不至于影响电路的性能, 这导致了开关 S2 的尺寸偏大. 电路的模拟结果表明, 大尺寸开关的栅源电容在高速时使得运放的建立出现明显的过冲, 反而引起电路性能的严重下降. 公式(2)则为运放设计提供了更合适的指标, 在电路设计的初始阶段预先选择合适的 R_2 大小(一般使得 RC 为 5~10 倍采样带宽), 再设计运放, 从而完成了比较好的性能折中. 公式(2), (3)还表明电阻 R_1 主要是影响次极点, 因此它的大小对电路的速度影响较小, 开关 S1 可以选择小的尺寸. 电路的建立主要受限于主极点, 前面分析得出, 建立过程中 S2 采样开关导通电阻的线性度对电路的整体线性性能影响最大, 同样的结论可以推广到采样相, 开关 S0 的线性度对电路采样相的线性性能影响最大(这一结论和文献[4]一样), 因此采用 CMOS 或自举开关来提高开关 S0, S2 的线性性能至关重要, 自举开关的线性性能最好, 但版图设计复杂, 同时对前一级的负载也大, 尤其是在高速应用中. 因此, 选择合适的开关组合非常重要, 在本文的设计中采用了试探法获得了开关的最佳组合设计, 设计过程如表 1 所示.

从表 1 中可以看出, 黑体所示的组合是最佳的开关组合. 并且可以发现, 虽然 S1 采用自举开关(bootstrap)时可以获得比较小的且线性度高的电阻, 但同时也增加了电路的负载电容, 因此反而降低了 SFDR 性能. 仿真模拟表明, 较小的 S1 开关便可以获得比较好的线性性能, 这一开关的设计组合, 很好地吻合了上述模型得出的结论.

4 改进型栅源自举开关

本文设计的采样保持电路中的自举开关是对文

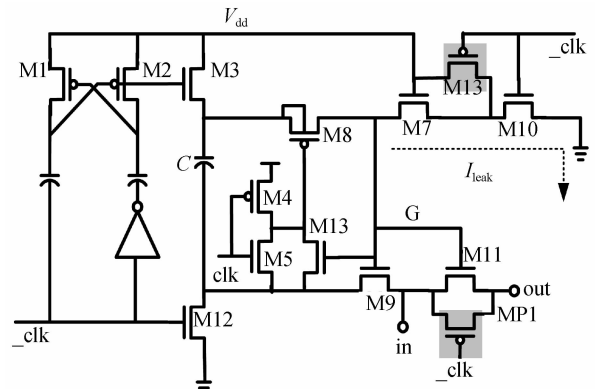


图 5 本文采用的自举开关

Fig. 5 Bootstrapped switch proposed in this paper

献[9]提出的栅源自举开关的改进, 电路如图 5 所示. 随着工艺尺寸的减小, 更精确的电路模拟发现, 由于在 clk 相 M7 管处于导通状态, 并且 G 点电压很高, 因此存在着图示 I_{leak} 方向的电荷泄漏通路, 因此对于开关 S2, 这样的电荷泄漏会给运放造成明显的阻性负载, 如果这样的开关接在增益自举运算放大器上之后, 将会严重影响运放的增益. 尤其是在 130nm 以下的工艺, 电路模拟发现, 这一漏电会造成运放的增益下降 30% 以上, 因此本电路对其做了改进, 采用了 M13 管进行电压钳制, 使得在 clk 相, M7 管处于关闭状态. 这样带来了两点好处: 第一是通过关闭 M7 管, 减小了 M7 的电容, 从而减小了参与电压分享的寄生电容 C_p , 使得在相同的 C_3 条件下自举电压提高^[10]; 第二是有效地减小了泄漏电流, 电路模拟表明, 增加 M13 管后, 自举电压提高了 10%, 泄漏电流减小了 40%.

电路的另一个改进是增加了 Mp1 管^[10], 因为衬偏效应的存在, 使得自举开关的导通电阻并不能完全恒定, 尺寸很小的 Mp1 管便可以很明显地减小导通电阻, 从而可以减小 M11 的尺寸, 达到减小前级负载的效果, 同时可以提高其线性度, 如图 6 所示. 实线和虚线分别是增加 Mp1 管前后开关的导通电阻, 而 Mp1 管的尺寸仅仅是 M11 的 1/100. 电路模拟表明, 增加 Mp1 和 M13 之后电路的 SFDR 可提高约 10dB.

5 运算放大器的设计

电路中运算放大器的设计采用了全差分的增益自举运算放大器, 选择单级的运算放大器来获得高的带宽, 同时为了获得高的输入共模范围和输出摆幅, 采用了折叠共源共栅结构, 从功耗、速度、噪声综合考虑, 我们采用了 pMOS 管作为输入管, 保证了低噪声并提高了相位裕度. 最后, 从增益上考虑, 我

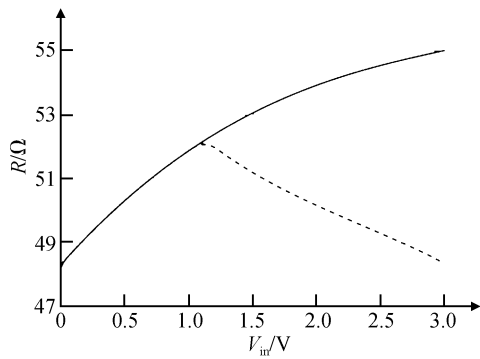


图 6 增加 Mp1 管前(实线)后(虚线)自举开关导通电阻的变化

Fig.6 On-resistance of the switch with Mp1 (solid-line) and without Mp1 (dotted-line)

们增加了全差分的增益自举电路. 较之传统的单端输出自举电路, 全差分的增益自举电路对共模噪声有更大的抑制作用. 自举电路同样采用折叠共源共栅结构, 主运算放大器采用开关电容共模反馈, 而辅助运放 pbooster 和 nbooster 连接成跟随器的形式, 从而稳定了 booster 的共模. 运算放大器的整体结构如图 7 所示. 在 $0.18\mu\text{m}$ 工艺下, 运算放大器获得了 110dB 以上的增益和 1GHz 的单位增益带宽.

6 仿真结果

本电路采用 $0.18\mu\text{m}$ 的 CMOS 工艺库, 采用 spectre 和 Hspice 进行了各种工艺拐角和温度仿真验证, 表 2 为运算放大器的性能参数和采样保持的性能参数(均为最坏情况下的结果).

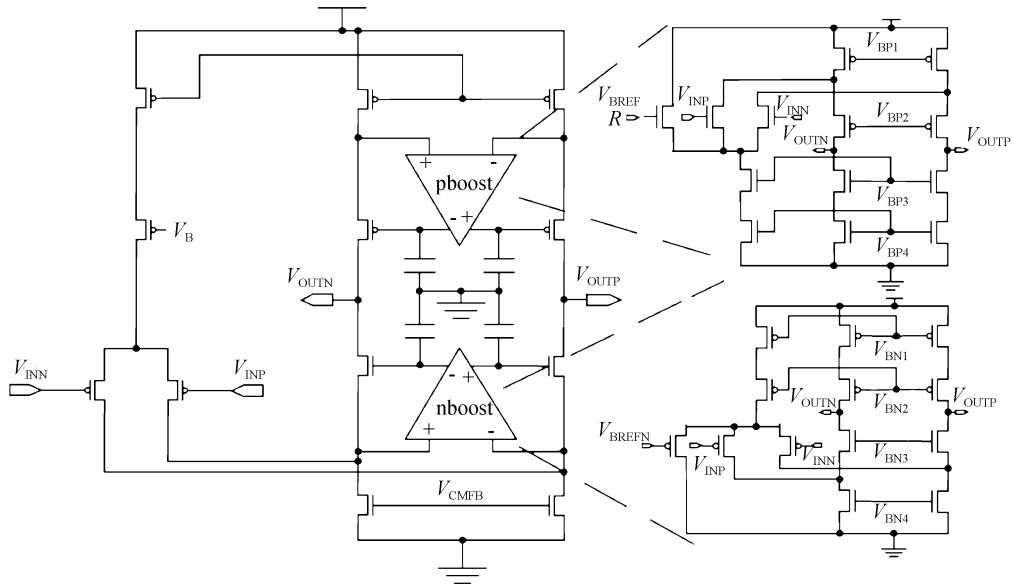


图 7 增益自举运算放大器

Fig.7 Gain-boosting operational amplifier

表 2 电路的性能参数
Table 2 Performance parameters

电源电压	3.0V
运放负载	3.0pF
运放增益	110dB
单位增益带宽	1.1GHz
输出摆幅	$2V_{pp}$ (可达到 $3.6V_{pp}$)
采样保持电路的采样频率	100MHz
采样保持的输入信号频率	49.1MHz
采样保持的动态无杂散范围(SFDR)	108dB
采样保持电路的信噪比(SNR)	77dB
采样保持的总功耗	36mW

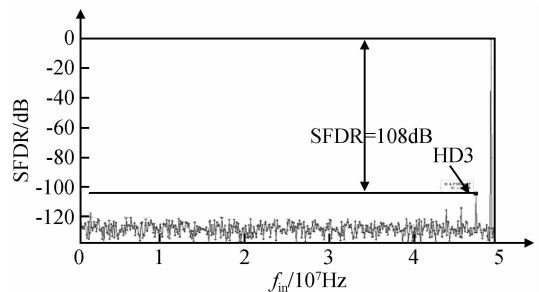


图 8 Nyquist 输入频率下的 SFDR 性能(100MS/s)

Fig.8 SFDR performance of Nyquist input(100MS/s)

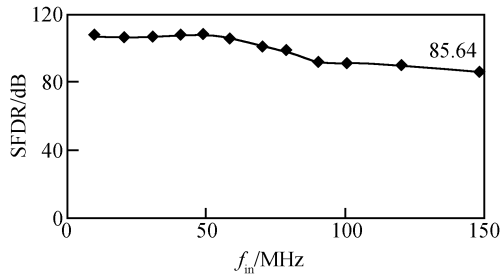


图 9 SFDR 性能随输入信号的变化(100MS/s)

Fig. 9 Peak SFDR versus input signal frequency (100MS/s)

图 8 为采样率 100MHz, 输入信号为 49.1MHz 的 SFDR 分析图, 从图中可以看出电路的 SFDR 性能非常好, 达到了 108dB. 图 9 为 100MHz 采样频率下, SFDR 随输入信号的变化情况. 可以发现, 直到输入信号达到 150MHz, 电路仍能保持 85dB 以上的 SFDR.

7 结论

实现了一个高性能的采样/保持电路, 该电路工作在 3V 电源电压下, 在 100MHz 的采样率下能够达到 108dB 的无杂散动态范围和 77dB 的信噪比. 论文建立了考虑开关之后的采样保持电路的分析模型, 并详细研究了电路中开关组合对电路性能的影响, 同时对传统的栅源自举开关进行了改进, 极大地提高了电路的线性性能. 实现电路采用了全差分结构、底板采样和高性能的增益自举运算放大器, 采用

0.18 μ m CMOS 工艺库的模拟结果表明整个电路消耗的静态功耗为 36mW.

参考文献

- [1] Iroaga E, Murmann B. A 12-bit 75MS/s pipelined ADC using incomplete settling. *IEEE J Solid-State Circuits*, 2007, 42(4): 748
- [2] Ali A M A, Dillon C, Sneed R, et al. A 14-bit 125MS/s IF/RF sampling pipelined ADC with 100dB SFDR and 50fs jitter. *IEEE J Solid-State Circuits*, 2006, 41(8): 1846
- [3] Bardsley S, Dillon C, Kummaraguntla R, et al. A 100-dB SFDR 80MSPS 14-bit 0.35- μ m BiCMOS pipeline ADC. *IEEE J Solid-State Circuits*, 2006, 41(9): 2144
- [4] Centurelli F, Monsurro P, Trifiletti A. A model for the distortion due to switch on-resistance in sample-and-hold circuit. *Proc ISCAS*, 2006: 4787
- [5] Razavi B. *Design of analog CMOS integrated circuits*. Xi'an: Xi'an Jiaotong University, 2004: 330
- [6] Liu Hungchih, Lee Zweimei, Wu Jiehsorng, et al. A 15-b 40MS/s CMOS pipelined ADC with digital background calibration. *IEEE J Solid-State Circuits*, 2005, 40(5): 1047
- [7] Honda K, Furuta M. A low-power-voltage 10-bit 100MSample/s pipeline A/D converter using capacitance coupling techniques. *IEEE J Solid-State Circuits*, 2007, 42(4): 757
- [8] Yang W, Kelly D, Mehr L. A 3-V 3.4 mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input. *IEEE J Solid-State Circuits*, 2001, 36(12): 1931
- [9] Abo A M, Gray P R. A 1.5V 10-bit, 14.3MS/s CMOS pipeline analog-to-digital converter. *IEEE J Solid-State Circuit*, 1999, 34(5): 599
- [10] Park J B, Yoo S M, Kim S W, et al. A 10-bit 150MSample/s 1.8V-V 123mW CMOS AD converter with 400-MHz input bandwidth. *IEEE J Solid-State Circuits*, 2004, 39(8): 1335

A High-Speed High-Resolution Sample-and-Hold Circuit*

Yang Bin[†], Yin Xiumei, and Yang Huazhong

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: A high performance CMOS sample and hold (S/H) circuit for use in the front end of a 12bit 100MS/s ADC is presented. It achieves a 108dB spurious-free dynamic range and 77dB signal-to-noise ratio over the Nyquist band at a 100MHz sampling frequency with a 3V power supply. An analysis model for the S/H circuit is built to capture the switching effect. The impact of the switches' arrangement is also addressed. The leakage in a conventional bootstrapped switch is analyzed and some improvements are made, enhancing the linearity significantly.

Key words: sample-and-hold circuit; bootstrapped switch; gain-boosting operational amplifier

EEACC: 2570D

Article ID: 0253-4177(2007)10-1642-05

* Project supported by the National Natural Science Foundation of China (No. 90207001)

[†] Corresponding author. Email: yangbin02@mails.tsinghua.edu.cn

Received 14 March 2007, revised manuscript received 29 April 2007