

单片集成 $0.8\mu\text{m}$ 栅长 GaAs 基 InGaP/AlGaAs/InGaAs 增强/耗尽型匹配高电子迁移率晶体管*

徐静波^{1,†} 张海英¹ 尹军舰¹ 刘亮¹ 李潇^{1,2} 叶甜春¹ 黎明¹

(1 中国科学院微电子研究所, 北京 100029)

(2 四川大学物理科学与技术学院, 成都 610064)

摘要: 优化了 GaAs 基 InGaP/AlGaAs/InGaAs 匹配高电子迁移率晶体管(PHEMT)的外延结构,有利于获得增强型 PHEMT 的正向阈值电压.采用光学接触式光刻方式,实现了单片集成 $0.8\mu\text{m}$ 栅长 GaAs 基 InGaP/AlGaAs/InGaAs 增强/耗尽型 PHEMT.直流和高频测试结果显示:增强型(耗尽型)PHEMT 的阈值电压、非本征跨导、最大饱和漏电流密度、电流增益截止频率、最高振荡频率分别为 $0.1\text{V}(-0.5\text{V})$, $330\text{mS/mm}(260\text{mS/mm})$, $245\text{mA/mm}(255\text{mA/mm})$, $14.9\text{GHz}(14.5\text{GHz})$ 和 $18\text{GHz}(20\text{GHz})$.利用单片集成增强/耗尽型 PHEMT 实现了直接耦合场效应晶体管逻辑反相器,电源电压为 1V ,输入 0.15V 电压时,输出电压为 0.98V ;输入 0.3V 电压时,输出电压为 0.18V .

关键词: 单片集成; 增强型; 耗尽型; 匹配高电子迁移率晶体管; 阈值电压

EEACC: 1350A; 2560S

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2007)09-1424-04

1 引言

单片集成增强/耗尽型 PHEMT 可以实现 DC-FL, DCFL 是大规模集成电路(LSIC)的最好逻辑技术之一,应用于高速、低功耗数字电路领域^[1~4].

与基于耗尽型 PHEMT 的逻辑技术相比,DC-FL 的优点包括以下几个方面:只需要单一电源供电;低功耗;相邻各级之间不需要电位转换电路^[5,6].实现 DCFL 的难点在于,需要在同一片衬底上制备出增强型和耗尽型 PHEMT 器件,而且要精确控制增强型 PHEMT 的阈值电压.

本文优化了 GaAs 基 InGaP/AlGaAs/InGaAs PHEMT 的外延结构,以便更好地获得增强型阈值电压,采用光学接触式光刻方式,实现了单片集成 $0.8\mu\text{m}$ 栅长 GaAs 基 InGaP/AlGaAs/InGaAs 增强/耗尽型 PHEMT,获得了很好的直流和高频测试结果.利用单片集成增强/耗尽型 PHEMT 实现了 DCFL 反相器,为下一步设计和制备大规模高速数字集成电路奠定了基础.

2 材料结构

在外延材料的设计方面,用 InGaP 代替 AlGaAs 势垒层的上半部分,形成复合肖特基势垒层

结构. InGaP/AlGaAs/InGaAs PHEMT 与常规的 AlGaAs/InGaAs PHEMT 材料相比, InGaP 不产生 DX 中心,不易氧化,势垒高度更高,而且 InGaP/AlGaAs 具有良好的选择腐蚀性,这对于湿法腐蚀栅槽工艺来说,是非常重要的,有利于获得均匀的增强型阈值电压.

PHEMT 器件的阈值电压与外延层厚度、掺杂剂量等因素有关.在前期工作的基础上^[7],优化了 AlGaAs/InGaAs 复合肖特基势垒层结构参数,软件仿真结果显示增强型 PHEMT 阈值电压为 0.1V .优化后的材料结构参数如下: 300nm GaAs 缓冲层, 10 个周期的 AlGaAs/GaAs 超晶格, 50nm AlGaAs 缓冲层, 12nm $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 沟道层, 4nm $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 空间隔离层, 平面掺杂层, 8nm $\text{Al}_{0.22}\text{Ga}_{0.78}\text{As}$ 势垒层, 17nm $\text{In}_{0.485}\text{Ga}_{0.515}\text{P}$ 势垒层, 50nm n^+ -GaAs 盖帽层.

采用分子束外延(MBE)技术生长 100mm 外延片,室温下电子迁移率和二维电子浓度分别为 $5600\text{cm}^2/(\text{V}\cdot\text{s})$ 和 $1.56\times 10^{12}\text{cm}^{-2}$.

3 器件制备

单片集成 GaAs 基 InGaP/AlGaAs/InGaAs 增

* 国家自然科学基金(批准号:60276021)和国家重点基础研究发展规划(批准号:2002CB311901)资助项目

† 通信作者. Email: xu.jing.bo@163.com

2007-03-15 收到, 2007-05-07 定稿

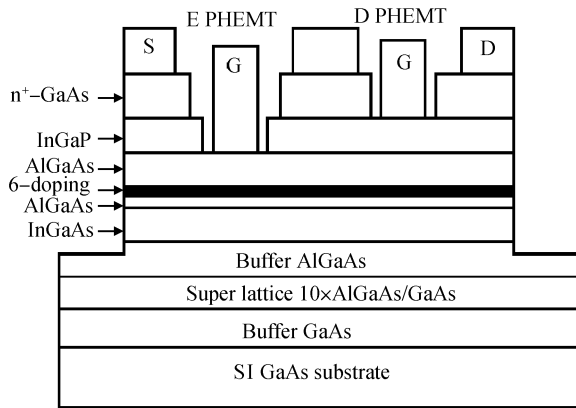


图1 GaAs 基 InGaP/AlGaAs/InGaAs 增强/耗尽型 PHEMT 的剖面图

Fig.1 Schematic of GaAs-based InGaP/AlGaAs/InGaAs enhancement/depletion -mode PHEMT

强/耗尽型 PHEMT 的剖面如图 1 所示. 增强型和耗尽型 PHEMT 器件的源漏制作和台面隔离两步工艺是同时进行的. 采用常规的蒸发和剥离工艺, 蒸发 6 层金属 (Ni/Ge/Au/Ge/Ni/Au) 合金后形成源漏欧姆接触^[8]. 利用传输线模型 (TLM) 测试获得欧姆接触比电阻率为 $4 \times 10^{-7} \Omega \cdot \text{cm}^2$. 采用湿法腐蚀工艺实现台面隔离, 腐蚀至缓冲层, 监测漏电流降为 nA 量级. 分别制作增强型和耗尽型 PHEMT 的栅, 采用光学接触式光刻方式, 获得了 0.8 μm 栅长的细线条. 采用湿法腐蚀工艺挖栅槽, 配置两种腐蚀液用于增强型栅槽腐蚀 ($\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 和 $\text{HCl} : \text{H}_2\text{O}$), 前者用于腐蚀盖帽层, 后者用于腐蚀 InGaP 势垒层; 耗尽型栅槽腐蚀只用 $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 溶液腐蚀盖帽层. 蒸发 Ti/Pt/Au, 制作栅电极.

4 结果与分析

利用安捷伦 4155 对增强型和耗尽型 PHEMT 器件进行了直流测试, 器件成品率超过 90% 以上.

0.8 μm 栅长增强型和耗尽型 PHEMT 的转移特性如图 2 所示, 增强型和耗尽型 PHEMT 的阈值电压分别为 0.1 和 -0.5 V. 增强型 PHEMT 阈值电压的偏差小于 50mV, 这得益于采用了具有高选择腐蚀性的 InGaP/AlGaAs 材料. 源漏电压固定为 2V, 在栅压 0.35V (-0.2V) 时, 增强 (耗尽) 型 PHEMT 获得最大跨导为 330mS/mm (260mS/mm), 这与增强型 PHEMT 栅到沟道的距离更短, 有利于提高栅电压控制沟道电流的分析是一致的.

0.8 μm 栅长增强型和耗尽型 PHEMT 的 $I-V$ 特性如图 3 所示, 源漏电压的扫描范围为 0~3V. 增强型 PHEMT 的栅电压为 0~1.0V, 步长 0.2V, 最

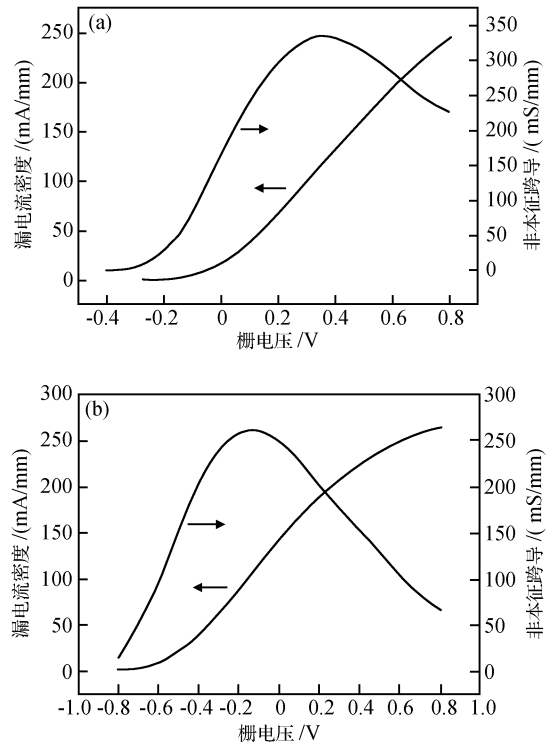


图2 0.8 μm 栅长增强型(a)和耗尽型(b) PHEMT 的转移特性
Fig.2 Transfer characteristics of 0.8 μm gate length enhancement-mode (a) and depletion-mode (b) PHEMTs

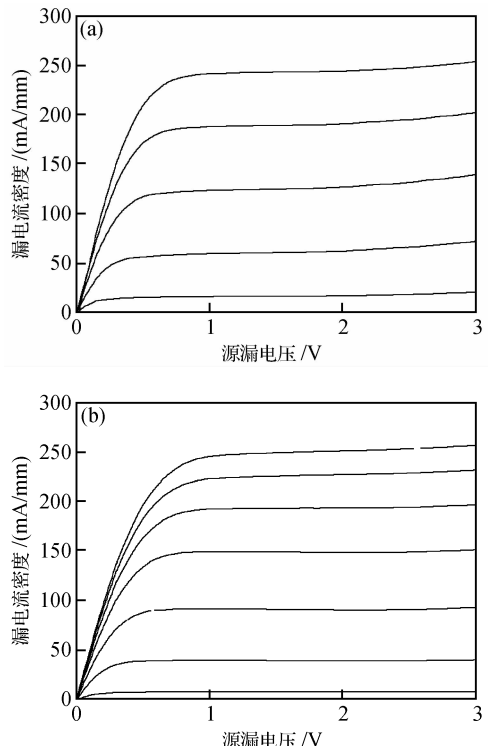


图3 0.8 μm 栅长增强型(a)和耗尽型(b) PHEMT 的 $I-V$ 特性
Fig.3 $I-V$ characteristics of 0.8 μm gate length enhancement-mode (a) and depletion-mode (b) PHEMTs

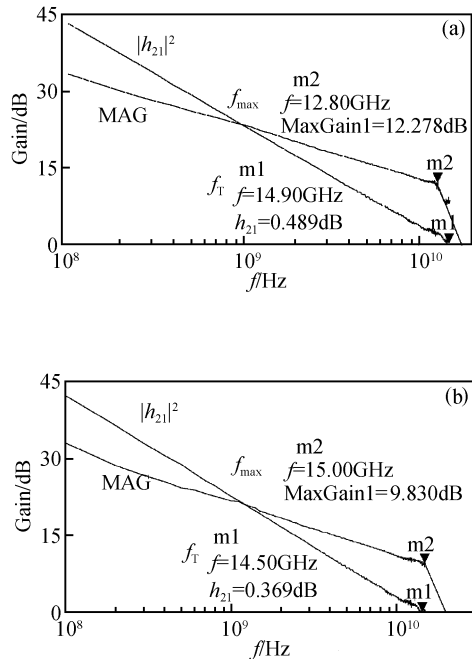


图 4 0.8 μm 栅长增强型(a)和耗尽型(b) PHEMT 的高频测试

Fig. 4 High frequency test results of 0.8 μm gate length enhancement-mode (a) and depletion-mode (b) PHEMTs

大饱和漏电流密度为 245mA/mm. 耗尽型 PHEMT 的栅电压为 $-0.6 \sim 0.8\text{V}$, 步长 0.2V, 最大饱和漏电流密度为 255mA/mm. 测试结果显示, 增强型和耗尽型器件都具有良好的夹断特性, 达到了利用栅电压控制沟道开关的目的.

利用安捷伦 8510C 进行在片高频测试, 增强型和耗尽型 PHEMT 的最大电流增益截止频率(f_T)和最大振荡频率(f_{max})如图 4 所示. 频率校正范围为 0.1~15.1GHz, 当栅电压为 0.2V, 源漏电压为 2V 时, 增强型 PHEMT 的 f_T 和 f_{max} 分别为 14.9 和 18GHz; 当栅电压为 -0.2V , 源漏电压为 2V 时, 耗尽型 PHEMT 的 f_T 和 f_{max} 分别为 14.5 和 20GHz. 与前期制备的 1.0 μm 栅长增强型(耗尽型)PHEMT 的 f_T 和 f_{max} 相比^[7], 分别提高了 45% (45%) 和 13% (36%). 由此可见, 如果进一步缩短栅长, 会得到更好的器件性能, 满足更高的频率要求.

利用单片集成增强/耗尽型 PHEMT 实现了 DCFL 反相器. 电源电压为 1V, 输入 0.15V 电压时, 输出电压为 0.98V; 输入 0.3V 电压时, 输出电压为 0.18V, 实现了输入和输入电压的反相功能. DCFL 反相器在过渡区的增益为 5.3. DCFL 反相器的电压转换曲线(VTC)和输入 1.0GHz 正弦波时的输入/输出波形如图 5 和图 6 所示.

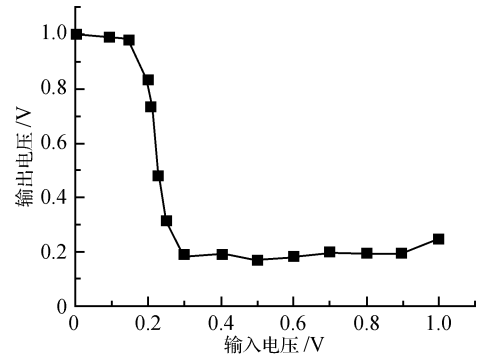


图 5 DCFL 的电压转换曲线

Fig. 5 VTC curve of DCFL inverter

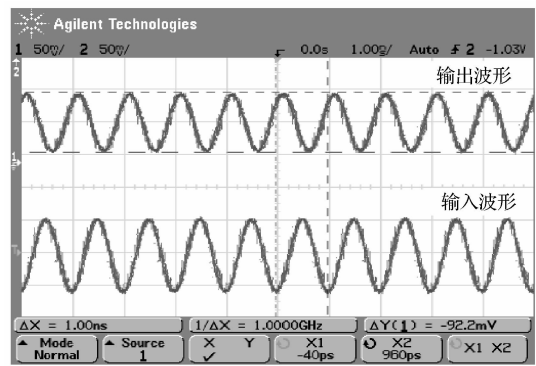


图 6 输入 1.0GHz 正弦波时的输入/输出波形

Fig. 6 Input/output waveform of input 1.0GHz sine wave

5 结论

本文针对单片集成增强/耗尽型 PHEMT 技术中, 增强型 PHEMT 阈值电压难以实现的问题, 优化了 GaAs 基 InGaP/AlGaAs/InGaAs PHEMT 的复合肖特基势垒层厚度, 有利于获得增强型阈值电压. 介绍了单片集成 0.8 μm 栅长 GaAs 基 InGaP/AlGaAs/InGaAs 增强/耗尽型 PHEMT 制备工艺. 测试结果显示: 增强型(耗尽型)PHEMT 的 V_T , g_m , f_T , f_{max} 分别为 0.1V (-0.5V), 330mS/mm (260mS/mm), 14.9GHz (14.5GHz) 和 18GHz (20GHz), 并且成品率超过 90%. 利用单片集成增强/耗尽型 PHEMT 实现了 DCFL 反相器, 反相器是数字电路中基本的逻辑单元, DCFL 反相器为实现更为复杂的大规模高速数字集成电路奠定了基础.

参考文献

- [1] Xu D, Suemitsu T, Osaka J, et al. Depletion-and enhancement-mode modulation-doped field-effect transistors for ul-

- trahigh-speed applications, an electrochemical fabrication technology. IEEE Trans Electron Devices, 2000, 47(1):33
- [2] Wohlmuth W A, Leibl W, Juneja V, et al. E-/D-pHEMT technology for wireless components. IEEE CSIC Digest, 2004;115
- [3] Tsai M K, Tan S W, Wu Y W. Depletion-mode and enhancement-mode InGaP/GaAs δ -HEMTs for low supply-voltage applications. Semicond Sci Technol. 2002, 17:156
- [4] Nooshabadi S, Montiel-Nelson J A. Fast feedthrough logic: a high performance logic family for GaAs. IEEE Trans Circuits Syst I, 2004, 51(11):2189
- [5] Ren F, Pearton S J, Kopf R F. AlGaAs/GaAs based HEMTs, inverters and ring oscillators with InGaAs and etch-stop layers. Electron Lett, 1991, 27(13):1175
- [6] Tanaka K, Shikata M, Kimura T. 8Gb/s 8:1 multiplexer and 1:8 demultiplexer IC's using GaAs DCFL circuit. IEEE J Solid-State Circuits, 1992, 27(10):1359
- [7] Li Haiou, Zhang Haiying, Yin Junjian, et al. Monolithic integration of InGaP/AlGaAs/InGaAs enhancement/depletion-mode PHEMTs. Chinese Journal of Semiconductors, 2005, 26(12):2281 (in English) [李海鸥, 张海英, 尹军舰, 等. GaAs 基单片集成 InGaP/AlGaAs/InGaAs 增强/耗尽型 PHEMTs. 半导体学报, 2005, 26(12):2281]
- [8] Li Haiou, Yin Junjian, Zhang Haiying, et al. Ohmic contact to n-type GaAs by a new six-layer metal system. Chinese Journal of Electron Devices, 2006, 29(1):9 (in Chinese) [李海鸥, 尹军舰, 张海英, 等. 一种在砷化镓上形成欧姆接触的新型六层金属系统. 电子器件, 2006, 29(1):9]

Monolithic Integration of 0.8 μm Gate-Length GaAs-Based InGaP/AlGaAs/InGaAs Enhancement- and Depletion-Mode PHEMTs*

Xu Jingbo^{1,†}, Zhang Haiying¹, Yin Junjian¹, Liu Liang¹, Li Xiao^{1,2},
Ye Tianchun¹, and Li Ming¹

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)
(2 College of Physics Science and Technology, Sichuan University, Chengdu 610064, China)

Abstract: The material structure of GaAs-based InGaP/AlGaAs/InGaAs PHEMTs was optimized to obtain the positive threshold voltage of an enhancement-mode PHEMT. Contact-mode photolithography was used for realizing the monolithic integration of 0.8 μm gate length GaAs-based InGaP/AlGaAs/InGaAs enhancement- and depletion-mode PHEMTs. Excellent DC and high frequency performance are achieved. V_T , g_m , J_{DSS} , f_T , and f_{max} are 0.1V, 330mS/mm, 245mA/mm, 14.9GHz, and 18GHz for E-mode PHEMTs, and -0.5V, 260mS/mm, 255mA/mm, 14.5GHz, and 20GHz for D-mode PHEMTs, respectively. DCFL inverters based on monolithic integration of GaAs-based InGaP/AlGaAs/InGaAs enhancement- and depletion-mode PHEMTs are fabricated. The supply voltage is 1V. When the input voltages are 0.15 and 0.3V, the output voltages are 0.98 and 0.18V, respectively.

Key words: monolithic integration; enhancement-mode; depletion-mode; PHEMT; threshold voltage

EEACC: 1350A; 2560S

Article ID: 0253-4177(2007)09-1424-04

* Project supported by the National Natural Science Foundation of China (No. 60276021) and the State Key Development Program for Basic Research of China (No. G2002CB311901)

† Corresponding author. Email: xu.jing.bo@163.com

Received 15 March 2007, revised manuscript received 7 May 2007