

具有高压互连线的多区双 RESURF LDMOS 击穿特性^{*}

乔 明[†] 周贤达 段明伟 方 健 张 波 李肇基

(1 电子科技大学电子薄膜与集成器件国家重点实验室, 成都 610054)

摘要: 对 600V 以上级具有高压互连线的多区双 RESURF LDMOS 击穿特性进行了实验研究, 并对器件进行了二维、三维仿真分析. 利用多区 P-top 降场层的结终端扩展作用以及圆形结构曲率效应的影响, 增强具有高压互连线的横向高压器件漂移区耗尽, 从而降低高压互连线对器件耐压的影响. 实验与仿真结果表明, 器件的击穿电压随着互连线宽度的减小而增加, 并与 P-top 降场层浓度存在强的依赖关系, 三维仿真结果与实验结果较吻合, 而二维仿真并不能较好反映具有高压互连线的高压器件击穿特性. 在不增加掩模版数、采用额外工艺步骤的条件下, 具有 30 μm 高压互连线宽度的多区双 RESURF LDMOS 击穿电压实验值为 640V. 所设计的高压互连器件结构可用于电平位移、高压结隔离终端, 满足高压领域的电路设计需要.

关键词: 高压互连线; 多区; 双 RESURF; LDMOS; 击穿电压

EEACC: 2560P; 2570P

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2007)09-1428-05

1 前言

高压集成电路将高低压器件单片集成在同一芯片时, 为实现将低端控制信号传输到高端等功能, LDMOS (lateral double-diffusion MOSFET) 和高压隔离区表面局部区域通常需跨过高电压互连线 HVI (high voltage interconnection)^[1,2]. 由于 HVI 相对半导体表面带正电, 必然有电力线从此出发而终止在器件的源侧低场区, 导致源侧栅极场板末端出现电力线的局部集中, 该处电场急剧增大, 严重影响器件的击穿电压. 为了降低 HVI 对器件击穿特性的影响, 可采用卷形阻性场板 (scroll shaped resistive-field-plate, SRFP)^[3]、双层多晶浮空场板^[4]、多层浮空场板^[5]、偏置多晶场板^[6]、改进的多浮空场板 modified-MFFP (multiple floating field plate)^[7] 等多种结构. 文献[3]采用 SRFP 技术屏蔽 HVI 对横向 IGBT (insulated gate bipolar transistor) 的影响, 然而由于阻性场板的存在, 其会在源漏电极间产生小的漏电流, 从而增加了电路静态电流和功耗; 文献[4,7]在单 RESURF (reduced surface field) 横向高压器件结构中增加了第二层多晶场板, 以产生电容耦合结构, 屏蔽 HVI 对器件表面场分布的影响, 但其增加了工艺中的掩模版数及工艺步骤, 从而增加

了器件成本; 文献[5]采用的多层浮空场板结构不仅增加了掩模版数和工艺步骤, 而且极大增加了器件源侧的表面台阶高度; 文献[6]中器件表面的偏置多晶场板结构不仅需要形成多晶场板, 而且还需形成场板间的多晶电阻, 需要额外的掺杂, 从而增加了工艺的复杂性.

本文在不增加掩模版数目、采用额外工艺步骤的条件下, 对具有 HVI 的多区双 RESURF LDMOS 击穿特性进行研究, 分析了互连线宽度、P-top 层浓度对器件击穿特性的影响. 利用多区 P-top 层的结终端扩展作用以及圆形器件结构的曲率效应增强漂移区的耗尽, 实现了具有 HVI 的 600V 以上级高压多区双 RESURF LDMOS. 所设计的高压互连器件结构节约了器件成本, 降低了工艺复杂性, 满足了 AC220V 等高压领域的应用要求.

2 器件结构

图 1 给出了具有 HVI 的多区双 RESURF LDMOS 高压结构剖面图. HVI 跨过器件源极 S、栅极 G 的低电势区, 其引入的额外场导致器件源侧表面电场增加, 外延层在未全耗尽的情况下即发生击穿, 致使器件的击穿电压降低. 器件采用双 RESURF 技术, 在外延层 Nepi 上引入导电类型相反的多个

^{*} 国家自然科学基金(批准号:60436030)和国家军事电子预研(批准号:51308010401)资助项目

[†] 通信作者. Email:2005qiaoming@163.com

2007-03-19 收到, 2007-04-12 定稿

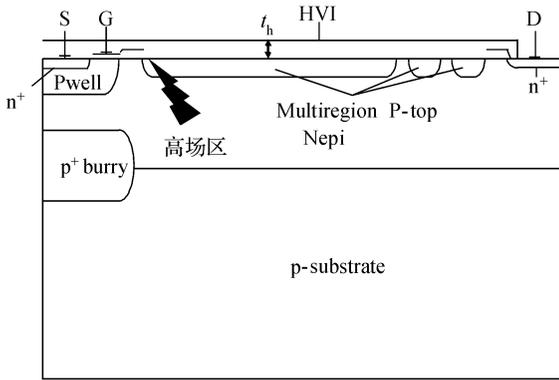


图 1 具有 HVI 的多区双 RESURF LDMOS 结构剖面图
Fig. 1 Cross section of multiregion double RESURF LDMOS with HVI

P-top 掺杂区,形成结终端扩展,有效地降低了器件源侧和漏端的表面电场,并在漂移区中部引入了多个表面电场峰值,提高了漂移区中部的电场.结构中 还引入了 p 埋层,其产生的场调制了源端附近场分布,防止器件过早在源侧发生击穿.同时,由于电荷补偿,p 型杂质的引入使得外延层浓度得以提高,进一步降低了器件的导通电阻. p-substrate 表示工艺中采用 p 型衬底材料,其浓度用 N_{psub} 表示; Nepi 表示 n 型外延层,其浓度及厚度分别用 N_{Nepi} 和 X_{jNepi} 表示; Pwell 用来形成 DMOS 器件的沟道区; P-top 浓度、注入剂量、结深分别用 N_{Ptop} , Q_{Ptop} , X_{jPtop} 表示; n^+ 形成 LDMOS 的源和漏; t_h 表示 HVI 到达 Si 表面的距离.

3 结果与讨论

我们应用二维器件仿真软件 MEDICI^[8]对器件进行了仿真.图 2(a)给出了无 HVI 时,所设计的多区双 RESURF LDMOS 耐压 1000V 时的电势分布,电势线分布较均匀,相邻两条等势线间的电势差为 100V,器件击穿电压二维仿真值为 1015V.而有 HVI 时,LDMOS 耐压二维仿真值仅仅为 381V,较无 HVI 时击穿电压降低了 62.46%.图 2(b)给出了有 HVI 时,LDMOS 耐压 350V 时的电势分布以及电力线集中处局部放大图.相邻两条等势线间的电势差为 50V,等势线在源侧栅极场板末端局部集中,器件在未全耗尽时就已发生击穿,器件击穿电压急剧降低.其主要仿真参数为: $N_{psub} = 1.79 \times 10^{14} \text{ cm}^{-3}$, $N_{Nepi} = 1.1 \times 10^{15} \text{ cm}^{-3}$, $X_{jNepi} = 23 \mu\text{m}$, $Q_{Ptop} = 3.2 \times 10^{12} \text{ cm}^{-2}$, $X_{jPtop} = 4.5 \mu\text{m}$, $t_h = 2750 \text{ nm}$.

图 3(a)和 (b)给出了无 HVI 时,器件耐压为 1000 和 350 V 时的电场分布,图 3(c)给出了有 HVI 时器件耐压为 350 V 时的电场分布.从图中可

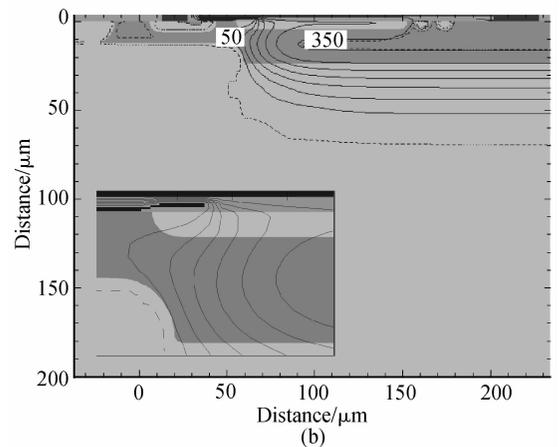
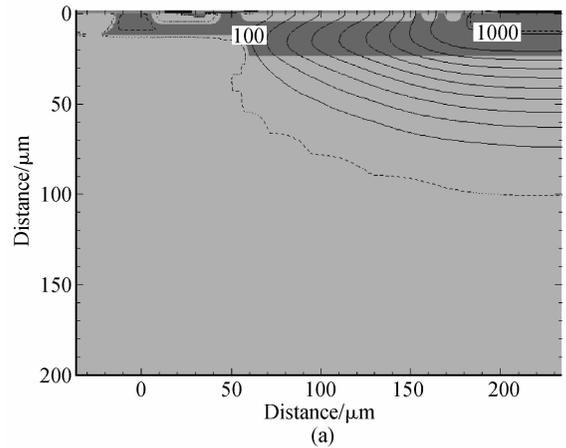


图 2 (a) 无 HVI 时 LDMOS 电势分布图; (b) 有 HVI 时 LDMOS 电势分布图

Fig. 2 (a) Potential distributions of LDMOS without HVI; (b) Potential distributions of LDMOS with HVI

以看出,在无 HVI 时,器件耐压 1000V 时的最大电场出现在体内漏端下的 p-substrate/Nepi 冶金结处,属纵向击穿,器件表面电场较平坦,漂移区全部耗尽.而有 HVI 在 350V 时,器件栅极场板末端 Si 表面处电场临近 $3 \times 10^5 \text{ V/cm}$,体内电场远低于该值,致使器件在外延层未全耗尽的情况下就已经达到 Si 的临界击穿电场;器件过早发生击穿,击穿电压急剧降低.而无 HVI 在 350V 时,器件表面电场较平坦,没有出现图 3(c)所示的电场尖峰.因此, HVI 引入的额外场导致了优化结构参数下器件击穿电压急剧降低.

在对具有 HVI 的高压多区双 RESURF LDMOS 二维仿真中, HVI 等效于覆盖了整个器件表面.而在实际应用中,器件的 HVI 宽度为有限值,因此我们应用 ISE 仿真软件^[9]对器件结构进行了三维仿真,以与二维仿真比较.图 4 给出了不同 P-top 降场层浓度时器件的击穿电压随着 HVI 宽度变化关系.从图中可以看出,互连线宽度对器件击穿电压存

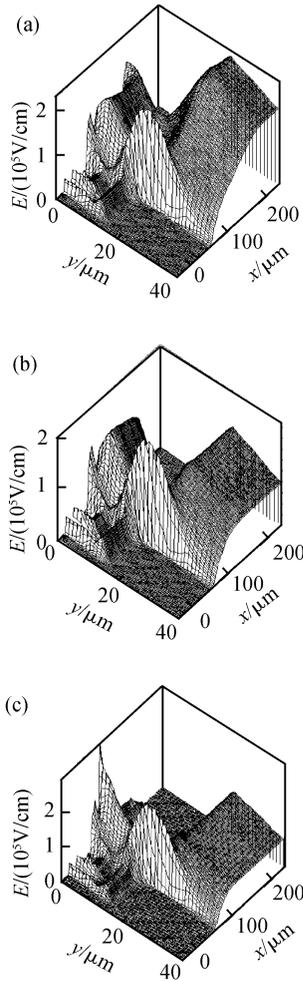


图 3 (a) 无 HVI 时 LDMOS 耐压 1000V 的电场分布; (b) 无 HVI 时 LDMOS 耐压 350V 的电场分布; (c) 有 HVI 时 LDMOS 耐压 350V 的电场分布

Fig. 3 (a) Electric field distributions of LDMOS without HVI ($V_D = 1000V$); (b) Electric field distributions of LDMOS without HVI ($V_D = 350V$); (c) Electric field distributions of LDMOS with HVI ($V_D = 350V$)

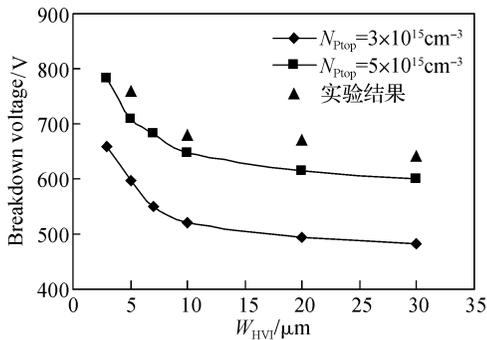


图 4 击穿电压与 HVI 宽度的关系

Fig. 4 Breakdown voltage in dependence on the width of the HVI

在一定影响,二维仿真并不能准确反映器件的三维特性,其夸大了 HVI 的影响.随着 HVI 宽度的减小,器件的击穿电压会有提高,但考虑到高压管工作时电流大小以及铝金属互连线的电迁移效应等因素,HVI 宽度不能无限减小.实际应用中,在满足电流能力的条件下并不需要较大的 HVI 宽度.实用电平位移结构,其通常采用脉冲信号来控制 LDMOS 的栅极,避免其长时间工作在高压大电流的条件下,从而减小功耗,保证 LDMOS 的安全工作.因此,高压 LDMOS 的互连线宽度根据实际应用设计存在一个折衷值.典型掺 Cu 的 Al 金属互连线的最大电流密度为 $5 \times 10^5 A/cm^2$,则对于 $1\mu m$ 厚的金属 Al 条,其单位宽度的最大电流能力为 $5mA/\mu m$.而实际 LDMOS 为脉冲驱动,其单位宽度的电流承受能力会大于 $5mA/\mu m$,对于 $30\mu m$ 的 Al 条,其已经可以承担大于 $150mA$ 的脉冲电流.图 4 也给出了器件的击穿电压随着 P-top 降场层浓度 N_{Ptop} 的变化关系.器件的击穿电压随着 N_{Ptop} 的提高而提高,这主要是由于该区域的结终端扩展作用.随着该区浓度的提高,同等电压下器件的耗尽层向漏端展宽更大,致使源侧电场较低 P-top 浓度时降低.而 HVI 是增加了源侧电场,由于器件 P-top 浓度高时无 HVI 的源侧电场较低,因此附加场的影响就略有降低了,这样 P-top 为高浓度时器件的击穿电压得以提高.但降场层的浓度不能太大,其在一定电压范围内需满足双 RESURF 器件的 P-top 浓度要求^[10].

利用作者开发的高压 BCD 工艺^[11],我们在国内生产线上对具有 HVI 的多区双 RESURF LDMOS 进行了实验研究.采用了自隔离技术的圆形结构设计,由于曲率半径的影响,其比三维仿真中的直边方形结构更有利于耗尽区展宽,从而进一步降低了源侧电场,提高了器件的击穿电压,如图 5 所示.图 4 亦给出了 HVI 宽度为 30,20,10 和 $5\mu m$ 时的器件击穿特性实验结果,器件的击穿电压实测值分别为 640,670,680 和 $760V$.器件的击穿电压随着互连线宽度的减小而增加,在互连线宽度较窄时击穿电压增加幅度更为明显,与三维仿真结果较吻合.

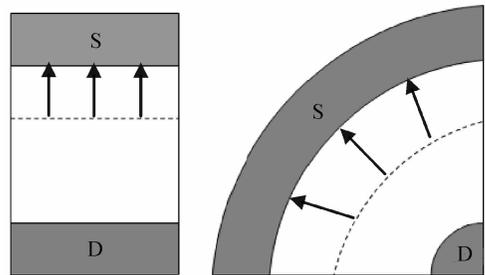
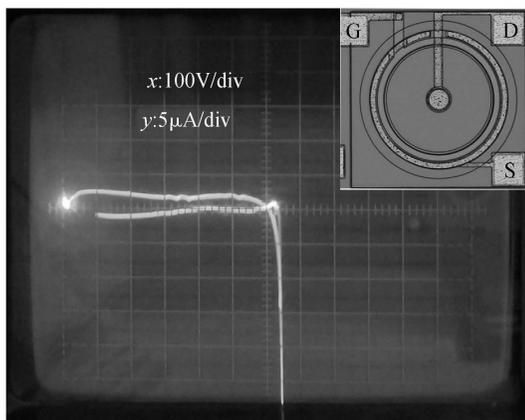
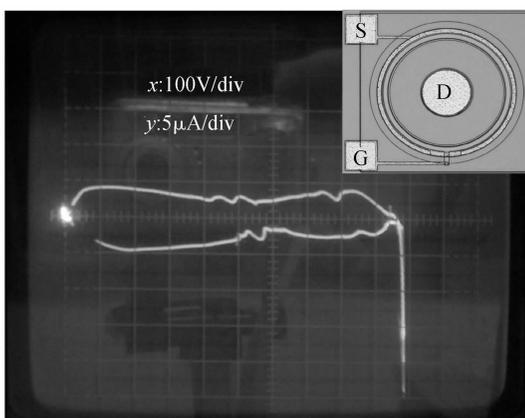


图 5 直边型和圆边型 LDMOS 电势和电场分布平面示意图
Fig. 5 Schematic depletion regions and electric field lines of LDMOS with straight edge and circular edge

图 6(a) 给出了具有 HVI 的多区双 RESURF LDMOS 击穿特性测试结果和管芯照片, HVI 宽度为 $30\mu\text{m}$, 器件击穿电压为 640V , 与仿真结果较吻合. 图 6(b) 给出了无 HVI 时 LDMOS 的击穿特性测试结果和管芯照片, 器件的击穿电压为 990V . 在 $30\mu\text{m}$ 时, 器件的击穿电压较无 HVI 时的 LDMOS 降低了 35.35% , 但仍可满足 $AC220\text{V}$ 应用的需要. 而 HVI 宽度为 $20\mu\text{m}$ 时, 器件的击穿电压为 670V , 亦可满足 $AC260\text{V}$ 应用需要. 在我们的高低端驱动电路设计中, $10\mu\text{m}$ HVI 宽度的高压多区双 RESURF LDMOS 结构已用于实用的电平位移结构以及高低压结隔离终端中.



(a)



(b)

图 6 (a) 有 HVI 时 LDMOS 击穿特性测试结果和管芯照片; (b) 无 HVI 时 LDMOS 击穿特性测试结果和管芯照片

Fig.6 (a) Measured breakdown curve and experimental photograph of LDMOS with HVI; (b) Measured breakdown curve and experimental photograph of LDMOS without HVI

4 结论

具有 HVI 的高压器件击穿电压随着 HVI 宽度的减小而增加, 二维仿真并不能较好地反映器件击穿特性, 三维仿真结果与实验结果较吻合. 利用多区 P-top 降场层的结终端扩展作用以及圆形结构曲率效应增强漂移区耗尽, 从而提高具有高压互连线的横向高压器件耐压. 在不增加工艺版次、采用额外工艺步骤的条件下, 所研制的互连线宽度小于 $30\mu\text{m}$ 的具有 HVI 的多区双 RESURF LDMOS 击穿电压均大于 600V . 所设计的具有 HVI 的多区双 RESURF 高压 LDMOS 结构可用作电平位移器件以及高低压结隔离终端, 满足高压领域的电路设计需要.

参考文献

- [1] Falck E, Gerlach W, Korec J. Influence of interconnections onto the breakdown voltage of planar high-voltage pn junctions. *IEEE Trans Electron Devices*, 1993, 40: 439
- [2] Qiao Ming, Fang Jian, Li Zhaoji, et al. HVIC with coupled level shift structure. *Chinese Journal of Semiconductors*, 2006, 27(11): 2040 (in Chinese) [乔明, 方健, 李肇基, 等. 基于耦合式电平位移结构的高压集成电路. *半导体学报*, 2006, 27(11): 2040]
- [3] Endo K, Baba Y, Udo Y, et al. A 500V 1A 1-chip inverter IC with a new electric field reduction structure. *Proc ISPSD*, 1994: 379
- [4] Terahima T, Yamashita J, Yamada T. Over 1000V n-ch LDMOSFET and p-ch LIGBT with JI RESURF structure and multiple floating field plate. *Proc ISPSD*, 1995: 455
- [5] Zhang Min, Li Zhaoji. Design of floating field plate using automatic layout generator. *Chinese Journal of Semiconductors*, 1999, 20(8): 694 (in Chinese) [张旻, 李肇基. 用版图自动生成器设计浮空场板. *半导体学报*, 1999, 20(8): 694]
- [6] Murray A F J, Lane W A. Optimization of interconnection-induced breakdown voltage in junction isolated IC's using biased polysilicon field plates. *IEEE Trans Electron Devices*, 1997, 44: 185
- [7] Shimizu K, Rittaku S, Moritani J. A 600V HVIC process with a built-in EPROM which enables new concept gate driving. *Proc ISPSD*, 2004: 379
- [8] Medici user's manual, Version 2004.9
- [9] ISE TCAD manuals, Release 10.0
- [10] Imam M, Hossain Z, Quddus M, et al. Design and optimization of double-RESURF high-voltage lateral devices for a manufacturable process. *IEEE Trans Electron Devices*, 2003, 50: 1697
- [11] Qiao Ming, Fang Jian, Xiao Zhiqiang, et al. Design of a 1200V MR D-RESURF LDMOS and BCD technology. *Chinese Journal of Semiconductors*, 2006, 27(8): 1447 (in Chinese) [乔明, 方健, 肖志强, 等. 1200V MR D-RESURF LDMOS 与 BCD 兼容工艺研究. *半导体学报*, 2006, 27(8): 1447]

Breakdown Characteristic of Multiregion Double RESURF LDMOS with High Voltage Interconnection*

Qiao Ming[†], Zhou Xianda, Duan Mingwei, Fang Jian, Zhang Bo, and Li Zhaoji

(State key Laboratory of Electronic Thin Films and Integrated Devices, University of
Electronic Science and Technology, Chengdu 610054, China)

Abstract: A multiregion double RESURF LDMOS with a high voltage interconnection of over 600V is experimentally realized. Using the effects of a junction termination extension of the P-top layer and the curvature of a circular structure, the breakdown voltage of the lateral high voltage device is improved by spreading the depletion region. Two- and three-dimensional simulation results are presented. The breakdown voltage of the LDMOS with high voltage interconnection is not exact in the two-dimensional simulation. In agreement with the 3D simulation, the experimental results show that the breakdown voltage of the LDMOS, which depends strongly on the concentration of the P-top layer, will increase with the reduction of the width of the high voltage interconnection. When the width is $30\mu\text{m}$, the breakdown voltage is 640V without adding additional masks or process steps. As a result, the structure can be used in conventional level shifting and high voltage junction isolation termination for high voltage applications.

Key words: HVI; multiregion; double RESURF; LDMOS; breakdown voltage

EEACC: 2560P; 2570P

Article ID: 0253-4177(2007)09-1428-05

* Project supported by the National Natural Science Foundation of China (No. 60436030), and the National Eleventh 5-Year Military Electronic Pre-Research of China (No. 51308010401)

[†] Corresponding author. Email: 2005qiaoming@163.com

Received 19 March 2007, revised manuscript received 12 April 2007

©2007 Chinese Institute of Electronics