

单密勒电容补偿的三级误差运放电路*

刘永根[†] 罗 萍 张 波 李肇基

(电子科技大学电子薄膜与集成器件国家重点实验室, 成都 610054)

摘要: 提出了一种新的单密勒电容补偿的低压三级误差运放结构和一种新的零极点补偿方法(DPZC),其利用两个前馈通路产生两个左半平面的零点去补偿运放主通路中的主极点及两个非主极点.运放传输函数的极点位置由运放主通路的参数决定,零点的位置由两个前馈通路的参数决定,因此改变运放零点的位置并不影响极点的位置,从而可以非常方便地控制补偿因子来获得所需的性能.仿真结果表明:本文提出的结构及补偿方法打破了传统的电路结构及补偿方法对运放带宽的限制,运放不仅具有非常大的带宽而且具有非常好的相位裕度.当负载为 100pF//25kΩ,补偿电容为 2pF 及补偿因子为 4 时,该运放具有 100dB 的电压增益、25MHz 的带宽、90°的相位裕度和 0.625mW 的功耗.

关键词: 单密勒电容; 低压三级运放; 双极零补偿法

EEACC: 2570

中图分类号: TN43

文献标识码: A

文章编号: 0253-4177(2007)10-1636-06

1 引言

近年来,随着移动电话、掌上电脑和笔记本电脑等便携式设备的发展,线性稳压电源(LDO)因其低噪声、低功耗、结构简单及封装尺寸较小等优点在便携式设备中得到广泛应用.LDO 最重要的电路性能指标为电源抑制比(PSRR),该性能主要由误差运放的增益及带宽性能决定.传统的误差运放一般采用带 Cascode 的二级运放结构实现高增益,但随着电源电压的降低,该结构已经不再适合高增益运放(大于 100dB)的设计.因此,低压、低功耗 LDO 的发展趋势表明:必须用低压三级运放代替传统的 Cascode 二级运放去满足系统对运放增益的要求.低压 LDO 中输出端的电阻分压网络、误差运放和功率管所形成的负反馈环路可等效为图 1 所示的低压三级运放结构,负载为 100pF 的电容与 25kΩ 的电阻并联.低压三级运放的输入输出传输函数存在三个位置几乎相同的极点,其频率补偿方法一般采用 Nested-Miller 补偿技术(NMC)^[1],该方法最大的缺点是运放带宽不够大.另外,由于密勒补偿电容的大小与负载电容成正比,导致密勒电容的版图尺寸非常大,因此有必要研究新的补偿技术来设计低压三级运放.人们在 NMC 补偿技术的基础上提出了许多频率补偿技术,如多通路 Nested-Miller 补偿技术^[1]和 Damping factor control 补偿方法^[2]等,

但这些频率补偿技术都至少需要二个密勒电容补偿运放.近年来国际上针对低压三级运放提出了一种新的频率补偿方法——单密勒电容补偿技术^[3-5],其通过省去跨在运放第三级即输出级的密勒电容以减小版图面积,并通过增加一个前馈级产生左半平面的零点(LHZ)去改善运放的频率特性.Fan 等人^[3]用一个 LHZ 抵消第一个非主极点以达到实数的极点零点相消,但其没有考虑第二个非主极点和第二个零点(右半平面零点)的作用,因此运放的带宽不能进一步扩展,否则系统会由于相位裕度不够出现振荡.Li 等人^[4]是通过牺牲功耗和面积,强迫二个虚数零点与二个虚数极点相消,从而使三级运放的频率特性与单极点系统相同,此时运放具有非常好的频率特性,但由于牺牲过多的功耗和面积,该方法不适合一般的工程应用.另外文献[3]和文献[4]中都出现了偶极对形式,这会影响到运放的建立时间^[6].文献[5]仅在文献[4]的基础上稍加改进,其用

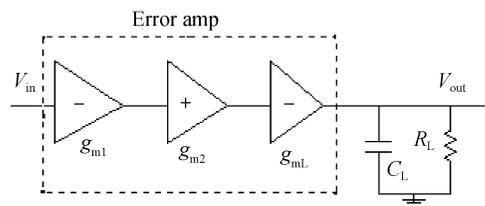


图 1 LDO 中的负反馈环路等效图

Fig.1 Equivalent circuit of negative feedback loop

* 国家自然科学基金重点资助项目(批准号:60436030)

[†] 通信作者,Email:liuyonggen_1@163.com

2007-04-02 收到,2007-05-28 定稿

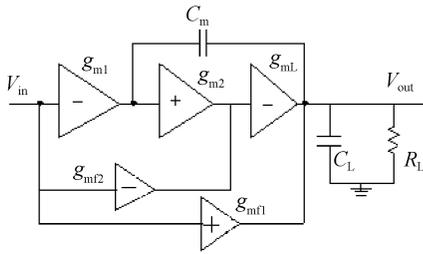


图 2 改进的单密勒电容补偿的低压三级运放
Fig.2 Improved three-stage amplifier

电阻与密勒补偿电容串联.该方法中电阻若为阱电阻或多晶硅电阻,则由于电阻与 MOS 管无任何匹配性可言,运放性能得不到保证.若电阻用工作在线性区的 MOS 管代替,该方法不适合低压应用.

本文在文献[3,4]的基础上,结合两者的优点,提出了一种改进的低压三级运放结构,并且详细分析了该结构中的零极点分布对运放性能的影响,从而提出了一种新的频率补偿技术,大大扩展运放的带宽.

2 改进的运放结构及频率补偿原理

图 2 为本文提出的一种改进的单密勒电容补偿的低压三级运放结构,其在文献[4]的基础上增加一前馈级 g_{mf2} .前馈级 g_{mf1} 用于产生两个 LHZ 去补偿运放的两个非主极点和主极点,前馈级 g_{mf2} 用于调整两个零点的位置,扩展运放带宽.现将本文提出的用两个左半平面的零点去补偿两个非主极点及主极点的方法称之为双极零补偿法(dual pole-zero compensation, DPZC).

现假设运放每级增益都远大于 1,密勒电容和负载电容远大于运放内部的寄生电容及级间耦合电容,另外设 g_{mi} 代表运放第 i 级的跨导, g_{oi} 代表运放每级的输出电导, C_{p2} 为第二级的负载电容,经推导可知,图 2 的开环传输函数如(1)式所示:

$$\frac{V_o}{V_{in}} = A_{DC} \left\{ 1 + s \left[\frac{C_m g_{mf2}}{g_{m2} g_{m1}} + \frac{(g_{mf1} - g_{m1}) C_m g_{o2}}{g_{m1} g_{m2} g_{mL}} \right] + s^2 \frac{(g_{mf1} - g_{m1}) C_m C_{p2}}{g_{m1} g_{m2} g_{mL}} \right\} / \left(1 + \frac{s}{P_{-3dB}} \right) \times \left(1 + s \frac{C_L + C_m}{g_{m2} g_{mL}} g_{o2} + s^2 \frac{C_{p2} C_L}{g_{m2} g_{mL}} \right) \quad (1)$$

其中直流增益 $A_{DC} = (g_{m1} g_{m2} g_{mL}) / (g_{o1} g_{o2} g_{oL})$,主极点 $P_{-3dB} = (g_{o1} g_{o2} g_{oL}) / (g_{m1} g_{m2} C_m)$.与文献[3,4]中运放的传输函数相比可以看出:不同之处只出现在分子部分,当(1)式中的 g_{mf1} 为零时,其退化为文献[3]中运放的传输函数;当(1)式中的 g_{mf2} 为零时,其退化为文献[4]中运放的传输函数.也就是说,图 2 兼并了文献[3,4]中运放的优点,能使运放的性能得到大幅度的改善,现对此进行详细分析.

首先与文献[3]中的运放进行比较,假设两者采

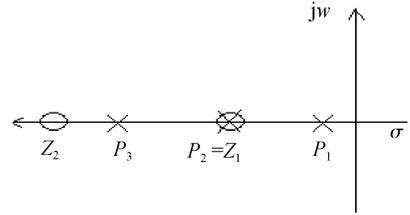


图 3 极点分裂时运放零极点的分布
Fig.3 Separate-pole approach of amplifier

用完全相同的补偿方法,此时(1)式中极零点的位置如图 3 所示,主极点为 P_1 ,两个非主极点分别为 P_2 和 P_3 ,两个左半平面零点(LHZ)分别为 Z_1 和 Z_2 .其用一个 LHZ 去抵消第一个非主极点,并设计第二个零点和第二个非主极点远离运放带宽.若 $C_m \ll C_L$ 且 $g_{mf2} \gg g_{m2}$,从极零相消的关系中可得出(1)式中的密勒电容表达式如(2)式所示:

$$C_m = \frac{C_L}{A_{V2} \frac{g_{mL}}{g_{m1}} \times \frac{g_{mf2}}{g_{m2}} + \frac{g_{mf1} - g_{m1}}{g_{m1}}} \quad (2)$$

可以看出其补偿电容比文献[3]中的补偿电容要小得多,说明该运放能减小面积并提高 Slew Rate.另外,只要 $g_{mf1} - g_{m1} > 0$, (1)式的两个零点都是 LHZ,而文献[3]中的运放只有一个 LHZ,另一个为右半平面零点(RHZ),因此本文提出的运放结构比文献[3]中的结构具有更大的相位裕度,或者当设计两者具有相同的相位裕度时,前者比后者具有更大的带宽.

现与文献[4]中的运放进行比较,若(1)式中的密勒电容由文献[4]中的方法来确定,则很容易推出(1)式的第二个零点与第三个极点抵消,第一个零点位于第二个主极点之前,并且第一个零点的具体位置由第二个前馈 g_{m2} 决定.此时,若不考虑运放其他高频零极点的作用,则第一个零点一定会极大地扩展运放的带宽,随后将对此做详细说明.正如前面所述,当采用文献[4]的补偿方法时,前馈 g_{mf1} 非常大,即当负载电容非常大时,文献[4]中的结构不再适合工程应用,因此本文通过分析(1)式中极点和零点位置对运放性能的影响,提出新的频率补偿方法.

我们知道三级运放中两个非主极点的分布会产生两种频率补偿方法,一种为极点分裂法,另一种为复数极点法.至于极点分裂法即设定两个非主极点为相距较远的实数极点,其如图 3 所示,本文已对其详细分析.现分析复数极点法,其设定两个非主极点为幅值相等的复数极点,此时(1)式中极零点的位置分布如图 4 所示.

本文提出的运放结构之所以能有如图 4 所示的极零点分布,归功于两个前馈级的存在.单密勒电容补偿的三级运放传输函数分母都相同,其完全由运

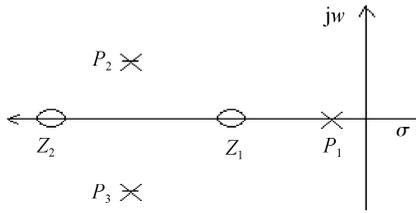


图 4 极点为复数时运放零极点的分布
Fig.4 Complex-pole approach of amplifier

放的第一级、第二级和输出级的参数决定,而本文提出的运放结构传输函数的零点完全由前馈级决定,即前馈 g_{m1} 决定第二个 LHZ 的位置,前馈 g_{m2} 决定第一个 LHZ 的位置.也就是说当改变极点的位置时,不会影响零点的位置,反之亦然.与图 3 极点分裂法比较可以看出:图 4 中的复数极点处于更高的频率,两个零点的位置相同,并由于第一个 LHZ 位于非主极点之前,可对主极点进行一定程度的补偿,故该方法能大大扩展运放带宽.另外,第二个 LHZ 能保证运放同时具有非常好的相位裕度,故对于本文所提出的结构,复数极点法比极点分裂法具有更大的带宽和更好的相位裕度,并且前馈 g_{m1} 的值不需要很大.对于复数极点法,图 2 的单位增益负反馈传输函数必须满足三阶 Butterworth 的频率响应,推出密勒补偿电容的表达式如(3)式所示,可以看出由于第二级寄生的输出电容 C_{p2} 非常小,密勒补偿电容可以设计得非常小.

$$C_m = \frac{g_{m1}}{g_{m2}} A_{v2} C_{p2} \quad (3)$$

既然两个极点的位置分布存在两种补偿方法,则两个零点的位置分布也同样存在两种补偿方法,现对此进行详细的研究.首先是零点分裂法,其设定两个 LHZ 零点为相距较远的实数零点,然后根据极点的位置分布可分为图 3 和图 4 所代表的两种补偿方法.对于复数零点法,其设定两个零点为幅值相等的复数零点,然后根据极点的位置分布可分为两种方法.当非主极点都为复数时,通过分析(1)式可知零点实部绝对值大于非主极点实部的绝对值,即零点比非主极点处于更高的频率处,此时零极点分布如图 5 所示.此时为保证系统稳定即有足够的

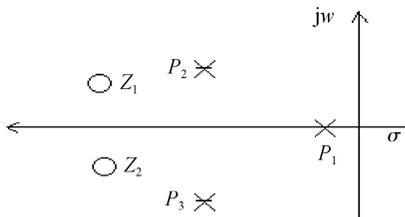


图 5 零点极点都为复数时运放零极点的分布
Fig.5 Complex-pole and complex-zero approach

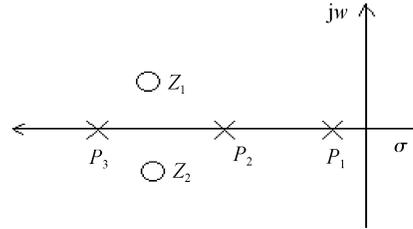


图 6 零点为复数、极点为实数时的分布图
Fig.6 Separate-pole and complex-zero approach

相位裕度,零点与极点的间距必须非常小,一般很难精确保证.但通过分析传输函数(1)式可得:当前馈 g_{m1} 增大时,零点往低频移动,增大到一定程度时,两个零点分别与相应的非主极点重合,达到极零点完全相消,这种补偿方法与文献[4]相同.但对于实际应用来说,由于 g_{m1} 已经大得令人无法接受,该方法已不再适用.当极点都为实数时,图 2 的零极点分布如图 6 所示.可以看出由于极点 P_2 位于零点之前,因此零点的位置对运放的相位裕度影响非常大.与图 4 比较发现:图 4 中的第一个零点出现在非主极点之前,其能扩展运放带宽,而图 6 中第二个极点会减小带宽,因此图 4 极零点的位置分布更适合扩展运放的带宽.

从上述 4 种零极点位置分布对运放频率特性的影响可以看出:当采用图 4 所代表的方法即极点为复数,零点为实数时,运放的带宽最大,并且能保证非常好的相位裕度.因此以下将采用该新的补偿法设计图 2 所示的低压三级误差运放.

3 电路实现及仿真验证

图 2 的具体电路实现如图 7 所示,其中管 M1~M9 构成运放的第一级,管 M10~M13 构成运放的第二级,管 M14, M15 构成运放的互补输出级,以提高运放的大信号响应速度.管 M18~M20 构成前馈级 g_{m2} ,管 M21~M25 构成前馈级 g_{m1} ,其他 MOS 管为电路提供偏置.现采用 Hspice 仿真软件对图 7 进行仿真,本文设定三级运放各级增益分别约为 50, 15 和 35dB.为方便与文献[3,4]比较,现定义一个补偿因子 F ,其为第一级前馈 g_{m1} 与第二级前馈 g_{m2} 之比.图 8 给出了补偿因子 $F=8$ 时电路的频率特性,可以看出:当运放的增益遇到主极点以 20dB/dec 下降到一定程度时,其首先遇到一个零点,使增益不再下降,并增加运放的相位.随着频率的增加,就出现了极点,从相频曲线可以看出,运放同时遇到两个极点,此时运放相位急剧减小,同时运放增益也急剧下降.此时第二个零点也开始增加运放的相位,保证了相位裕度. $F=8$ 时电路的带宽约为

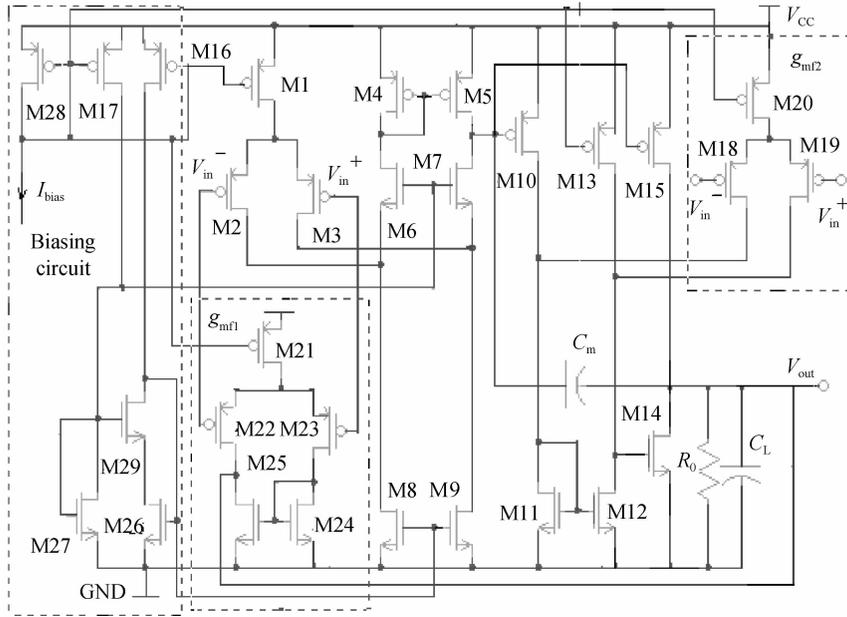


图 7 本文所提出的运放具体电路实现
Fig. 7 Implementation of the proposed amplifier

13.4MHz, 相位裕度约为 80° 。从图 8 可知:若采用极零相消法,从增益下降的趋势可看出其带宽只约为 3MHz,从而说明本文所采用的补偿法能大大地扩展运放带宽。

为了与文献[3,4]中所提结构比较,图 9 给出了电路的频率特性随补偿因子的变化情况,可以看出随着前馈级 g_{mf2} 的增大即补偿因子 F 的减小,运放频率特性越来越好.曲线 $F=40$ 代表前馈级 g_{mf2} 非常小,即其几乎对运放不起作用时三级运放的频率特性,此时补偿方法与文献[4]相同,可以从增益下降趋势看出带宽仅约为 5MHz.与文献[3]比较发现,本文提出的结构不仅能扩展带宽,运放的相位裕度也更好。

特别当 $F=4$ 时,相位裕度为 90° ,从带宽角度上可以说,该三级运放优于单极点系统.此时所有仿真结果如表 1 所示,运放的电源电压为 2V,功耗为

0.625W.至于电源抑制比、压摆率 SR 及建立时间等性能,运放都具有较好的指标。

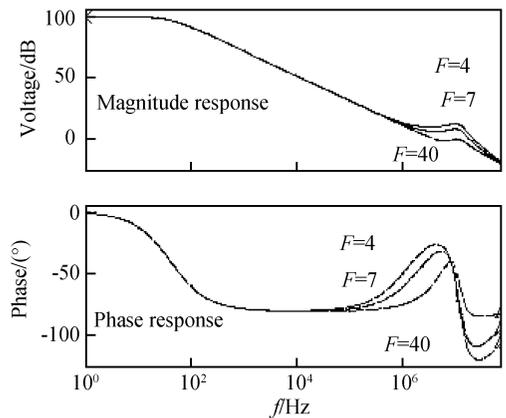


图 9 电路的频率特性随补偿因子的变化情况
Fig. 9 Frequency responses when changing F

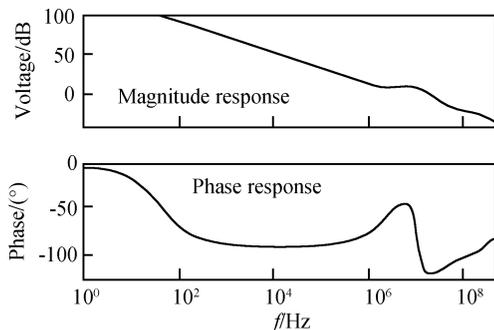


图 8 补偿因子 $F=8$ 时电路的频率特性
Fig. 8 Frequency response when $F=8$

表 1 DPZC 运放的仿真结果
Table 1 Simulation results of the proposed amplifier

Technology	CMOS 0.5 μ m	T_s^+ / T_s^- (1%)	330/670 ns
GBW(F)	25MHz ($F=4$)	Power dissipation @ V_{dd}	0.625mW @ 2V
DC gain	100dB	C_{M1}	2pF
PM	90°	SR^+ / SR^-	4.6/3.0V/ μ s
PSRR $^+$ @ 1/10kHz	77/56dB	PSRR $^-$ @ 1/10kHz	65/60dB
C_L	100pF	R_L	25k Ω

表 2 不同电路结构及补偿方法下三级运放的性能比较

Table 2 Comparison of the performances among different approaches

Technique	Gain/dB	GBW /MHz	PM /($^{\circ}$)	SR /(V/ μ s)	Power /(mW@ V_{dd})	C_L /pF	$C_{C(SUM)}$ /pF	C_L / $C_{C(SUM)}$	FOM _S /(MHz \cdot pF/mW)	FOM _L /(V/ μ s \cdot pF/mW)
NMC ^[1]	100	60	40	20	76@8	100	26	3.85	79	26
MNMC ^[1]	100	100	40	35	76@8	100	19	5.26	132	46
NGCC ^[7]	100	1	58	5	1.402	20	-	-	14	71
NMCNR ^[8]	>100	0.82	46	0.34	0.40@2	100	88	1.14	205	85
NMCF ^[9]	>100	1.22	62	0.50	0.406@2	100	50.5	1.98	300	123
DFCFC1 ^[10]	>100	2.6	43	1.32	0.42@2	100	21	4.76	649	314
DFCFC2 ^[11]	>100	2.6	48	1.04	0.676@2	100	34	2.94	384	154
DCPC ^[4]	100	4.6	89	4	0.87@2	100	2	50	529	460
This paper	100	25	90	3.8	0.625@2	100	2	50	3993	607

为更加清晰地反映本文的电路结构和补偿方法的优点,现引用两个常用的优值 $FOM_S = (GBW \times C_L) / \text{Power}$ 和 $FOM_L = (SR \times C_L) / \text{Power}$,前者衡量运放小信号的综合性能,后者衡量运放大信号的综合性能,运放的两个优值越大,其综合性能越好^[4].从表 1 可以计算出运放两个优值分别为 $FOM_S = 3993$, $FOM_L = 607$.表 2 给出了不同的频率补偿方法下,三级运放的各方面性能比较,可以看出本文最大的特色是在功耗较低的前提下,运放的带宽非常大,从而小信号优值 FOM_S 非常大,并且相位裕度也非常大.

4 总结

本文首先对国际上最新提出的单密勒电容补偿技术做了详细的分析,并指出其存在的问题.然后提出了一种新的单密勒电容补偿的低压三级误差运放结构,详细分析和讨论了极零点位置对运放性能的影响,从而提出了一种新的频率补偿方法.最后给出了运放的具体电路结构及仿真结果.仿真结果表明:所提出的结构及补偿方法打破了传统的电路结构及补偿方法对运放带宽的限制,因为对于传统的三级运放频率补偿方法,运放的带宽由其增益大小、主极点和非主极点的位置决定,其最大带宽为增益与主极点的乘积,此时运放为最理想的单极点系统,而本文提出电路结构及 DPZC 补偿方法,通过零点补偿运放的主极点,能非常容易地扩展带宽.

参考文献

[1] Eschauzier R G H, Kerklaan L P T, Huijsing J H. A 100-

MHz 100-dB operational amplifier with multipath nested Miller compensation structure. *IEEE J Solid-State Circuits*, 1992, 27(12): 1709

- [2] Leung K N, Mok P K T. Three-stage large capacitive load amplifier with damping-factor-control frequency compensation. *IEEE J Solid-State Circuits*, 2000, 35(2): 221
- [3] Fan Xiaohua, Mishra C, Sanchez-Sinencio E. Single Miller capacitor frequency compensation technique for low-power multistage amplifiers. *IEEE J Solid-State Circuits*, 2005, 40: 584
- [4] Li Q, Yi J, Zhang B, et al. A dual complex pole-zero cancellation compensation mode for three-stage amplifier. 7th International Conference on Solid-State and Integrated Circuits Technology, 2004, 2: 1461
- [5] Lu S H, Huang W J, Liu S L. A fast settling low dropout linear regulator with single Miller compensation capacitor. *Asian Solid-State Circuits Conference*, 2005: 153
- [6] Kamath Y B, Meyer R G, Gray P R. Relationship between frequency response and settling time of operational amplifiers. *IEEE J Solid-State Circuits*, 1974, 9(6): 347
- [7] You F, Embabi S H K, Sanchez-Sinencio E. A multistage amplifier topology with nested G_m -C compensation for low-voltage application. *IEEE J Solid-State Circuits*, 1997, 32: 2000
- [8] Leung K N, Mok P K T, Ki W H. Right-half-plane zero removal for low-voltage low-power nested Miller compensation CMOS amplifier. *IEEE Trans Circuits Syst I*, 2001, 48: 1041
- [9] Leung K N, Mok P K T. Analysis of multistage amplifier-frequency compensation. *IEEE Trans Circuits Syst I*, 2001, 48: 1041
- [10] Leung K N, Mok P K T. Three-stage large capacitive load amplifier with damping-factor-control frequency compensation. *IEEE J Solid-State Circuits*, 2000, 35: 221
- [11] Leung K N, Mok P K T, Sin J K O. Analysis on alternative structure of damping factor control frequency compensation. *IEEE ISCAS'00*, May 2000, II: 545

A Three-Stage Amplifier with Single Miller-Capacitor Frequency Compensation *

Liu Yonggen[†], Luo Ping, Zhang Bo, and Li Zhaoji

(State Key Laboratory of Electronic Film and Integrated Devices, University of Electronic Science and
Technology of China, Chengdu 610054, China)

Abstract: An improved three-stage amplifier topology with a new frequency compensation technique is proposed. It can produce two left-half-plane zeros to compensate the two non-dominant poles and the dominant pole by adjusting the compensation factor, giving the amplifier very large bandwidth and good phase margin. Moreover, the amplifier requires only one small compensation capacitor and does not consume much power when driving a large load capacitor. A GBW of 25MHz, DC gain of 100dB, PM of 90°, and power dissipation of 0.625mW can be achieved for a load capacitor of 100pF with a single Miller compensation capacitance of 2pF and a compensation factor of 4 in 0.5 μ m CMOS technology.

Key words: single Miller capacitor; three-stage amplifier with low voltage; DPZC

EEACC: 2570

Article ID: 0253-4177(2007)10-1636-06

* Project supported by the National Natural Science Foundation of China (No. 60436030)

[†] Corresponding author. Email: liuyonggen_1@163.com

Received 2 April 2007, revised manuscript received 28 May 2007