

# 亚 65nm 工艺新型 p 结构多米诺与门设计

汪金辉<sup>1,†</sup> 官 娜<sup>2</sup> 冯守博<sup>1</sup> 段丽莹<sup>1</sup> 侯立刚<sup>1</sup> 吴武臣<sup>1</sup> 董利民<sup>1</sup>

(1 北京工业大学集成电路与系统研究室, 北京 100022)

(2 河北大学电子信息工程学院, 保定 071002)

**摘要:** 利用休眠晶体管、多阈值和 SEFG 技术(源跟随求值门技术), 设计了一种新型的 p 结构多米诺与门. HSPICE 仿真结果表明, 在相同的时间延迟下, 与标准双阈值多米诺与门、标准低阈值多米诺与门和 SEFG 结构相比, 提出的新型多米诺与门的漏电流分别减小了 43%, 62% 和 67%, 噪声容限分别增大了 3.4%, 23.6% 和 13.7%. 从而有效地解决了亚 65nm 工艺下多米诺与门存在的漏电流过大, 易受干扰的问题. 分析并得到了不同结构的休眠多米诺与门的漏电流最低的输入矢量和时钟状态.

**关键词:** 低功耗; 漏电流; p 型多米诺与门; 噪声容限

EEACC: 1130B; 1265

中图分类号: TN4 文献标识码: A 文章编号: 0253-4177(2007)11-1818-06

## 1 引言

多米诺电路以其速度快、面积小的优良特性被广泛应用于处理器、寄存器、缓存器中的高速运算电路及其关键路径中<sup>[1]</sup>. 但是, 随着集成电路工艺技术的发展, 电源电压、晶体管的阈值电压和栅氧化层厚度等参数不断减小, 而电路的漏电流却随着阈值电压和栅氧化层厚度的减小呈指数倍增长<sup>[2,3]</sup>. 一方面, 急剧增加的漏电流, 使电路的静态功耗显著增大, 相关研究表明, 在亚 65nm 工艺中, 静态功耗已经达到整个电路功耗的 50% 以上<sup>[4]</sup>; 另一方面, 漏电流较大, 使电路的噪声容限明显降低, 多米诺电路的抗噪声能力弱的不足, 是由它的工作原理决定的. 在求值阶段如果动态结点不放电, 则整个电路的逻辑状态将靠动态结点来维持, 但动态结点对加在输入端口上的噪声非常敏感, 噪声较大就会破坏动态结点的逻辑值, 这将极大影响电路的性能, 甚至会造成输出逻辑的错误, 而较大的漏电流进一步降低了多米诺电路的抗噪声能力. 因此低漏电流、高噪声容限设计已成为亚 65nm 工艺多米诺电路研究领域的热点.

在亚 65nm 工艺水平之前, 降低亚阈值漏电流是大多数低漏电流技术的研究目标, 包括门控时钟技术<sup>[5]</sup>、休眠晶体管技术<sup>[6]</sup>、多阈值 MOS 管技术<sup>[7]</sup>等. 这是因为, 在工艺发展到亚 65nm 水平之前, 电路中的漏电流主要是亚阈值漏电流.

然而, 每一次工艺水平的提高, 栅极漏电流就要

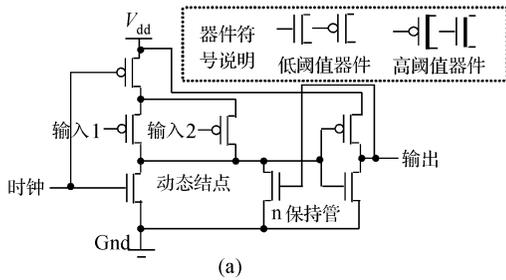
增加几个数量级; 而每一次工艺水平的提高, 亚阈值漏电流随阈值电压的减小只增加 3~5 倍<sup>[8]</sup>. 当 CMOS 工艺进入亚 65nm 阶段, 栅极漏电流已赶上甚至超过了亚阈值漏电流, 成为漏功耗的另一主要来源. 因此, 近来国内外关于多米诺电路的低漏电流研究, 都把重心转移到栅极漏电流的优化上. p 型多米诺电路自 2002 年由 Hamzaoglu 等人<sup>[9]</sup>提出以来, 以其低栅极漏电流特性显示出强大的生命力, 而成为一种普遍应用的电路. 可是, 亚 65nm 工艺下, 对于输入网络的晶体管为并行结构的 p 型多米诺与门, 漏电流过大, 易受干扰的问题仍然很严重. 在权衡考虑亚阈值漏电流、栅极漏电流、速度和噪声容限等多个重要指标后, 本文设计了一种新型的亚 65nm 低功耗高性能多米诺与门结构.

## 2 新型多米诺与门

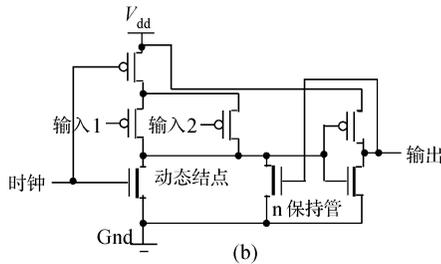
如上所述, 漏电流过大, 易受干扰的问题成为影响亚 65nm 多米诺与门广泛应用的关键. 文献[10]提出的双阈值技术是目前在降低亚阈值漏电流方面被广泛认可的技术, 该技术在 n 型多米诺电路的关键路径即求值路径采用低阈值电压晶体管, 在非关键路径应用高阈值电压晶体管, 从而在保证电路速度的同时, 有效降低了电路的亚阈值漏电流. 双阈值技术需要增加门控级, 使休眠状态的多米诺门位于最小的漏电流状态下<sup>[10,11]</sup>. Hamzaoglu 等人<sup>[9]</sup>将双阈值技术应用于 p 型多米诺电路, 如图 1 所示.

† 通信作者. Email: wangjinhui888@emails.bjut.edu.cn

2007-05-07 收到, 2007-06-01 定稿



(a)



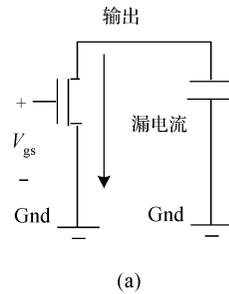
(b)

图 1 (a)低阈值器件组成的标准 p 型多米诺与门;(b)双阈值器件组成的标准 p 型多米诺与门

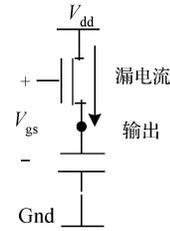
Fig.1 (a) p-type standard AND Dominos with low- $V_t$  devices; (b) p-type standard AND Dominos with dual- $V_t$  devices

显然,双阈值技术忽略了栅极漏电流的影响,而 p 型多米诺自身结构则有效地抑制了栅极漏电流.研究表明,在电压反偏情况下,相同尺寸的 pMOS 管通过栅氧化层的栅极漏电流要比 nMOS 管小的多<sup>[12]</sup>,如表 1 所示<sup>[13]</sup>.这是因为,nMOS 管的栅极漏电流主要由导带中的电子隧穿引起的,pMOS 管的栅极漏电流主要由价带中的空穴隧穿产生.而价带的势垒高度要远远大于导带的势垒高度,所以 pMOS 管栅极漏电流小的多<sup>[12]</sup>.因此,与 n 型多米诺电路相比,p 型多米诺与门的上拉网络产生的栅极漏电流较小.

为了解决多米诺电路易受噪声干扰的问题, Kim 等人<sup>[14]</sup>提出了源跟随求值门(SEFG)结构. SEFG 结构和一般结构的比较如图 2 所示,当噪声作用在多米诺门的输入端, $V_{gs}$ 被噪声电压箝位, $V_{gs}$ 是常量,从而产生源源不断的漏电流,这是一般源构造的特点.但在 SEFG 结构中, $V_{gs}$ 随着输出电压的



(a)



(b)

图 2 一般源结构(a)和源跟随结构(b)充放电机制比较

Fig.2 Charging and discharging mechanism comparison between common source (a) and source follower (b) configuration

增高而减小,且放电不依靠回路,即使噪声信号持续很长时间,也不会对输出造成很大影响.因此,SEFG 结构,有效增大了噪声容限<sup>[14]</sup>. SEFG 结构与门的工作状态分为“预充”和“求值”两个阶段,如图 3(a)所示.当时钟信号为高电平时,为“预充”阶段, $n_{clk}$ 导通, $p_{clk}$ 截止,动态节点预充至低电平,输出端预充至高电平,并使 n 保持管导通.导通的 n 保持管又作用于动态节点,使动态节点的低电平更加稳定.当时钟信号为低电平时,为“求值”阶段, $p_{clk}$ 导通, $n_{clk}$ 截止,动态节点视 pMOS 管逻辑树的输入信号有条件地充电:如果 pMOS 管逻辑树存在从动态节点到  $V_{dd}$  的直流通路,动态节点将充电至高电平,输出下降为低电平,p 保持管导通,使动态节点的高电平更加稳定;否则,动态节点将借助于 n 保持管,继续保持低电平.

本文提出的新型多米诺与门,综合运用了 SEFG 结构和双阈值技术,以减小漏电流并提高噪

表 1 两种典型温度下低阈值器件和高阈值器件归一化后的漏电流

Table 1 Normalized gate leakage current of low- $V_t$  and high- $V_t$  devices at two typical die temperatures

	nMOS		pMOS	
	低阈值器件	高阈值器件	低阈值器件	高阈值器件
A: $I_{leak}(I_{sub}, I_{gate})(110^\circ\text{C})$	34.9(33.3, 1.6)	2.7(1.2, 1.5)	22.8(22.7, 0.09)	1.09(1, 0.09)
B: $I_{gate}(110^\circ\text{C})$	4.7	3.5	0.1	0.1
A: $I_{leak}(I_{sub}, I_{gate})(25^\circ\text{C})$	126.2(66.5, 59.6)	60.4(0.8, 59.6)	56.3(52.8, 3.4)	4.4(1, 3.4)
B: $I_{gate}(25^\circ\text{C})$	159.1	124.0	5.3	5.3

表中  $I_{leak}$ :总漏电流;  $I_{gate}$ :栅极漏电流;  $I_{sub}$ :亚阈值漏电流. A(截止):  $|V_{gs}| = 0, |V_{ds}| = V_{dd}$ ; B(导通):  $|V_{gs}| = |V_{gd}| = |V_{gb}| = V_{dd}$ . 晶体管沟道宽度为  $1\mu\text{m}$ ,长度为  $45\text{nm}$ .高阈值为  $0.35\text{V}$ ,低阈值为  $0.22\text{V}$ ,电源电压  $0.8\text{V}$ .表中表示的电流值在  $I_{leak}$  状态下,pMOS 管的栅极漏电流归一化.

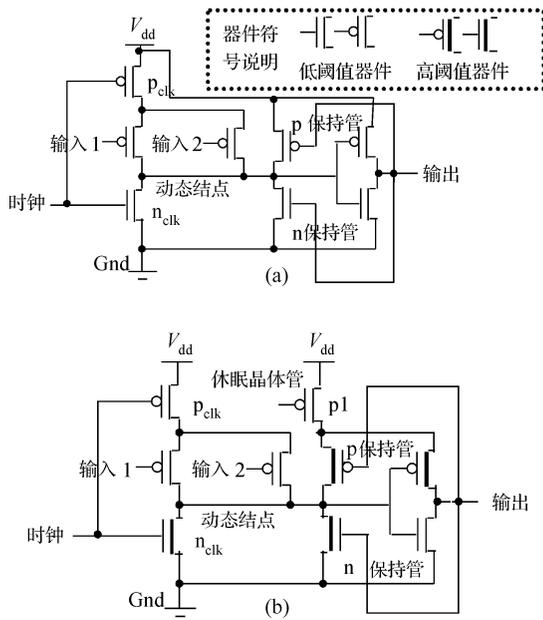


图 3 (a) SEFG(源跟随求值门)结构; (b) 新型多米诺与门  
Fig.3 (a) SEFG structure; (b) Proposed design

声容限.同时,电路中通过插入由休眠信号控制的休眠晶体管 p1,使电路的漏电流进一步降低,如图 3 (b)所示.提出的多米诺与门具体工作原理如下:在工作状态,休眠信号为低电平,p1 管导通,新型多米诺与门与 SEFG 结构的工作原理相同;在休眠状态,休眠信号为高电平,p1 管截止,门控与门于最小漏电流状态即时钟低电平输入高电平(CLIH)状态(不同状态下的漏电流比较见第三节),n<sub>clk</sub>管和 pMOS 逻辑树截止.截止的 p1 管和 n<sub>clk</sub>管一方面避免了电压电源和地之间的短路电流的流通;另一方面,由于堆栈效应,降低了亚阈值漏电流.而且,pMOS 逻辑树截止,使电路的亚阈值漏电流进一步降低,同时,截止的 pMOS 管产生的栅极漏电流比导通时小的多(见表 1),从而使新型多米诺与门中晶体管总的漏电流最低.另外,考虑到保持管的引入将带来求值阶段中保持管与 pMOS 逻辑树之间的竞争电流,而引起电路速度的损失,虽然休眠晶体管处在非关键路径,电路中仍采用了低阈值电压器件.但是,与标准的多米诺与门和 SEFG 结构相比,新型多米诺与门使用了较多的晶体管,因此,新型多米诺与门将消耗更多的动态功耗.

### 3 模拟结果

基于 45nm CMOS BSIM4 器件模型<sup>[15]</sup>,本文对标准的 p 型低阈值多米诺技术、标准的 p 型双阈值多米诺技术、SEFG 结构和提出的新技术的 4 种二输入与门进行了 HSPICE 仿真.电源电压为 0.8V,

表 2 器件工艺、阈值及温度参数

Table 2 Process, threshold voltage ( $V_t$ ) of devices and temperature

工艺尺寸	4 种不同与门不同器件的阈值				温度
	高阈值 nMOS	高阈值 pMOS	低阈值 nMOS	低阈值 nMOS	
45nm	0.35V	-0.35V	0.22V	-0.22V	110°C

每个多米诺与门均驱动 8fF 的负载电容.器件的参数如表 2 所示.而且,所有的多米诺与门均工作在 1GHz 频率下,通过调整晶体管尺寸,所有的多米诺与门具有相同的延迟时间,从而有效地比较了不同多米诺与门达到相同性能的功耗、漏电流和噪声容限.文中每种多米诺与门的输入 pMOS 管的宽长比均为 16;新型多米诺与门的 p 保持管和 n 保持管宽长比均为 4;为了保证电路的性能,新型多米诺与门的休眠晶体管的宽长比较大,约为 40,这也正是新型多米诺与门动态功耗增大的原因.

本文中,我们以频率为 2.5GHz,占空比为 87.5%的交流信号作为噪声信号,并将该信号加到与门的每个输入端来模拟最大噪声情况<sup>[16]</sup>.交流噪声容限的大小即为输出端的幅值减低或升高 10% -  $V_{dd}$ 时的输入端的幅值.

图 4 示出了 4 种不同的多米诺与门归一化的动态功耗和交流噪声容限.如前所述,由于提出的新型多米诺与门使用的晶体管数目较多,因此消耗了较大的动态功耗.同时,为了达到相同的延迟时间,新型多米诺与门中的休眠晶体管和反向器中的 pMOS 管需要增大尺寸,从而使动态功耗进一步增大.但是,在较小动态功耗的代价下,新型多米诺与门的抗噪声能力得到了明显改进.与标准的双阈值多米诺与门,标准的低阈值多米诺与门,SEFG 结构相比,交流噪声容限分别提高了 3.4%,23.6%和 13.7%,如图 4 所示.交流噪声容限的提高主要是由于增加了 p 保持管.虽然在新型多米诺电路中 p 保持管的尺寸很小,它却极大地改善了噪声容限.

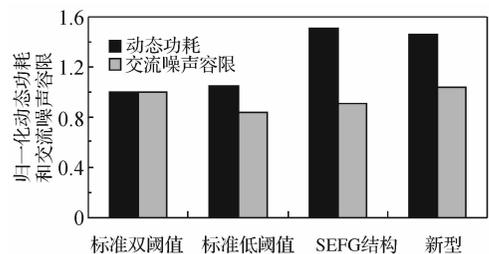


图 4 不同结构二输入与门动态功耗和交流噪声容限的比较  
Fig.4 Comparison of the active power and AC noise margins of the four different 2 input AND Domino circuits

表 3 25℃ 和 110℃ 下, 4 种多米诺与门在不同输入矢量和时钟状态的漏电流(单位: A)

	输入矢量和时钟状态(25°C)				输入矢量和时钟状态(110°C)			
	CLIH	CHIH	CLIL	CHIL	CLIH	CHIH	CLIL	CHIL
新型	$6.018 \times 10^{-8}$	$6.225 \times 10^{-8}$	$1.763 \times 10^{-7}$	$1.398 \times 10^{-7}$	$2.945 \times 10^{-7}$	$9.370 \times 10^{-7}$	$3.178 \times 10^{-7}$	$1.550 \times 10^{-6}$
SEFG	$1.862 \times 10^{-7}$	$2.139 \times 10^{-7}$	$1.971 \times 10^{-7}$	$2.490 \times 10^{-7}$	$5.323 \times 10^{-5}$	$1.052 \times 10^{-6}$	$1.450 \times 10^{-6}$	$1.614 \times 10^{-6}$
标准低阈值	$1.843 \times 10^{-7}$	$1.659 \times 10^{-7}$	$1.594 \times 10^{-7}$	$2.010 \times 10^{-7}$	$2.077 \times 10^{-6}$	$6.621 \times 10^{-7}$	$1.213 \times 10^{-6}$	$1.272 \times 10^{-6}$
标准双阈值	$1.814 \times 10^{-7}$	$1.444 \times 10^{-7}$	$1.071 \times 10^{-7}$	$1.795 \times 10^{-7}$	$1.574 \times 10^{-7}$	$6.591 \times 10^{-7}$	$1.679 \times 10^{-7}$	$1.270 \times 10^{-6}$

表中 CLIH: 时钟低电平输入高电平; CHIH: 时钟高电平输入高电平; CLIL: 时钟低电平输入低电平; CHIL: 时钟高电平输入低电平。

亚阈值漏电流和栅极漏电流对温度的依赖关系不同, 随温度的增加, 亚阈值漏电流呈指数倍增加, 而栅极漏电流的变化并不明显, 所以不同温度下漏电流特性也不同. 本文中, 我们选取了 110℃ 和 25℃ 两个典型的休眠温度分别进行了仿真, 仿真结果如表 3 所示. 从表中可以看出, 对于同一种电路结构, 输入矢量和时钟状态不同, 电路产生的漏电流也不同; 对于 4 种不同的电路结构, 漏电流最低的输入矢量和时钟状态也不同. 图 5 示出了 4 种不同的多米诺与门的漏电流最低状态下的漏电流比较.

从图 5 中可以看出, 当温度为 25℃ 时, 不同电路结构漏电流最低时的时钟电平都是低电平. 这是因为, 25℃ 时, 当时钟信号为低电平时, 低阈值电压的  $p_{\text{clk}}$  管导通, 产生的栅极漏电流为 5.3,  $n_{\text{clk}}$  管的截止, 产生的总的漏电流分别为 126.2 和 60.4 (见表 1); 当时钟信号为高电平时,  $p_{\text{clk}}$  管截止, 产生的总的漏电流为 56.3,  $n_{\text{clk}}$  管导通, 产生的栅极漏电流分别为 159.1 和 124 (见表 1). 因此, 时钟信号为高电平时总的漏电流较大, 而低电平的时钟信号更有利于降低漏电流.

温度为 25℃ 时, 对于双阈值和低阈值的标准多米诺与门, 输入为低电平时漏电流最小, 对于 SEFG 结构和文中提出的新型多米诺与门, 输入为高电平时漏电流最小. 这是因为, 输入为低电平时, pMOS 逻辑树导通, 每个 pMOS 管产生的栅极漏电流为 5.3; 输入为高电平时, pMOS 逻辑树截止, 每个 pMOS 管产生的总的漏电流为 56.3 (见表 1). 所以, 双阈值和低阈值的标准多米诺与门的低电平输入有效地减小了漏电流. 但是, 由于 SEFG 结构和文中提出的新型多米诺与门使用了较多的晶体管, 输入低电平时, pMOS 逻辑树的导通也将导致部分增加的晶体管导通(如 p 型保持管), 形成电流回路, 从而堆栈效应减弱, 漏电流增大. 因此, 输入信号为高电平时, SEFG 结构和文中提出的新型多米诺与门将产生较小的漏电流, 如图 5 所示.

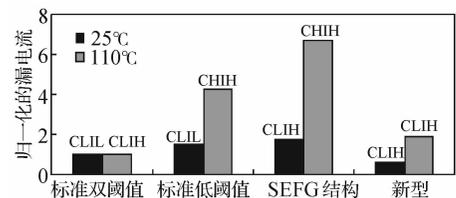
从以上分析可以看出, 25℃ 时, 新型多米诺与门和 SEFG 结构的漏电流最低状态是 CLIH (时钟低电平输入高电平), 标准低阈值和双阈值多米诺与门是 CLIL (时钟低电平输入低电平).

随着温度升高, 阈值电压减小, 热电压增大, 从而使亚阈值漏电流呈指数倍增大<sup>[17,10]</sup>. 而栅极漏电流随温度的变化并不明显. 110℃ 时, 与栅极漏电流相比, 亚阈值漏电流是漏电流的主要来源<sup>[18]</sup>. 从表 1 可以看出, 110℃ 时, 低阈值 nMOS 管、高阈值 nMOS 管和低阈值 pMOS 管的亚阈值电流分别为 33.3, 1.2 和 22.7 (见表 1). 因此对于标准双阈值多米诺和新型的多米诺与门, 时钟为低电平时, 高阈值  $n_{\text{clk}}$  管截止, 产生的亚阈值漏电流最小; 对于标准的低阈值多米诺与门和 SEFG 结构, 时钟为高电平时, 低阈值  $p_{\text{clk}}$  管截止, 产生的亚阈值漏电流最小.

当温度为 110℃ 时, 不同电路结构漏电流最低时的输入电平都是高电平. 这是因为, 高电平的输入信号, 使 pMOS 逻辑树截止, 从而产生堆栈效应, 亚阈值漏电流最低.

从以上分析可以看出, 110℃ 时, 新型多米诺与门和标准双阈值与门的漏电流最低状态是 CLIH (时钟低电平输入高电平), SEFG 结构和标准低阈值多米诺与门是 CHIH (时钟高电平输入高电平), 如图 5 所示.

从图 5 还可以看出, 25℃ 时, 因为双阈值技术和休眠管技术的应用, 新型多米诺与门的漏电流最小. 与标准的双阈值多米诺与门, 标准的低阈值多米诺与门, SEFG 结构相比漏电流分别减小了 43%, 62% 和 67%. 随着温度增加到 110℃, 亚阈值电流呈指数倍增长, 虽然休眠晶体管能有效地抑制漏电流, 新型多米诺与门的漏电流却超过了标准的双阈值多米诺与门, 但它与标准的低阈值多米诺与门和



CLIH: 时钟低电平输入高电平; CHIH: 时钟高电平输入高电平; CLIL: 时钟低电平输入低电平.

图 5 4 种不同多米诺与门最小漏电流的比较

Fig. 5 Comparison of the lowest leakage current of four gates

SEFG 结构相比,漏电流特性良好,分别减小了 55% 和 72%。总之,在典型的休眠温度下,新型多米诺与门具有良好的漏电流特性。

## 4 结束语

随着集成电路工艺进入亚 65nm 阶段,漏电流过大,易受干扰的问题成为制约多米诺与门广泛应用的关键。由于 pMOS 晶体管具有良好的栅极漏电流的特性,因此常规的多米诺与门在经过 p 型改进后,总的漏电流大大降低。本文利用休眠晶体管、多阈值和 SEFG(源跟随求值门)技术设计了一种新型的低漏电流、高噪声容限的 p 型多米诺与门。HSPICE 仿真结果表明,与标准的多米诺电路、标准的双阈值多米诺电路和 SEFG 结构相比,在相同的开关速度下,本文提出的电路的漏电流分别降低了 43%, 62% 和 67%, 同时,交流噪声容限分别提高了 3.4%, 23.6% 和 13.7%。最后,本文分析了漏电流最低的输入矢量和时钟状态,并指出漏电流最低状态与具体电路结构有关。

## 参考文献

- [1] Chatterjee B, Sachdev M, Krishnamurthy R. Designing leakage tolerant, low power wide-OR Dominos for sub-130nm CMOS technologies. *Microelectronics Journal*, 2005, 36(6):801
- [2] Wang Ling, Wen Dongxin, Yang Xiaozong, et al. Synthesis scheme for low power designs under time constraints. *Chinese Journal of Semiconductors*, 2005, 26(2):287
- [3] Sun Hui, Li Wenhong, Zhang Qianling. A low-power super-performance four-way set-associative CMOS cache memory. *Chinese Journal of Semiconductors*, 2004, 25(4):366
- [4] Jack Horgan. Low power SOC design. May, 2004 [http://www10.edacafe.com/nbc/articles/view\\_weekly.php?newsletter=1&run\\_date=24-May-2004](http://www10.edacafe.com/nbc/articles/view_weekly.php?newsletter=1&run_date=24-May-2004)
- [5] Abdollahi A, Fallah F, Pedram M. Leakage current reduction in CMOS VLSI circuits by input vector control. *IEEE Trans Very Large Scale Integr (VLSI) Syst*, 2004, 12(2):140
- [6] Khandelwal V, Srivastava A. Leakage control through fine-grained placement and sizing of sleep transistors. *Proceedings of IEEE/ACM International Conference on Computer Aided Design*, 2004:533
- [7] Kuroda T, Fujita T, Mita S, et al. A 0.9V 150MHz 10mW 4mm<sup>2</sup> 2-D discrete cosine transform core processor with variable-threshold-voltage scheme. *Digest of Technical Papers. Proceedings of 43rd ISSCC*, 1996:1770
- [8] Lee D, Kwong W, Blaauw D, et al. Analysis and minimization techniques for total leakage considering gate oxide leakage. *Proceedings of ACM/IEEE Design Automation Conference*, 2003:175
- [9] Hamzaoglu F, Stan M R. Circuit-level techniques to control gate leakage for sub-100nm CMOS. *Proc Int Symp on Low Power Electronics and Design*, 2002:60
- [10] Kao J T, Chandrakasan A P. Dual-threshold voltage techniques for low-power digital circuits. *IEEE J Solid-State Circuits*, 2000, 35(7):1009
- [11] Kursun V, Friedman Eby G. Node voltage dependent sub-threshold leakage current characteristics of dynamic circuits. *Proceedings of IEEE/ACM International Symposium on Quality Electronic Design*, 2004:104
- [12] Yeo Y C, Lu Q, Lee C W, et al. Direct tunneling gate leakage current in transistors with ultrathin silicon nitride gate dielectric. *IEEE Electron Device Lett*, 2000, 21:540
- [13] Liu Z, Kursun V. Leakage biased PMOS sleep switch dynamic circuits. *IEEE Trans Circuits Syst*, 2006, 53(10):1093
- [14] Kim Jae-Joon, Roy K. A leakage tolerant high fan-in dynamic circuit design technique. *Solid-State Circuits Conference ESSCIRC*, Proceedings of the 27th European, 2001:309
- [15] Predictive Technology Model (PTM), <http://www.eas.asu.edu/~ptm>
- [16] Kursun V, Friedman Eby G. Sleep switch dual threshold voltage Domino logic with reduced standby leakage current. *IEEE Trans Very Large Scale Integration (VLSI) Systems*, 2004, 12(5):485
- [17] Vladimirescu A, Cao Yu, Thomas O, et al. Ultra-low-voltage robust design issues in deep-submicron CMOS. *Proceedings of the 2nd Annual IEEE Northeast Workshop on Circuits and Systems*, 2004:49
- [18] Guo Baozeng, Gong Na, Wang Jinhui. Designing leakage-tolerant and noise-immune enhanced low power wide OR Dominos in sub-70nm CMOS technologies. *Chinese Journal of Semiconductors*, 2006, 27(5):804 (in Chinese) [郭宝增, 宫娜, 汪金辉. 亚 70nm CMOS 工艺低漏电流、高噪声容限的低功耗多输入多米诺或门的设计. *半导体学报*, 2006, 27(5):804]

## A Novel p-Type Domino AND Gate Design for Sub-65nm CMOS Technologies

Wang Jinhui<sup>1,†</sup>, Gong Na<sup>2</sup>, Feng Shoubo<sup>1</sup>, Duan Liying<sup>1</sup>, Hou Ligang<sup>1</sup>,  
Wu Wuchen<sup>1</sup>, and Dong Limin<sup>1</sup>

(1 *VLSI and System Laboratory, Beijing University of Technology, Beijing 100022, China*)

(2 *College of Electronic and Informational Engineering, Hebei University, Baoding 071002, China*)

**Abstract:** A novel p-type Domino AND gate utilizing the sleep transistor, dual threshold voltage, and source following evaluation gate (SEPG) techniques is proposed. HSPICE simulation results prove that the leakage current of the proposed design can be reduced by 43%, 62%, and 67% while improving the noise margin 3.4%, 23.6%, and 13.7% when compared to standard dual  $V_t$  Dominos, standard low  $V_t$  dominos, and the SEFG structure under similar delay time, respectively. Therefore, the proposed Dominos AND gate solves the high leakage current and deteriorated robustness problem in sub-65nm CMOS technologies. Finally, the inputs and clock signals combination sleep state dependent on leakage current characteristics is analyzed, and the optimal sleep state is obtained.

**Key words:** low power; leakage current; p-type Dominos AND gate; noise immunity

**EEACC:** 1130B; 1265

**Article ID:** 0253-4177(2007)11-1818-06

---

† Corresponding author. Email: wangjinhui888@emails.bjut.edu.cn

Received 7 May 2007, revised manuscript received 1 June 2007