

# PZT 铁电场效应晶体管电学性能\*

蔡道林<sup>†</sup> 李 平 翟亚红 张树人

(电子科技大学电子薄膜与集成器件国家重点实验室, 成都 610054)

**摘要:** 采用磁控溅射法制备了(111)向择优的  $\text{Pb}(\text{Zr}_{0.52}\text{Ti}_{0.48})\text{O}_3$  (PZT) 铁电薄膜, 并结合半导体集成技术制备了金属/铁电/金属/多晶硅/绝缘层/Si 衬底(MFMIS)结构的 n 沟道铁电场效应晶体管. 研究了铁电场效应晶体管的 C-V 特性、I-V 特性以及写入速度. 顺时针的 C-V 滞回曲线和逆时针的  $I_d$ - $V_g$  滞回曲线表明, n 沟道 PZT 铁电场效应晶体管具有极化存储性能和明显的栅极化调制效应, 并且在 -5V 到 +5V 的  $V_g$  电压下从 C-V 和  $I_d$ - $V_g$  滞回曲线中都得到了 2V 的存储窗口.

**关键词:** 磁控溅射; MFMIS; 铁电场效应晶体管; 存储窗口

EEACC: 2610F

中图分类号: TN384

文献标识码: A

文章编号: 0253-4177(2007)11-1782-04

## 1 引言

铁电存储器 (FRAM) 由于具有高速、非挥发性、抗辐射性强、能与半导体 Si 集成电路工艺相兼容等特点而被广泛地研究<sup>[1,2]</sup>. 铁电场效应晶体管 (ferroelectric field-effect-transistors, FFET) 是以铁电薄膜作为晶体管中的栅介质层, 通过栅极极化状态实现对漏-源电流的调制, 根据漏-源电流的相对大小来读取存储信息的一种铁电存储器<sup>[3]</sup>. 铁电场效应晶体管的读出不需要使栅极极化反转, 是一种非破坏性读出 (NDRO) 的存储器件, 因而成为铁电存储器领域的研究热点<sup>[3~6]</sup>.

然而, 由于铁电薄膜与 Si 衬底间的相互反应, 相互扩散, 使得铁电薄膜和 Si 衬底之间很难形成好的界面态<sup>[7,8]</sup>. 通常的做法是在铁电薄膜和 Si 衬底之间引入一层绝缘过渡层来改善界面性能, 形成 Metal/Ferroelectric/Insulator/Si (MFIS) 结构的铁电场效应晶体管<sup>[9,10]</sup>. 或者在 MFIS 的基础上再加一层底电极形成 Metal/Ferroelectric/Metal/Insulator/Si (MFMIS) 结构的铁电场效应晶体管<sup>[11,12]</sup>. 国内对 MFIS 结构铁电场效应晶体管有一定的研究, 但是基于 MFMIS 结构铁电场效应晶体管的研究一直鲜见报道.

$\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$  (简称 PZT) 由于具有较大的剩余极化强度, 低的矫顽场强, 低的晶化温度, 是十分适合 FRAM 使用的一种铁电材料<sup>[2,13]</sup>. PZT 的制备方法主要有溅射法、溶胶-凝胶 (Sol-Gel) 法、激

光脉冲法以及化学气相沉积 (CVD) 法等<sup>[14]</sup>. 在这些方法中, 溅射工艺由于与半导体集成电路工艺完全相兼容, 并且溅射法制备的铁电薄膜具有附着力强、成分均一、显微结构好、晶化温度低等优点, 是制备铁电薄膜常用的方法之一.

实验中选取与 Si 衬底具有良好界面的  $\text{SiO}_2$  作为绝缘层, 以具有良好抗氧化性通常被用作铁电电容电极材料的 Pt 作为上下电极, 以 PZT 薄膜为栅介质层, 在快速退火工艺获得高质量 PZT 铁电薄膜的基础上, 设计制备了 n 沟道 PZT 铁电场效应晶体管. 本文就该 FFET 的制备及其电学性能进行了研究与探讨.

## 2 实验

图 1 为 MFMIS 结构的铁电场效应晶体管的剖面图. 实验中采用 p-Si(100) 衬底, 半导体标准工艺

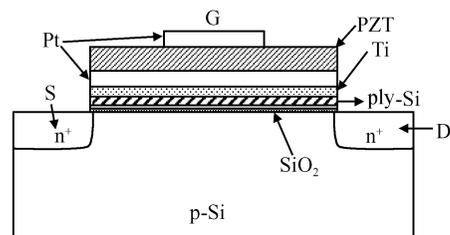


图 1 MFMIS 铁电场效应晶体管示意图

Fig.1 Schematic diagram of the MFMIS ferroelectric field effect transistor

\* 国家重点基础研究发展规划资助项目 (批准号: 51310z)

<sup>†</sup> 通信作者. Email: caidlin@hotmail.com

2007-05-12 收到, 2007-06-18 定稿

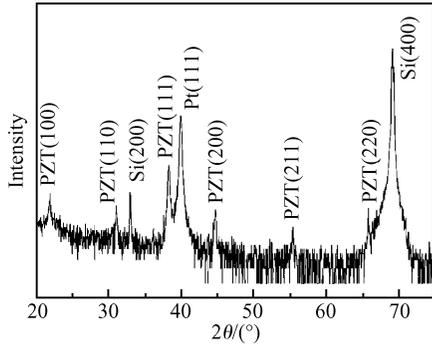


图 2 PZT 薄膜的 XRD 图谱  
Fig.2 XRD patterns of the PZT thin films

进行清洗.表面热氧化一层 SiO<sub>2</sub> (20nm) 作为绝缘层. LPCVD 法制备 Poly-Si(200nm), 然后采用自对准工艺形成晶体管的源区和漏区, 并同时为 Poly-Si 掺杂. 淀积 Pt (100nm) 作为底电极, 在底电极和 Poly-Si 之间淀积一层 Ti(60nm) 作为粘附层和扩散阻挡层.

PZT 铁电薄膜采用 ULVAC 公司生产的 MPS25002FCI 铁电薄膜溅射系统溅射淀积. 溅射 PZT 的工艺条件: 功率为 160W, 压强为 0.55Pa, 衬底不加热, 气氛为 Ar 和 O<sub>2</sub> 混合气体 (60 : 0.5). PZT 薄膜厚度为 200nm, 再溅射 Pt(100nm) 作为上电极. 然后在 650°C, Ar 和 O<sub>2</sub> (10 : 3) 混合气氛下对 PZT 薄膜快速退火. 最后刻蚀出引线孔, 溅射 Al 为电极. PZT 铁电电容的面积和 MOS 电容的面积为 1 : 2.

采用 Philips X'Pert Pro MPD 型转靶 X 射线衍射仪 (XRD) 对薄膜进行结构分析. 电容特性和电流特性测试分别采用 Agilent 4284A LCR 测试仪和 Agilent 4155B 半导体参数分析仪.

### 3 结果与讨论

#### 3.1 PZT 薄膜结构

图 2 为 Si 基 PZT 薄膜在 650°C 退火处理后的 XRD 图谱. 选择 650°C 退火是由于在实验中发现, 650°C 退火的 PZT 铁电性能最好. 从图 2 可以看出, PZT 薄膜为完全钙钛矿结构, 由于快速升温退火有效地抑制了铅的挥发, 同时也抑制了焦绿石等相的产生, 所以没有焦绿石相或其他第二相存在. 其 (111) 衍射峰明显强于其他 (100), (110), (200), (211) 和 (220) 衍射峰, 主要由于 PZT 的 (111) 晶面与 Pt 的 (111) 晶面相匹配, 容易沿底电极 Pt 的 (111) 取向生长. Pt(111), Si(200) 和 Si(400) 峰分别来自 Pt 电极和 Si 衬底. 获得全钙钛矿结构的 PZT

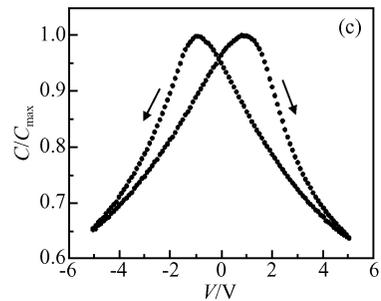
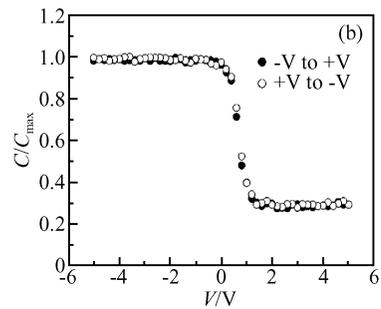
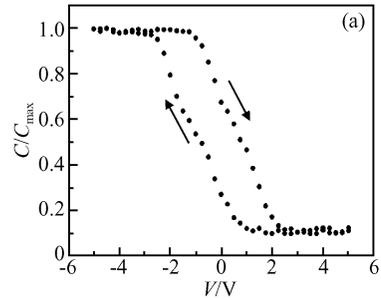


图 3 高频电容-电压特性 (a) MFMIS 电容; (b) MOS 电容; (c) PZT 电容

Fig.3 High frequency capacitance-voltage characteristics (a) MFMIS capacitor; (b) MOS capacitor; (c) PZT capacitor

薄膜是获得良好电学性能器件的基础.

#### 3.2 C-V 特性

图 3(a) 为一典型 MFMIS 结构的铁电场效应晶体管 C-V 曲线. 一端接在栅端, 另一端接在衬底背面. 测试时交流小信号幅度为 50mV, 频率为 1MHz, 直流偏压从 -5V 递增至 +5V, 然后从 +5V 递减至 -5V. 图 3(a) 显示 FFET 的 C-V 曲线呈顺时针的回滞, 其平带窗口宽度约为 2V. 根据铁电存储理论<sup>[3]</sup>, n 沟道 FFET 的 C-V 曲线回滞方向为顺时针. 铁电薄膜的极化控制了 Si 的表面势, 信息存储将可以通过铁电薄膜极化引起半导体表面电荷补偿来实现, 而且其平带窗口大小可以反映铁电薄膜剩余极化的强弱, 称为存储窗口. 图 3(b) 为没有铁

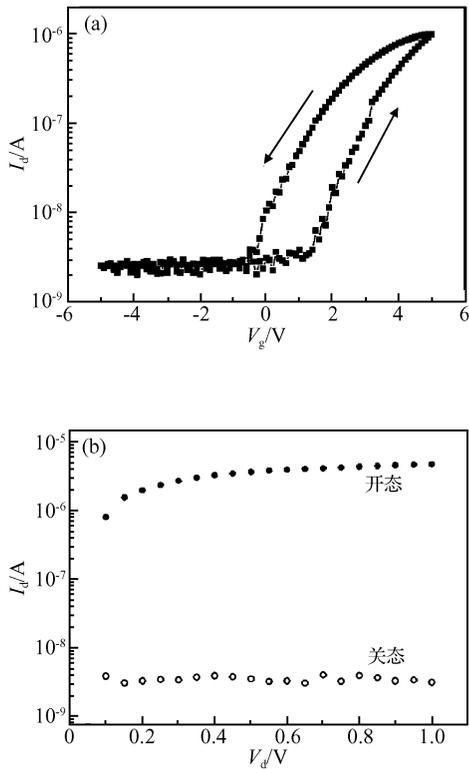


图 4 铁电场效应晶体管的  $I$ - $V$  特性 (a)  $I_d$ - $V_g$  特性; (b) 不同写入电压下的  $I_d$ - $V_d$  特性

Fig. 4  $I$ - $V$  characteristics of the ferroelectric field effect transistor (a)  $I_d$ - $V_g$  characteristics; (b)  $I_d$ - $V_d$  characteristics at different writing voltages

电电容的普通场效应晶体管的 MOS 电容的  $C$ - $V$  特性, 测试条件同图 3(a). 在图 3(b) 中没有回滞现象出现. PZT 铁电电容  $C$ - $V$  曲线见图 3(c). 测试条件同图 3(a). 从图 3(c) 中可以看出 PZT 铁电电容表现为一种典型的蝴蝶状铁电特征曲线. 这些结果表明 MFMIS 结构 PZT 铁电场效应晶体管的顺时针  $C$ - $V$  滞回曲线是由于 PZT 铁电薄膜的极化反转引起的.

### 3.3 $I$ - $V$ 特性

铁电场效应晶体管的转移特性可以反映栅介质薄膜的极化特征. 对  $n$  沟道 FFET 的转移 ( $I_d$ - $V_g$ ) 特性进行了测试. 测试时保持漏-源电压  $V_d = 0.1$  V 不变, 而栅压从  $-5$  V 开始, 逐步增加到  $+5$  V, 然后从  $+5$  V 依次减小到  $-5$  V, 整个过程中栅压变化的步长均为  $0.1$  V. 图 4(a) 为测试结果. 从该图可以看到逆时针滞回  $I$ - $V$  曲线, 栅压上升和下降过程所对应的  $I_d$ - $V_g$  曲线并不重合, 说明不同的栅压变化过程对应的沟道电流不同. 这是普通 MOS 场效应晶体管所没有的现象, 它显然是由于栅极铁电薄膜的极化开关效应所引起的. 进一步可以看到, 当栅压从

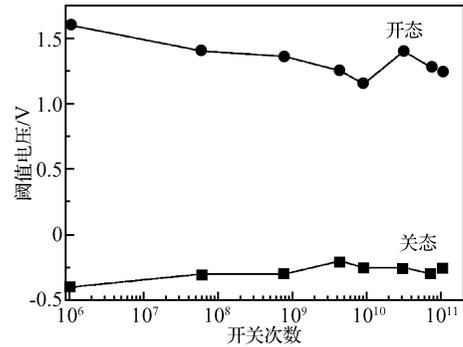


图 5 外加电压  $\pm 5$  V, 1 MHz 频率, 不同的开关次数后, 铁电场效应晶体管阈值电压变化曲线

Fig. 5 Threshold voltage changes of the ferroelectric field effect transistor after  $\pm 5$  V voltage, 1 MHz frequency with different switching cycles

$-5$  V 增加到  $+5$  V 过程中, FFET 从关态到开态, 只有当栅压大于  $1.6$  V 时沟道才导通. 反过来, 当栅压从  $+5$  V 降到  $-5$  V 过程中, FFET 从开态到关态, 只有当栅压低于  $-0.4$  V 沟道才关断. 这说明 FFET 的阈值电压发生了转移, 而且它是由栅压的变化方向决定的, 即受栅极铁电薄膜的极化所调制. 它应该是和  $C$ - $V$  测试结果一致的. 从  $I$ - $V$  测试得到 FFET 的存储窗口为  $2$  V, 与  $C$ - $V$  测试(见图 3(a)) 的存储窗口大小相吻合.

图 4(b) 为不同的写入电压下的  $I_d$ - $V_d$  特性. 在栅极加一个  $+5$  V 或  $-5$  V 的电压. 测试在不同偏压下的  $I_d$ . 图 4(b) 表明写入状态不同, 其输出电流差别很大, 相差三个数量级, 表明器件的存储性能很好. 而且在不同的  $V_d$  下  $I_d$  变化较小, 说明界面性能良好, 注入效应小. 同时说明这种存储性能是由于 PZT 薄膜的极化开关特性主导的.

图 4(a) 和 (b) 中关态电流较大, 它是漏结的漏电流, 从漏端流向衬底, 并不流过栅端, 所以它不会影响器件的存储性能.

### 3.4 疲劳特性

铁电存储器在实际应用中要经历大量的读/写循环, 因此必须要有良好的疲劳特性. 图 5 为在外加电压  $\pm 5$  V, 1 MHz 方波情况下, 铁电场效应晶体管开态和关态阈值电压的变化曲线. 经过  $10^{11}$  次循环后, 存储窗口从  $2$  V 变为  $1.6$  V. 虽然有所下降, 但是  $1.6$  V 的存储窗口对于实际应用已经足够了. 同时也说明这种结构的 PZT 薄膜具有较好的抗疲劳性.

器件的疲劳特性是由于 PZT 薄膜的疲劳所引起的. 目前铁电薄膜的疲劳机制主要有:  $90^\circ$  电畴应力松弛和电畴钉扎、电荷缺陷形成缺陷电偶极子、极化过程中大的应力改变导致微裂纹的产生、电极与铁电界面空间电荷积累和导电枝生长<sup>[15]</sup>. 我们认为

Ti/poly-Si/SiO<sub>2</sub> 层可以起到阻挡 PZT 中氧空位向 Si 衬底的扩散,这对改善疲劳特性会起到积极作用.其次,SiO<sub>2</sub> 与(100)Si 衬底晶格匹配良好,铁电薄膜与衬底间的应力大为减少.

## 4 结论

采用射频磁控溅射方法制备并在 Ar 和 O<sub>2</sub> 下快速退火获得了(111)向择优的全钙钛矿 PZT 铁电薄膜,并结合半导体工艺成功地制备了 MFIMS 结构 n 沟道 PZT 铁电场效应晶体管,顺时针 C-V 滞回曲线和逆时针 I-V 滞回曲线表明 MFIMS 结构 n 沟道 PZT 铁电场效应晶体管可以实现极化存储.扫描电压 V<sub>g</sub> 在 -5~+5V 之间获得了 2V 的存储窗口.经过 10<sup>11</sup> 循环后,FFET 的存储窗口从 2V 变为 1.6V,仍然满足实际应用. MFIMS 结构的 n 沟道 PZT 铁电场效应晶体管适合在未来大规模、高密度、高速度铁电存储器上使用.

## 参考文献

- [1] Scott J F. Ferroelectric memories today. *Ferroelectrics*, 2000, 241:247
- [2] Scott J F, Paz De Araujo C A. Ferroelectric memories. *Science*, 1989, 246:1400
- [3] Miller S L, Mewhorter P J. Physics of the ferroelectric non-volatile memory field effect transistor. *J Appl Phys*, 1992, 72:5999
- [4] Ishiwara H. Applications of bismuth-layered perovskite thin films to FET-type ferroelectric memories. *Integrated Ferroelectrics*, 2006, 79:3
- [5] Li T K, Hsu S T, Bruce D, et al. Semiconductive metal oxide ferroelectric memory transistor: a long-retention nonvolatile memory transistor. *Appl Phys Lett*, 2005, 86:123513
- [6] Juan T P, Chang C Y, Lee J Y. A new metal-ferroelectric (PbZr<sub>0.53</sub>Ti<sub>0.47</sub>O<sub>3</sub>)-insulator (Dy<sub>2</sub>O<sub>3</sub>)-semiconductor (MFIS) FET for nonvolatile memory applications. *IEEE Electron Device Lett*, 2006, 27:217
- [7] Shichi Y, Tanimoto S, Goto T, et al. Interaction of PbTiO<sub>3</sub> films with Si substrate. *Jpn J Appl Phys*, 1994, 33:5172
- [8] Tokumitsu E, Itani K, Moon B K, et al. Crystalline quality and electrical properties of PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub> thin films prepared on SrTiO<sub>3</sub> covered Si substrates. *Jpn J Appl Phys*, 1995, 34:5202
- [9] Hirai T, Teramoto K, Nishi T, et al. Formation of metal/ferroelectric/insulator/semiconductor structure with a CeO<sub>2</sub> buffer layer. *Jpn J Appl Phys*, 1994, 33:5219
- [10] Yan Lei, Tang Tingao, Huang Weining, et al. C-V characteristic of MFIS structure. *Chinese Journal of Semiconductors*, 2000, 21(12):1203 (in Chinese) [颜雷, 汤庭鳌, 黄维宁, 等. MFIS 结构的 C-V 特性. *半导体学报*, 2000, 21(12):1203]
- [11] Tokumitsu E, Fujii G, Ishiwara H. Nonvolatile ferroelectric-gate field-effect transistors using SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Pt/SrTa<sub>2</sub>O<sub>6</sub>/SiON/Si structures. *Appl Phys Lett*, 1999, 75:575
- [12] Fujimori Y, Nakamura T, Kamisawa A. Properties of ferroelectric memory FET using Sr<sub>2</sub>(Ta, Nb)<sub>2</sub>O<sub>7</sub> thin film. *Jpn J Appl Phys*, 1999, 38:2285
- [13] Suzuki H, Kaneko H, Murakami K, et al. Low-temperature processing of highly oriented Pb(Zr<sub>x</sub>Ti<sub>1-x</sub>)O<sub>3</sub> thin film with multi-seeding layers. *Jpn J Appl Phys*, 1997, 36:5803
- [14] Haertling G H. Ferroelectric thin films for electronic applications. *J Vac Sci Technol A*, 1991, 9(3):414
- [15] Duiker H M, Beale P D, Scott J F, et al. Fatigue and switching in ferroelectric memories: theory and experiment. *J Appl Phys*, 1990, 68:5783

# Electrical Properties of a PZT Ferroelectric Field Effect Transistor\*

Cai Daolin<sup>†</sup>, Li Ping, Zhai Yahong, and Zhang Shuren

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China)

**Abstract:** An n-channel field-effect-transistor (FFET) with a metal/ferroelectric/metal/insulator/Si substrates (MFIMS) structure is fabricated by using a Pb(Zr<sub>0.52</sub>Ti<sub>0.48</sub>)O<sub>3</sub> (PZT) thin film of the preferential orientation of (111) on Si substrates prepared by the RF magnetron sputtering technique integrated with semiconductor technology. The C-V characteristics, I-V characteristics, and data writing speed of the FFET are investigated. The clockwise C-V and counterclockwise I<sub>d</sub>-V<sub>g</sub> hysteresis loops of the n-channel FFET demonstrate that the FFET could realize a memory effect due to the ferroelectric polarization of PZT thin film. The memory window of the FFET is 2V, observed from the C-V and I<sub>d</sub>-V<sub>g</sub> hysteresis curves with V<sub>g</sub> swinging between -5 and +5V.

**Key words:** RF magnetron sputtering; MFIMS; FFETs; memory window

EEACC: 2610F

Article ID: 0253-4177(2007)11-1782-04

\* Project Supported by the State Key Development Program for Basic Research of China (No. 51310z)

<sup>†</sup> Corresponding author. Email: caidlin@hotmail.com

Received 12 May 2007, revised manuscript received 18 June 2007