

一个应用于 PHS 系统的低噪声低功耗 全数控 LC 振荡器^{*}

王少华 于光明 刘勇攀 杨华中[†]

(清华大学电子工程系, 北京 100084)

摘要: 针对 PHS 通信系统, 综合采用了反型数控 MOS 变容管、数控 MOS 变容管单元矩阵、动态元素匹配、流水线 MASH $\Sigma\Delta$ 调制器等多项旨在提高新型全数控 LC 振荡器(DCO)性能的电路技术, 在 SMIC 0.18 μm CMOS 工艺下设计了一种低噪声低功耗的 DCO. 经测试得到, 该 DCO 的中心振荡频率为 3.1GHz, 频率调节范围为 120MHz, 电源电压为 1.8V, 电流为 2.8mA. 当振荡在 3.1GHz 时, 该 DCO 输出信号在 100kHz 与 1.2MHz 频偏处的相位噪声分别为 -102.3 和 -122.6dBc/Hz. 测试结果表明, 该 DCO 与国际上 DCO 设计的最新水平相比, 在相位噪声与功耗等方面具有较高的优势.

关键词: CMOS 集成电路; 全数控 LC 振荡器; 相位噪声; 数控 MOS 变容管; 数字 $\Sigma\Delta$ 调制器
EEACC: 1205

中图分类号: TN4 文献标识码: A 文章编号: 0253-4177(2007)11-1836-08

1 引言

个人多媒体通讯市场的蓬勃发展, 要求通讯系统不断向着低成本和低功耗的方向进步. 个人手持电话系统 (personal handy-phone system, PHS)^[1] 俗称小灵通, 具有组网费用少、辐射小、待机时间长、建设周期短、安装简单、频谱利用率高等优点, 因而近年来在中国及亚洲其他地区获得了迅速的发展. 已有的 PHS 商用收发机大都集成度不高, 其中有很多采用较昂贵的 GaAs 或 GeSi 工艺实现^[2], 成本较高, 在一定程度上限制了 PHS 市场的发展. 因此, 近年来制造低成本高集成度的 CMOS PHS 收发机成为研究的热点^[3].

压控振荡器 (voltage controlled oscillator, VCO) 作为收发机常用的锁相环频率综合器中的重要组成模块, 其相位噪声、调频范围、功耗等性能往往成为影响频率综合器乃至无线收发机性能的关键因素. 随着制造工艺进入深亚微米阶段和片上集成系统 (system on a chip, SoC) 的普及, 电压裕度 (voltage headroom) 的不断降低以及集成环境下来自数字电路的强耦合噪声都将严重影响 VCO 的性能. 因而, 采用传统的电路设计方法和结构实现符合系统要求的 CMOS VCO 正变得越来越困难.

最近几年才开始出现的全数控 LC 振荡器

(fully digitally controlled IC oscillator, DCO)^[4~9], 可以根据输入的数字控制信号直接输出相应频率的振荡信号. 这种 DCO 由于采用了新的数字射频 (digital RF) 的设计思想^[10], 能够充分利用深亚微米工艺下数字 CMOS 电路所具有的强大优势, 因而与传统电路结构的 VCO 相比, 该 DCO 对于电压裕度的降低以及耦合噪声不敏感, 能够在低功耗下得到更好的相位噪声性能. 此外, 由于该 DCO 的输出频率可以用数字信号直接控制, 因而它可以与其他数字模块一起构成更适合深亚微米工艺和片上系统集成的全数字锁相环 (all digital phase locked loop, ADPLL)^[11], 从而取代使用电荷泵、RC 滤波器等模拟电路的传统射频锁相环.

为了克服深亚微米工艺和 SoC 环境下传统 VCO 设计所遇到的困难, 本文采用 SMIC 0.18 μm CMOS 工艺, 综合应用反型数控 MOS 变容管、数控 MOS 变容管单元矩阵^[7]、动态元素匹配^[12]、流水线 MASH $\Sigma\Delta$ 调制器^[13] 等多项电路技术, 针对 PHS 系统设计了一种低噪声低功耗的新型 DCO. 测试表明, 该 DCO 与国际上 DCO 设计的最新水平相比, 在相位噪声与功耗等方面具有较突出的优势.

2 DCO 的原理和系统结构

无线收发机中常用的 LC 压控振荡器的输出信

^{*} 国家高技术研究发展计划 (批准号: 2006AA01Z224) 和国家自然科学基金重大科学计划 (批准号: 90207001, 90307016) 资助项目

[†] 通信作者, Email: yanghz@tsinghua.edu.cn

2007-05-14 收到, 2007-06-22 定稿

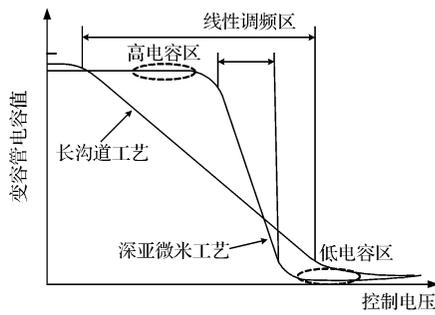


图 1 长沟道工艺和深亚微米工艺下 MOS 变容管的电容-电压曲线对比示意图

Fig.1 Idealized capacitance versus voltage curves of a MOS varactor for both a traditional and a deep-submicrometer CMOS process

号频率 f_0 由(1)式所决定：

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (1)$$

其中 L 和 C 分别为振荡器 LC 谐振回路中的总电感和总电容. VCO 根据输入控制电压的不同值来相应地改变 LC 回路中压控变容管的输出电容值, 进而改变 f_0 . 相比于反偏 PN 结变容管, 由于 MOS 变容管的调节范围更大、品质因数更高, 因此, 目前 VCO 中大多使用 MOS 变容管作为压控变容器件. 图 1^[4]对比了在长沟道工艺下, 以及目前的深亚微米工艺下, MOS 变容管的电容-电压曲线. 由图 1 可见, 随着 CMOS 工艺进入深亚微米阶段, MOS 变容管的线性调频区开始变得非常狭窄, 从而将控制电压限制在一个很小的范围内, 加大了 VCO 频率调节的难度. 同时, VCO 的调频增益 ($K_{VCO} = \Delta f_0 / \Delta V$) 变大, 进而使 VCO 对于耦合到电压控制线上的各种噪声更加敏感, 使得设计低相位噪声的 VCO 开始变得非常困难. 为了解决以上问题, 与传统 LC 压控振荡器中 MOS 变容管工作在线性调频区不同, 在 DCO 中变容管工作在电容-电压曲线上非常平坦的两个区域^[4~8], 即图 1 中椭圆曲线所标注的高、低电容区. 在这两个区域内, 由于变容管的电容值随控制电压的变化不明显, 因而 DCO 对于叠加在控制电压上的各种电路噪声不敏感, 因此其相位噪声很低.

DCO 实现数字频率调节的原理如图 2^[4] 所示. 图 2 中的“负阻”电路负责补充维持 LC 回路振荡所需的能量. LC 回路中的总电容被分为了 N 份独立的数控 MOS 变容管 C_0, C_1, \dots, C_{N-1} , 它们组成了图 2 中的数控变容管阵列. 这些变容管可以根据各自相对应的数字频率控制字 (frequency control word, FCW) d_0, d_1, \dots, d_{N-1} 的值分别工作在图 1 所示的高、低电容区, 两个电容区之间的电容差值

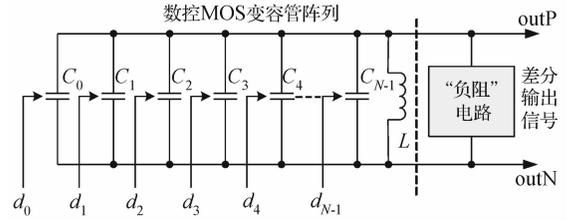


图 2 基于 LC 谐振回路的全数控振荡器

Fig.2 LC-tank-based fully digitally controlled oscillator

$\Delta C_k (k = 0, 1, \dots, N - 1)$ 就是第 k 个变容管 C_k 的有效变容值. 当 FCW 按照二进制排列时, 其中的最高位信号 d_{N-1} 控制 ΔC_k 最大的变容管 C_{N-1} , 依此类推, 最低位信号 d_0 控制 ΔC_k 最小的变容管 C_0 . 此外, 与分数 N 锁相环中所使用的分数分频器的原理类似, 在 DCO 中, 通过使用 $\Sigma\Delta$ 调制技术使一组最小尺寸的变容管在高、低电容区之间多次高速切换, 得到其在一个调频周期内的电容平均值, 进而得到很高的频率调节精度, 同时可以降低 DCO 中的杂散, 并且将输出信号中的量化噪声搬移到较高频偏处^[4,5,12,14].

本文所设计的 DCO 的系统结构如图 3 所示, 它主要由模拟电路、数控变容管阵列、数字电路以及辅助电路等四部分组成. 模拟电路主要包括“负阻”电路、直流偏置电路和片上电感等. 数控变容管阵列根据输入 FCW 的值, 为 LC 谐振回路提供相应的电容值. 数字电路主要由低速的 FCW 接口和高速的数字 $\Sigma\Delta$ 调制器 (sigma-delta modulator, SDM) 组成. 辅助电路主要包括一组二分频器和缓冲器 (buffer), 其功能是将 DCO 振荡信号分频后输出 PHS 收发机所使用的 I, Q 两路正交信号, 并且将正交信号继续分频后得到数字时钟, 作为 DCO 中数字 SDM 工作所需的时钟信号. DCO 设计中的重点和难点主要存在于模拟电路、数控变容管阵列以及数字 SDM 的设计中, 因此, 后面几节将重点围绕以上几个部分的设计问题进行讨论.

3 DCO 模拟电路的设计

DCO 模拟电路的结构如图 4 所示, 该结构与互补交叉耦合对管结构的 VCO 相似, 不同之处在于在 DCO 中使用了可以直接用数字信号控制的数控 MOS 变容管阵列. 晶体管 NM1-NM2, PM1-PM2 组成互补交叉耦合结构, 用来提供 LC 回路振荡所需的“负阻”. 这种结构相比于只使用一组 nMOS 或者 pMOS 对管的结构, 可以用同样大小的电流生成约 2 倍的跨导, 因而节省了功耗. 差分电感 $L1$, 差分固定电容对 $C1$ 和 $C2$, 以及数控变容管阵列共同组成

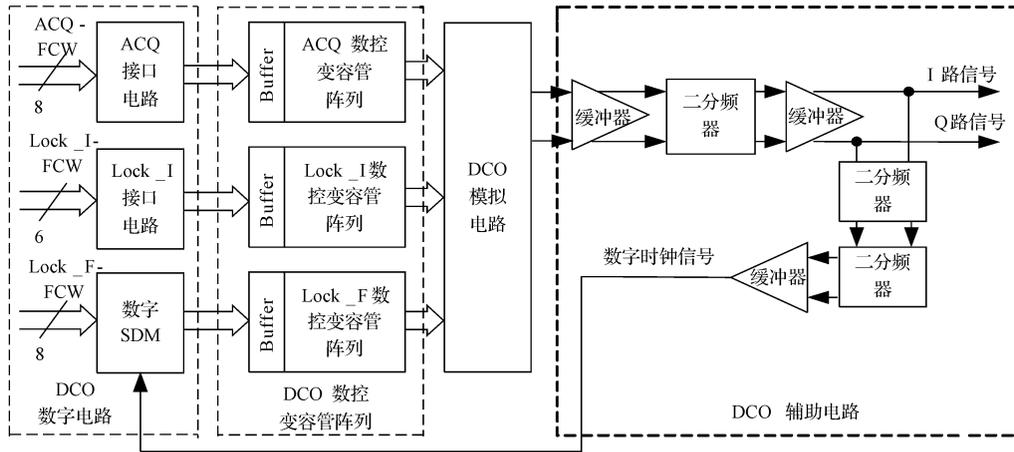


图 3 DCO 的系统结构框图

Fig.3 System overview of the DCO

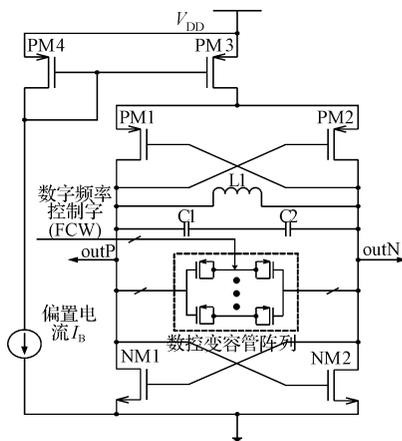


图 4 DCO 模拟电路的结构

Fig.4 Schematic of the analog part of the DCO

LC 回路. PHS 系统的工作频率在 1.9GHz 附近, 为了避免单片集成环境下射频功率放大器对 DCO 的频率牵引 (frequency pulling), 将回路的谐振频率设定在 3.8GHz. 通过在电感 L1 两端并联一对由 MIM 电容 C1 和 C2 所组成的差分固定电容对, 可

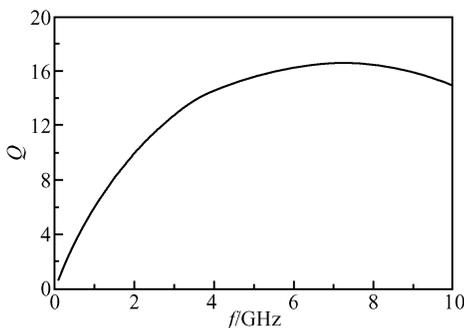


图 5 电感 L1 的 Q 值的仿真曲线

Fig.5 Simulated differential Q of the inductor L1

以有效改善 DCO 的相位噪声性能. LC 回路中的电感 L1 对于 DCO 性能的影响很大, L1 的 Q 值 (品质因数) 越高, DCO 的相位噪声就越小. 为了得到较高的 Q 值, 在设计 L1 时选择了八角形单圈差分对称结构, 并且使用 ADS 软件通过仔细的电磁场仿真得到了优化的电感设计参数 (见表 1). L1 利用 SMIC 0.18 μ m CMOS 工艺中的第 6 层金属构成, 其工作在 3.8GHz 时的 Q 值为 14.2, 其 Q 值的仿真曲线如图 5 所示.

4 DCO 数控变容管阵列的设计

4.1 反型数控 MOS 变容管在 DCO 中的应用

目前 DCO 大多使用源极、漏极和衬底短接的普通 pMOS 变容管作为数控变容单元^[4,6]. 如图 6 (a) 所示, 当其工作在耗尽型低电容区时的栅电容-栅电压曲线不够平坦, 加大了 DCO 对于噪声的敏感度, 从而增大了相位噪声. 为了改善变容管工作在低电容区时的性能, 本文将 pMOS 管的衬底接在电源电压上, 从而得到反型数控 pMOS 变容管. 此时, pMOS 管的栅电压在大部分时间内都将低于衬底电压, 电子将无法被吸引到栅氧化层下形成累积区. 因此, 如图 6(b) 所示, 该变容管在很大的栅压变化范围内都不会进入累积区, 从而使其工作在耗尽区时的栅电容-栅电压曲线变得非常平坦, 相位噪声性能也因而得到改善.

表 1 电感 L1 的设计参数

Table 1 Parameters of the inductor L1

内半径	圈数	线宽	电感值 @3.8GHz	Q 值 @3.8GHz	自谐振 频率
250 μ m	1	35 μ m	1.15nH	14.2	30GHz

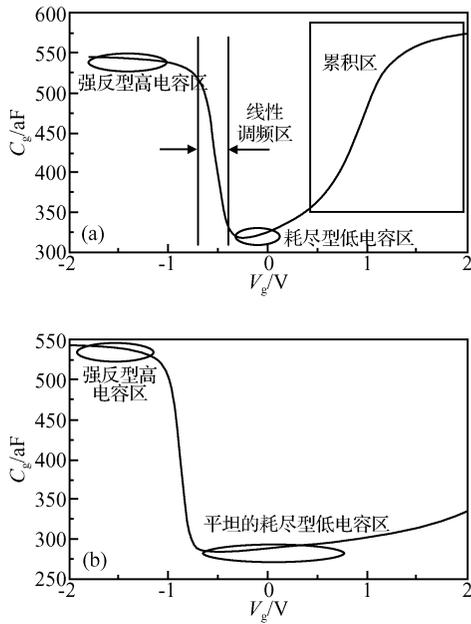


图 6 0.18 μm CMOS 工艺下普通 pMOS 变容管(a)和反型 pMOS 变容管(b)的栅电容-栅电压特性仿真曲线 $L = 0.18\mu\text{m}$, $W = 0.22\mu\text{m}$, $V_{\text{TP}} = -0.52\text{V}$, $V_{\text{dd}} = 1.8\text{V}$
 Fig.6 Simulated gate capacitance versus gate voltage curves of both the traditional pMOS varactor (a) and inversion-mode pMOS varactor (b) in 0.18 μm CMOS process $L = 0.18\mu\text{m}$, $W = 0.22\mu\text{m}$, $V_{\text{TP}} = -0.52\text{V}$, $V_{\text{dd}} = 1.8\text{V}$

4.2 两种模式逐级递进的工作方式

在设计 DCO 中的数控变容管阵列时,需要根据 PHS 系统的频率特点进行合理规划,并配合相应的数字电路,共同完成 DCO 的调频功能. PHS 的工作频段在 1880 ~ 1930MHz 之间,频道间隔为 300kHz. 因此,DCO 应至少覆盖 100MHz 的调频范围. 同时,PHS 收发机要求 DCO 的调频精度应小于 12kHz. 在 DCO 的设计中采用了两种模式递进^[12]的工作方式来逐级得到数字频率控制字 FCW 所指定的振荡频率. 相应地,DCO 中的数控变容管阵列也被分成了与两种工作模式相对应的几个部分. 如图 3 所示,它由 ACQ 数控变容管阵列、Lock_I 数控变容管阵列和 Lock_F 数控变容管阵列三部分组成. DCO 在启动后首先工作在 ACQ(Acquire; 捕捉)模式下,通过输入数字频率控制字 ACQ-FCW,改变 ACQ 阵列的电容值,使 DCO 工作在收发机所要求的当前频道上. ACQ 模式的调频范围设计为 160MHz,调频精度为 600kHz 左右,ACQ-FCW 的字长为 8bit. 然后,系统将 ACQ-FCW 的当前值锁定,DCO 开始工作在 Lock(锁定)模式下. 通过同时输入 Lock 模式下的数字频率控制字的整数部分 Lock_I-FCW 和分数部分 Lock_F-FCW,同时改变

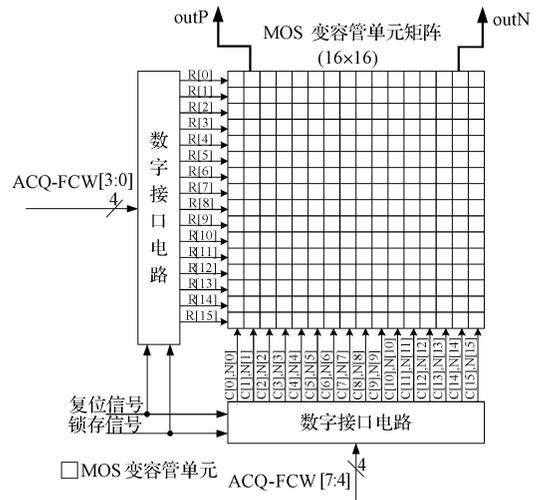


图 7 ACQ 数控变容管阵列及其接口电路的结构
 Fig.7 Overview of ACQ varactor array and its interfaces

Lock_I 变容管阵列和 Lock_F 变容管阵列的电容值,使 DCO 精确地工作在所要求的频率点上. Lock 模式的调频范围设计为 8MHz,调频精度为约 500Hz,Lock_I-FCW 和 Lock_F-FCW 的字长分别为 6 和 8bit.

4.3 ACQ 阵列设计与 MOS 变容管单元矩阵

ACQ 数控变容管阵列及其数字接口电路的结构如图 7 所示. 为了得到较好的调频线性度,需要使每个变容管具有相同的权值. 由于 ACQ-FCW 的字长为 8bit,因此就需要 256 个数控变容管以及 256 条数字控制线,从而给 DCO 芯片版图的布局布线带来很大困难. 为了简化设计难度,本文采用了图 7 所示的 MOS 变容管单元矩阵. 该矩阵由 256 个数控 MOS 变容管单元组成,这些单元排列成一个 16 × 16 的方阵. 数字接口电路的功能是根据输入的 ACQ-FCW[7 : 0]以及复位信号和锁存信号,产生单元矩阵的控制信号 $C[15 : 0]$, $N[15 : 0]$ 和 $R[15 : 0]$.

MOS 变容管单元的电路结构如图 8 所示,它由反型差分 pMOS 变容管及其解码电路组成. 解码电路的逻辑表达式为:

$$\text{CtrlA} = \overline{C + NR} \quad (2)$$

其中 C 为输入该单元的列选信号; N 为行选使能信号; R 为行选信号; CtrlA 为差分变容管的数字变容控制信号. 接口电路根据 ACQ-FCW 的具体值,产生相应的控制信号 C , N 和 R . C , N 和 R 在解码电路的作用下,产生每个单元中各自的控制信号 CtrlA,使每个单元中的变容管独立地工作在高电容区或低电容区. 通过采用图 7 中的 MOS 变容管单

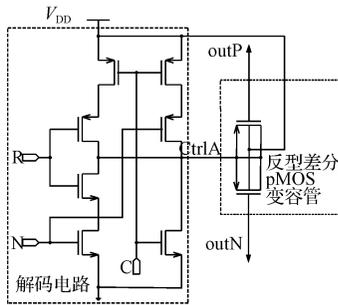


图 8 MOS 变容管单元的电路结构

Fig.8 Schematic of the MOS varactor cell

元矩阵,就将一个含有 256 条数字控制线的变容管阵列,化简为仅含有 32 条数字控制线(其中 C 与 N 共用 16 条, R 为 16 条)的 16×16 的方阵,从而在保证调频线性度的同时简化了设计难度.

4.4 Lock_I 阵列设计与动态元素匹配技术

Lock_I 数控变容管阵列由 64 对最小工艺尺寸的反型差分 pMOS 变容管组成,其最小调频精度为 130kHz. 当 DCO 工作时,理论上,其输出振荡频率应随着数字频率控制字均匀地变化. 但是,由于在芯片制造过程中各种非理想因素的影响,每个变容管的电容值均会在标称值附近有一定程度的波动,这种波动会引起 DCO 在频率切换时的非线性. 当 DCO 工作在 Lock 模式下时,系统对调频线性度的要求最高. 为了提高调频线性度,在 Lock_I 变容管阵列的设计中,采用了动态元素匹配技术(dynamic element matching, DEM)^[12]. 其实现过程如图 9^[12]所示,假定 Lock_I-FCW[5:0]的取值为 001_010,此时 Lock_I 变容管阵列中有 10 个变容管工作在高电容区,其余 54 个变容管工作在低电容区. 通过在接口电路中引入 DEM 技术,使 DCO 以一定的频率周期性地轮换选择工作在高电容区的 10 个变容管. 这样在一定时间内,Lock_I 变容管阵列的总电容值就等于在每个周期内电容的平均值,与单个变容管在电容值上的偏差无关,从而消除了频率切换时由于电容值偏差所导致的非线性.

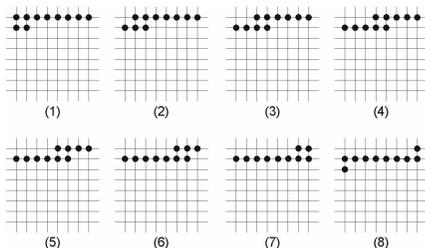


图 9 动态元素匹配的实现过程

Fig.9 Dynamic element matching

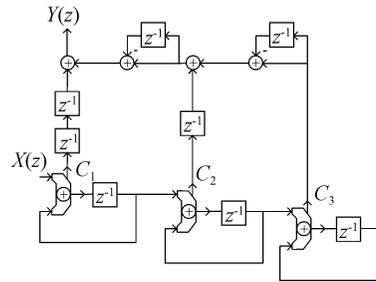


图 10 流水线 MASH 1-1-1 SDM 的结构

Fig.10 Pipelined MASH 1-1-1 SDM

4.5 Lock_F 阵列设计与流水线 MASH SDM

Lock_F 数控变容管阵列由 7 对最小工艺尺寸的反型差分 pMOS 变容管组成,它采用了 $\Sigma\Delta$ 调制原理来提高调频精度. Lock_F-FCW[7:0]通过一个数字 SDM,产生一连串 $\Sigma\Delta$ 调制信号 $F[6:0]$. DCO 将 $F[6:0]$ 输入 Lock_F 变容管阵列中,使每个变容管分别在高、低两个电容区之间高速切换,进而使 DCO 输出信号也随之在几个频率间高速跳转,从而可以得到 Lock_F-FCW 所指定的时间平均的高精度输出振荡频率. 通过采用 $\Sigma\Delta$ 调制技术,利用过采样和噪声整形的原理,就可以将 DCO 的相位噪声和杂散控制在一个很低的水平. 在设计数字 $\Sigma\Delta$ 调制器时,采用了低杂散的流水线 MASH 1-1-1 SDM,其工作频率为约 400MHz. 这种 SDM 的结构如图 10^[13]所示,其 z 域传输函数为:

$$F(z) = \text{Lock_F}(z) \cdot z^{-2} + \text{Eq}(z) \cdot (1 - z^{-1})^3 \tag{3}$$

其中 Eq(z)为 SDM 中所产生的量化噪声.

5 芯片测试结果与分析

该 DCO 采用 SMIC 0.18 μm CMOS 工艺实现,其测试芯片的显微照片如图 11 所示,芯片面积为

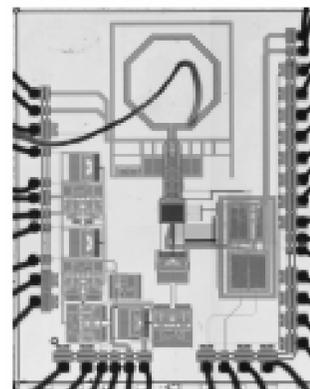


图 11 DCO 测试芯片的显微照片

Fig.11 Chip micrograph of the DCO

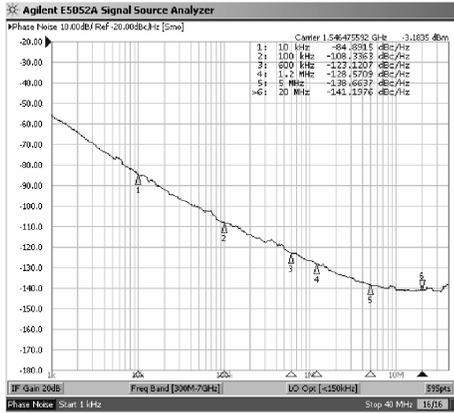


图 12 DCO 振荡在 3.1GHz 时的相位噪声

Fig. 12 Measured phase noise when oscillating at 3.1 GHz

2.2mm × 1.7mm. 该 DCO 工作在 1.8V 的电源电压下, DCO 模拟部分的电流为 2.8mA.

使用信号分析仪 E5052A, 对 DCO 的频谱和相位噪声进行了测试. 经测试得到芯片输出信号的中心频率为 1.55GHz. 芯片输出信号是将 DCO 的振荡信号经过一个二分频器后得到的, 因此可知 DCO 的中心振荡频率为 3.1GHz. 该频率距离设计值 3.8GHz 有 18% 的偏差, 这主要是由于在芯片版图中数控变容管阵列与差分电感之间的连线很长 (见图 11), 从而引入了很大的寄生电感, 使 LC 回路的等效电感变大, 降低了振荡频率. 此外, 存在于焊盘上和测试电路板上的寄生电容, 以及所设计的电感的仿真值与实际值之间的偏差, 也都是振荡频率变低的部分原因. DCO 振荡在 3.1GHz 时, 芯片输出信号的相位噪声如图 12 所示. 将测试所得的相位噪声增加 6dB 折算为 DCO 输出的相位噪声后, 可知该 DCO 在 100kHz 和 1.2MHz 频偏处的相位噪声分别为 -102.3 和 -122.6dBc/Hz. 经测试得到 ACQ 模式下 DCO 的调频范围为 120.8MHz, 调频步长为约 474kHz, 其调频特性曲线如图 13 所示.

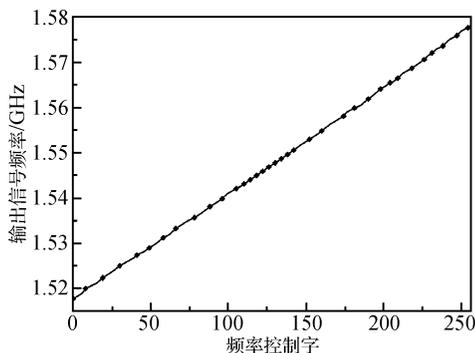


图 13 DCO 工作在 ACQ 模式时的调频特性曲线

Fig. 13 Frequency tuning curve of the DCO in ACQ mode

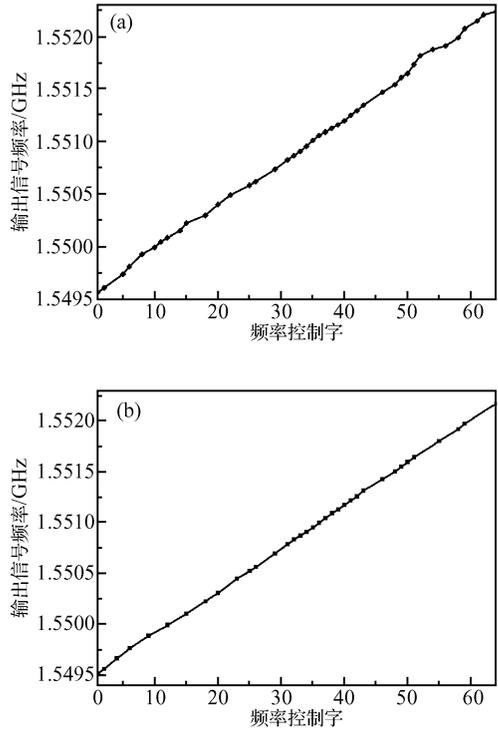


图 14 DCO 工作在 Lock 模式下且 DEM 关闭(a)和开启(b)时, 对应于 Lock_I-FCW 的调频特性曲线

Fig. 14 Frequency tuning curves of the DCO for Lock_I-FCW in Lock mode when DEM is off (a) and on (b)

测试得到 Lock 模式下对应于 Lock_I-FCW 的 DCO 调频范围为 5.3MHz, 调频精度为 80kHz. 当 DEM 关闭和开启时, 对应于 Lock_I-FCW 的调频特性曲线分别如图 14(a) 和 (b) 所示, 可见, 当 DEM 开启后, DCO 的调频线性度得到了明显改善. 由于测试时 DCO 处于开环状态, 其振荡频率会随时间以 1kHz 左右的幅度漂移, 因此当 $\Sigma\Delta$ 调制器工作时, 测试得到 Lock 模式下对应于 Lock_F-FCW 的 DCO 调频精度为 5kHz. 如果要想更准确地测量该 DCO 能否达到所设计的调频精度 (500Hz), 可以将其用 ADPLL 锁定并使用更高精度的频谱分析仪测量, 或者为 $\Sigma\Delta$ 调制器输入数字调频信号并使用 FM 解调仪 (FM demodulator) 观察 DCO 的输出信号^[14].

为了与其他文献中所发表的 DCO 的性能进行比较, 使用衡量振荡器性能的归一化价值因子 (figure of merit, FOM)^[15]:

$$FOM = 10 \lg \left[\left(\frac{f_0}{\Delta f} \right)^2 \times \frac{1}{P} \right] - L(\Delta f) \quad (4)$$

其中 f_0 为中心振荡频率; P 为振荡器的直流功耗; $L(\Delta f)$ 为频偏 Δf 处的相位噪声. 本文所设计的 DCO 与近年来所发表的最新水平 (state of the art) 的 DCO 的性能比较见表 2. 可见, 与国际上 DCO 设

表 2 该 DCO 与已发表文献中 DCO 的性能比较
Table 2 Comparison with published work

Reference	f_0 /GHz	相位噪声 /(dBc/Hz)	V_{DD} /V	I_{core} /mA	FOM
本文	3.1	-102.3@100kHz	1.8	2.8	215.1
Ref. [4]	2.4	-112@500kHz	1.5	2.3	190.2
Ref. [5]	0.915	-165@20MHz	1.4	18.0	214.2
Ref. [6]	2	-118@1MHz	2.5	2.3	206.4
Ref. [7]	10.5	-102@1MHz	1.1	3.0	207.2
Ref. [8]	1.99	-157.7@20MHz	2.5	16.0	211.6
Ref. [9]	1.87	-114@1MHz	0.5	0.2	219.4

设计的最新水平相比,本文所设计的 DCO 取得了较好的性能,其 FOM 值在表 2 中排在第二位.

6 结论

DCO 作为最近几年才开始出现的一种新型电路技术,相比于传统结构的 LC 压控振荡器和环型振荡器,具有更适合深亚微米工艺和单片系统集成的独特优势. 本文综合采用了多项旨在提高 DCO 性能的电路技术,在 SMIC 0.18 μ m CMOS 工艺下设计了一种应用于 PHS 收发机的 DCO. 测试结果表明,与国际上 DCO 设计的最新水平相比,该 DCO 在相位噪声与功耗等方面具有较明显的优势.

参考文献

- [1] PHS MoU Group. Personal handy-phone system guidebook. 3rd ed. Tokyo, 2004
- [2] Mostafa M A I, Quek C K, Moznine A E, et al. A 1.9GHz SiGe BiCMOS PHS transceiver with an integrated PA and a fast settling PLL. IEEE Radio Frequency Integrated Circuits Symposium, 2005: 277
- [3] Srenik M, William W S, Hirad S, et al. A 1.9GHz single-chip CMOS PHS cellphone. IEEE International Solid-State Circuits Conference, 2006, 484/485: 668
- [4] Staszewski R B, Hung C M, Leipold D, et al. A first multi-gigahertz digitally controlled oscillator for wireless applications. IEEE Trans Microw Theory Tech, 2003, 51(11): 2154
- [5] Staszewski R B, Hung C M, Barton N, et al. A digitally controlled oscillator in a 90nm digital CMOS process for mobile phones. IEEE J Solid-State Circuits, 2005, 40(11): 2203
- [6] Pittorino T, Chen Y, Neubauer V, et al. A UMTS-compliant fully digitally controlled oscillator with 100MHz fine-tuning range in 0.13 μ m CMOS. IEEE International Solid-State Circuits Conference, 2006: 210
- [7] Dalt N D, Kropf C, Burian M, et al. A 10b 10GHz digitally controlled LC oscillator in 65nm CMOS. IEEE International Solid-State Circuits Conference, 2006: 188
- [8] Pittorino T, Chen Y, Neubauer V, et al. A first dual-mode RF fully digitally controlled oscillator in 0.13 μ m CMOS. 36th European Microwave Conference, 2006: 79
- [9] Pletcher N M, Rabaey J M. A 100 μ W, 1.9GHz oscillator with fully digital frequency tuning. 31st European Solid-State Circuits Conference (ESSCIRC), Grenoble, France, 2005: 387
- [10] Muhammad K, Staszewski R B, Leipold D. Digital RF processing: toward low-cost reconfigurable radios. IEEE Commun Mag, 2005, 43(8): 105
- [11] Staszewski R B, Wallberg J L, Rezek S, et al. All-digital PLL and transmitter for mobile phones. IEEE J Solid-State Circuits, 2005, 40(12): 2469
- [12] Staszewski R B, Leipold D, Muhammad K, et al. Digitally controlled oscillator (DCO)-based architecture for RF frequency synthesis in a deep-submicrometer CMOS process. IEEE Trans Circuits Syst II, 2003, 50(11): 815
- [13] Kozak M, Kale I. Rigorous analysis of delta-sigma modulators for fractional-N PLL frequency synthesis. IEEE Trans Circuits Syst I, 2004, 51(6): 1148
- [14] Mayer T, Neubauer V, Vollenbruch U, et al. A 1GHz $\Sigma\Delta$ noise shaper for all digital PLLs with multiband UMTS modulation capability. IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2006
- [15] Nayak G, Mukund P R. Chip package co-design of a heterogeneously integrated 2.45GHz CMOS VCO using embedded passives in a silicon package. 17th International Conference on VLSI Design, 2004: 627

A Low Noise, Low Power Fully Digitally Controlled LC Oscillator for PHS Transceivers^{*}

Wang Shaohua, Yu Guangming, Liu Yongpan, and Yang Huazhong[†]

(*Nano Integrated Circuits and Systems, Department of Electronic Engineering, Tsinghua University,
Beijing 100084, China*)

Abstract: This paper presents a novel low noise, low power fully digitally controlled LC oscillator (DCO) for PHS transceivers in an SMIC 0.18 μ m CMOS process. To improve the performance of the DCO, several circuit techniques, such as inversion-mode digitally controlled MOS varactors, a digitally controlled MOS varactor matrix, dynamic element matching, and a lined MASH $\Sigma\Delta$ modulator, are used. The measured phase noise of this DCO at 100kHz offset frequency at 3.1GHz is below -102.3 and down to -122.6 dBc/Hz at 1.2MHz while drawing 2.8mA of current from a 1.8V supply. Compared with state of the art DCOs, the measurement results demonstrate that our DCO features superior phase noise and power consumption.

Key words: CMOS integrated circuits; fully digitally controlled LC oscillator; phase noise; digitally controlled MOS varactor; digital $\Sigma\Delta$ modulator

EEACC: 1205

Article ID: 0253-4177(2007)11-1836-08

^{*} Project supported by the National High Technology Research and Development Program of China (No. 2006AA01Z224) and the National Natural Science Foundation of China (Nos. 90207001, 90307016)

[†] Corresponding author. Email: yanghz@tsinghua.edu.cn

Received 14 May 2007, revised manuscript received 22 June 2007

©2007 Chinese Institute of Electronics