

低杂散锁相环中的电荷泵设计*

薛 红[†] 李智群 王志功 李 伟 章 丽

(东南大学射频与光电集成电路研究所, 南京 210096)

摘要: 用 TSMC 0.18 μm CMOS 工艺设计并实现了一种电荷泵电路. 传统的电荷泵电路中充放电电流有较大的电流失配, 电流失配导致相位偏差, 从而引起杂散并降低了锁相环的锁定范围. 文中采用与电源无关的基准电流源电路, 运用运算放大器和自偏置高摆幅共源共栅电流镜电路实现了充放电电流的高度匹配, 从而降低了杂散. 测试结果表明: 电源电压 1.8V 时, 电荷泵电流为 0.475mA, 在 0.3~1.6V 输出电压范围内电流失配小于 10mA, 功耗为 6.8mW.

关键词: 参考杂散; 电流失配; 电荷泵; 运算放大器; 自偏置电流镜

EEACC: 2570D

中图分类号: TN431

文献标识码: A

文章编号: 0253-4177(2007)12-1988-05

1 引言

当今无线通信系统, 特别是高速无线局域网系统的发展对锁相环(PLL)型频率合成器提出了低相位噪声、低杂散、低功耗的要求. CMOS 工艺的电荷泵锁相环具有快速鉴频、捕获频率范围广、零锁定相位误差、高速、低功耗的优点^[1], 是比较流行的锁相环实现方式. 电荷泵作为 PLL 的关键部分, 其作用是把鉴频鉴相器(PFD)输出的数字信号转化为稳定的模拟电压. 模拟电压用于控制 VCO 的输出, 其中的任何波动将使得 VCO 的输出产生不期望的结果. 其中参考杂散是锁相环中最为常见和最为严重的杂散. 而电荷泵充放电电流的失配是造成杂散的主要原因. 本文较为详细地分析了锁相环参考杂散产生的原因, 提出了减少电流失配进而减少杂散的方法, 并采用 TSMC 0.18 μm CMOS 工艺实现了一个充放电电流高度匹配的电荷泵电路.

2 电荷泵对锁相环参考杂散的影响

电荷泵锁相环由五个部分组成: 鉴频鉴相器(PFD)、电荷泵(CP)、环路滤波器(LPF)、压控振荡器(VCO)和分频器. 由于开关行为, 电荷泵型锁相环是一个非线性电路, 很难进行精确分析. 但在鉴频鉴相器两个输入信号频率接近时, 可以通过周期内平均法把系统近似成线性的, 用传统的线性时不变

分析法分析. 图 1 是电荷泵锁相环的线性等效小信号模型^[1,2].

当参考时钟与反馈时钟相位差为 $\Delta\theta$ 时, 电荷泵会产生一个脉宽等于 $\Delta\theta/2\pi$, 大小等于 I_{cp} 的电流脉冲, 该电流脉冲近似为矩形脉冲, 用傅里叶级数表示为^[3]:

$$i_d(t) = I_{cp}(\Delta\theta/2\pi)f_{ref} + 2I_{cp}(\Delta\theta/2\pi) \times \sum_{n=1}^{\infty} Sa((\Delta\theta/2\pi)nf_{ref})\cos(2\pi nf_{ref}t) \quad (1)$$

从 (1) 式可以看出电荷泵输出电流包括两部分: 一部分为大小正比于相位差的直流分量, 另一部分是由参考频率的各次谐波构成的交流分量. 当相位差为零时, 电荷泵输出的直流分量和交流分量均为零, 这正是理想电荷泵锁相环锁定后的状态. 然而实际的电荷泵锁相环中电荷泵存在电流失配、漏电流和时间失配等非理想因素导致锁相环锁定后存在一定的相差, 从而使得 PLL 输出信号中存在杂散. 由电流失配、漏电流和时间失配引起的相位差表示为^[4]:

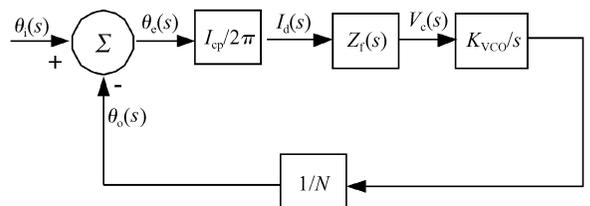


图 1 电荷泵锁相环传递函数
Fig.1 Transfer function of CPPLL

* 东南大学射频与光电集成电路研究所与安宇科技合作项目

[†] 通信作者. Email: lywang@seu.edu.cn

2007-06-03 收到, 2007-07-09 定稿

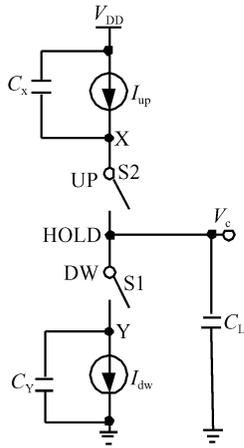


图 2 电荷泵模型

Fig. 2 Model of charge pump

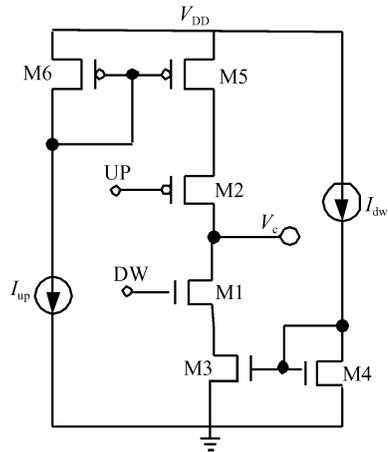


图 3 电荷泵电路

Fig. 3 Circuit schematic of charge pump

$$\begin{aligned} \Delta\theta_{tot} &= \Delta\theta_{leakage} + \Delta\theta_{mismatch} + \Delta\theta_{timing} \\ &= 2\pi \left(\frac{I_{leak}}{I_{cp}} + \frac{\Delta i}{I_{cp}} \times \frac{t_{on}}{T_{ref}} + \frac{\Delta t_{delay} t_{on}}{T_{ref}^2} \right) \end{aligned} \quad (2)$$

其中 I_{cp} 是电荷泵电流; I_{leak} 是漏电流; T_{ref} 是参考周期; t_{on} 是 PFD 导通时间; Δi 是失配电流; Δt_{delay} 是时间失配. 将 $I_d(s)$ 与 $Z_r(s)$ 相乘可以得到 VCO 控制电压 $V_c(s)$. 从(2)式看出, 提高参考电流, 增加电流匹配, 减小漏电流、时间失配和 PFD 导通时间, 可以减小相位差, 从而减小 PLL 输出信号杂散. 为了消除 PFD/CP 的死区需要一定的 PFD 导通时间; 版图设计应保证电荷泵控制信号线长度一致, 以减小时间失配; 使用全差分电路结构可以减少漏电流, 这是以增加功耗为代价的, 通常漏电流的数量级在 pA 级, 对造成杂散不是最重要. 电流失配是造成杂散主要原因, 因此这里重点考虑电流失配引起的相差. 本文给出了一种电流高度匹配的电路结构.

3 电荷泵电路设计

电荷泵电路的一般模型如图 2 所示, 电荷泵的三个工作状态示于表 1.

3.1 电荷泵的非理想性

在实际电路中, 图 2 中的开关通常用 MOS 管来实现, 对应的电荷泵电路如图 3 所示. 这时 MOS 管开关的寄生参数会对电路造成影响, 反应在电荷

表 1 CP 的三种状态

Table 1 Three states of charge pump

状态	S1	S2	V_c
UP	off	on	上升, 充电
HOLD	off	off	保持不变, 锁定
DW	on	off	下降, 放电

泵的特性上即出现电荷注入、时钟馈通和电荷共享等现象. 当 MOS 管开关从导通转变为截止时, 存储在沟道里的电荷以及栅极处通过 C_{GD} 耦合过来的电荷会在 MOS 管的漏端产生电荷注入和时钟馈通^[5], 开关的电荷注入和时钟馈通造成的电荷失配导致上下电流不匹配. 如果一个 MOS 管开关由饱和区进入截止区时, 则所有的沟道电荷将流入 MOS 管的 S 端, D 端不受影响^[6]. 又因为图 3 中的开关管直接与输出相接, 电荷共享极为明显, 造成过冲现象, 导致瞬态电流的失配, 无法实现充放电电流的精确匹配, 由于电荷共享主要由开关的位置确定, 通过选择合适的开关位置可以减少电荷共享^[4].

3.2 电荷泵电路结构设计

根据电荷泵非理想性分析, 本文给出了一种新的电荷泵结构. 电路结构如图 4 所示, 开关 M9、M17 位于电流源的源端, 以减小电荷共享. 在图 4 电荷泵电路中, Mn 管漏极与 M9 管源极相连记为 B 点, Mp 管源极与 M17 管漏极相连记为 C 点. UP 为零时, M9 导通, 使 B 点电压充电到 V_{DD} , 并在 B 点积累一定的电荷. 当 UP 为高电平时, M9 断开, 无 Mn 管时多余电荷仅通过 M10 管放电, 表现在电流上为当开关断开时有一个很大的电流尖脉冲. 加入 Mn 管后, 多余电荷可以通过 Mn 和 M10 管放电, 多了一个放电回路, 从而减少电流尖脉冲的幅度. 同理加入 Mp 管也是为了减少电流尖脉冲的幅度. 图 5 给出了 PLL 锁定时 CP 的充电电流波形, 从图中可以看出, 加入 Mn 管大大减少了电流尖脉冲的幅度.

传统的电荷泵电路通过增加镜像电流源的输出阻抗来增加其电流匹配程度, 然而只能在某一输出电压值下, 上下两个电流源才相等, 无法保证在一定的电压变化范围内充放电电流相等. 为了解决这一

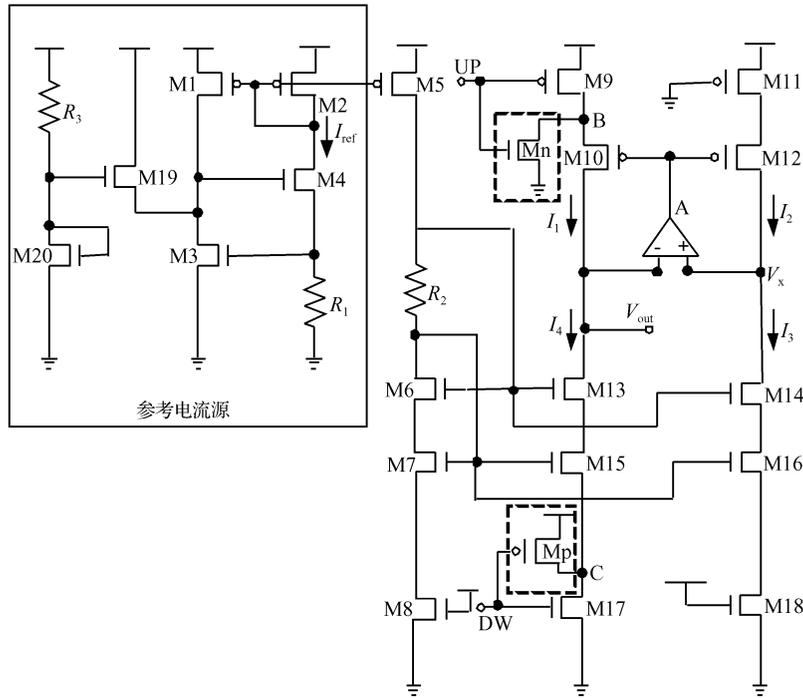


图 4 电荷泵电路结构

Fig. 4 Circuit structure schematic of charge pump

问题,在图 4 的结构中加入了运算放大器,使 V_x 始终与 V_{out} 电压相等,从而保证镜像电流源的精确镜像. 在 $M9 = M11, M10 = M12, M6 = M13 = M14, M7 = M15 = M16, M8 = M17 = M18$ 情况下,当 UP 和 DW 为零时,有 $I_1 = I_2 = I_3$,当 UP 和 DW 为高电平时,有 $I_4 = I_2 = I_3$,从而保证 $I_4 = I_1$.

为了提高电荷泵在电流匹配时的输出电压动态范围,电路采用自偏置高摆幅镜像电流源,该镜像电流源由图 4 中 $R_2, M6, M7, M13$ 和 $M15$ 组成,从而克服了参考文献[8]在输出动态范围上的不足.同时为了让镜像电流更为准确,沟道长度应设置大一些,以减小沟道长度调制效应.

电荷泵的参考电流源由 $M1, M2, M3, M4$ 和 R_1 构成, $M19, M20, R_3$ 为启动电路,参考电流表示为:

$$I_{ref} = \frac{V_{th}}{R_1} + \frac{1}{R_1^2 K} + \frac{\sqrt{2R_1 K V_{th} + 1}}{R_1^2 K} \quad (4)$$

其中 $K = \mu_n C_{ox} \frac{W}{L}$.

从公式(4)可以看出,此参考电流源的大小不受电源电压波动的影响.

由于 CP 电路中 $M10$ 和 $M12$ 与运放构成了两个环路,因此需要考虑环路的稳定性问题.在 A 点开环做 AC 分析,激励信号加在 $M10$ 和 $M12$ 的栅极,观察运算放大器的输出端电压 V_A 的幅频和相频特性,对应的仿真结果如图 6 所示,由仿真结果可以看出相位裕量达到 47° ,因此环路是稳定的.

3.3 PLL 杂散仿真

为了比较传统电荷泵和改进后电荷泵的性能,将它们分别放入 PLL 中进行仿真,仿真框图如

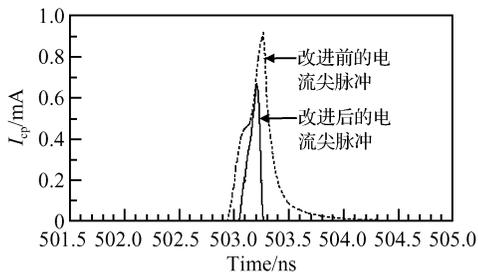


图 5 改进前后电流尖脉冲对比

Fig. 5 Comparison between conventional current pulse and proposed current pulse

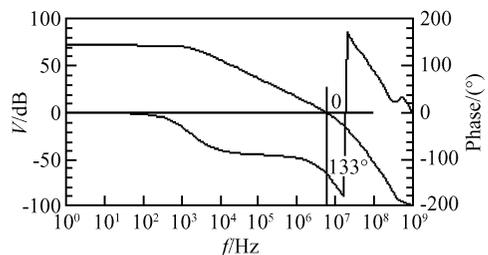


图 6 稳定性分析

Fig.6 Analysis of stability

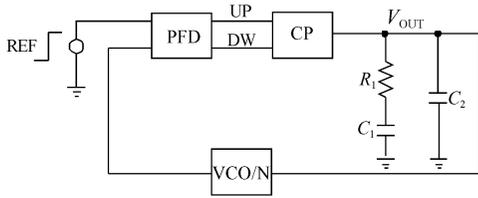


图 7 仿真系统框图

Fig.7 Block diagram of simulation system

图 7 所示,其中 VCO 和 Divider 是理想的模型, PFD 和 CP 是实际的电路, VCO 中心频率为 40MHz,参考频率为 4MHz,传统电荷泵和改进后的电荷泵电路在锁定时 PLL 输出电压的频谱分别如图 8(a)和(b)所示.

比较图 8(a)和(b)可以看出,传统电荷泵电路因为存在电荷共享、电流失配、电荷注入和时钟馈通等因素,参考杂散达 -31dBm,而改进后的电荷泵电路由于减小了这些影响因素,参考杂散降为 -54dBm.改进后的电荷泵电路比传统电荷泵电路在输出参考杂散上降低了 23dB,达到了低杂散的要求.

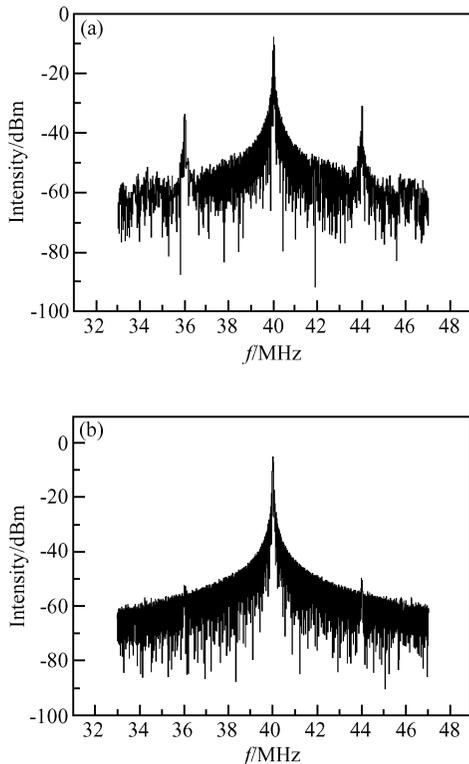


图 8 (a)传统 CP 在 PLL 输出信号上引起的杂散;(b)改进后的 CP 在 PLL 输出信号上引起的杂散

Fig.8 (a) Spur of the PLL output generated by the conventional charge pump;(b) Spur of the PLL output generated by the proposed charge pump

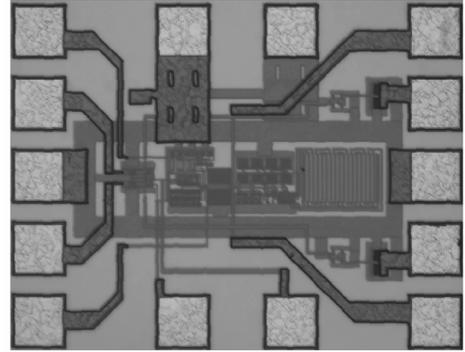


图 9 芯片照片

Fig.9 Chip die photograph of the charge pump

4 芯片版图设计及测试结果

设计电荷泵电路版图时,为保证镜像电流源的精确镜像,镜像电流源的管子采用对称结构设计,为保证电阻的精度,采用了 dummy 电阻.同时保证鉴频鉴相器出来的信号到达电荷泵的金属线长度一样长.图 9 是芯片照片,该芯片的测试是在东南大学射频与光电集成电路研究所的测试室中完成的.

图 10 给出了电荷泵充放电电流匹配的测试曲线.测试结果表明:电源电压为 1.8V 时,充放电平均电流为 0.475mA,电路的输出电压范围在 0.3~1.6V 内电流失配小于 10mA,电流匹配失配率小于 2%.电荷泵功耗为 6.84mW.图 11 给出了芯片测试得到的电荷泵充放电波形.从图 11 可以看出电荷泵充放电电压范围在 0.1~1.8V.充放电电压平滑,没有过冲.

5 结论

锁相环参考杂散常常是锁相环设计失败的重要原因,本文通过对参考杂散产生的原因分析给出了低杂散电荷泵的设计方法,通过加入运放实现了很

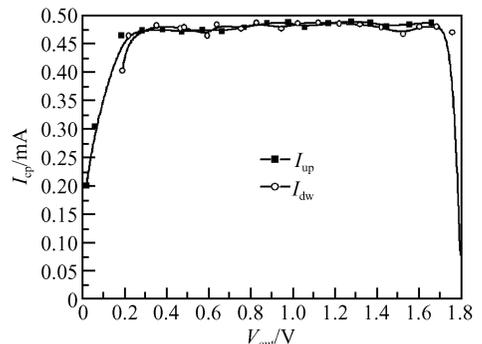


图 10 电荷泵充放电电流随输出电压的变化曲线

Fig.10 Charge pump current matching characteristic

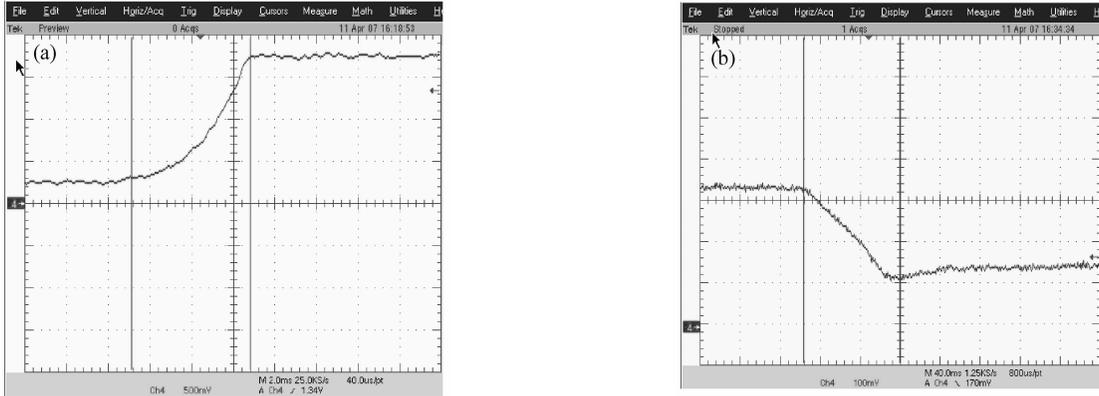


图 11 (a) 电荷泵充电的输出波形; (b) 电荷泵放电的输出波形
Fig. 11 (a) Pumping up the output voltage; (b) Pumping down the output voltage

好的充放电电流匹配,极大地提高了锁相环频率合成器性能.

参考文献

- [1] Razavi B. RF microelectronics. Beijing: Tsinghua University Press, 2003 [Razavi B. 射频微电子(影印版). 北京: 清华大学出版社, 2003]
- [2] Gardner F M. Charge-pump phase-lock loop. IEEE Trans Commun, 1980, 28(11): 1849
- [3] Vaucher C S. Architectures for RF frequency synthesizers. Kluwer Academic Publishers, 2002
- [4] Rhee W. Design of high-performance CMOS charge pumps in phase-locked loops. IEEE International Symposium on Circuits and Systems, 1999, 2: 545
- [5] Balachandran G K, Allen P E. Switched-current circuits in digital CMOS technology with low charge-injection errors. IEEE J Solid-State Circuits, 2002, 37(10): 1271
- [6] Dai Liang, Harjani R. CMOS switched-op-amp-based sample-and-hold circuits. IEEE J Solid-State Circuits, 2000, 35(1): 109
- [7] Lee J S, Jin W K, Choi D M. A wide range PLL for $64 \times$ speed CD-ROMS & $10 \times$ speed DVD-ROMS. IEEE Trans Consumer Electron, 2000, 46(3): 487
- [8] Lee J S, Keel M S, Lim S, et al. Charge pump with perfect current matching characteristics in phase-locked loops. Electron Lett, 2000, 36(23): 1907

A Charge Pump Design for Low-Spur PLL*

Xue Hong[†], Li Zhiqun, Wang Zhigong, Li Wei, and Zhang Li

(Institute of RF- and OE-ICs, Southeast University, Nanjing 210096, China)

Abstract: A charge-pump circuit that can be used in PLL is achieved through a TSMC 0.18 μ m CMOS process. Conventional CMOS charge pump circuits have large current mismatch. The current mismatch can generate a phase offset, which increases spurs in PLL outputs and reduces the locking range. An operational amplifier, self-biasing cascode current mirror, and supply-independent reference current source are used to make the charge and discharge current match. Measurement results show that the charge pump current is 0.475mA and the current mismatch is less than 10mA in the output voltage range of 0.3~1.6V, with power consumption of 6.8mW at 1.8V.

Key words: reference spur; current mismatch; charge pump; operational amplifier; self-biasing current mirror
EEACC: 2570D

Article ID: 0253-4177(2007)12-1988-05

* Project supported by the Joint Program Between Southeast University and Wuhan Anyu Protection Technology Co., Ltd.

[†] Corresponding author. Email: lywang@seu.edu.cn

Received 3 June 2007, revised manuscript received 9 July 2007