

一种应用于频率综合器的高性能全差分电荷泵电路

杨振宇 唐长文[†] 闵昊

(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘要: 提出了一种应用于频率综合器的全差分电荷泵电路. 该电荷泵结构可以很好地克服沟道长度调制效应的影响, 使充放电电流在宽输出电压范围内实现精确匹配, 从而使频率综合器的压控电压纹波(ripple)很小. 为了保证电荷泵的宽输出摆幅不受限制, 还设计了一种输入范围接近轨到轨的共模负反馈电路. 整个电路在 1.8V SMIC 0.18 μm CMOS 混合信号工艺下设计实现, 芯片面积约为 450 μm ×280 μm , 直流功耗约为 1mW, 测试得到的参考杂散的最差值为 -73dBc, 满足频率综合器的低杂散要求.

关键词: 频率综合器; 全差分电荷泵; 电流匹配; 电流复制; 电压纹波; 杂散

EEACC: 1205; 1280; 2570D

中图分类号: TN4 **文献标识码:** A **文章编号:** 0253-4177(2007)12-1993-06

1 引言

基于锁相环的频率综合器电路被广泛使用在射频收发机通信系统中. 典型的频率综合器系统包括鉴频鉴相器(PFD)、电荷泵(charge pump)、环路滤波器(loop filter)、压控振荡器(VCO)以及分频器(divider)等模块. 电荷泵电路是最关键的模块之一, 它的功能是将鉴频鉴相器输出的相差脉宽数字信号(up 和 dn)通过充放电电流(I_{up} 和 I_{dn})转化为电流信号, 然后通过环路滤波器变为电压信号 V_{ctrl} , 从而对压控振荡器的工作频率进行调整. 因此, 一旦电荷泵中的非理想因素使充电电流 I_{up} 和放电电流 I_{dn} 之间存在不匹配, 压控电压 V_{ctrl} 上就会产生电压纹波(ripple), 导致压控振荡器输出频谱上产生杂散(spur), 从而造成对临近信道的干扰^[1].

为了提高电荷泵的电流匹配性能, 全差分电荷泵结构被广泛应用在频率综合器系统中. 但是, 传统的全差分电荷泵电路由于采用共源共栅(cascode)结构^[2~4], 输出摆幅受到限制, 而且由于沟道长度调制效应的影响, 电荷泵差分电流的匹配性能被严重恶化, 甚至不如单端电流的匹配性能. 本文提出了一种全差分电荷泵电路, 该电路在不降低输出电压摆幅的前提下, 采用电流复制(replica)技术使差分电荷泵的充放电电流的匹配性能得到很大改善, 从而克服了传统电荷泵的缺陷.

2 传统全差分电荷泵电路

为了克服单端电荷泵固有的输出动态范围小、充放电电流匹配性能差以及时钟馈通效应明显等缺点, 高性能频率综合器普遍采用共源共栅(cascode)的全差分电荷泵结构, 该结构电路如图 1 所示.

管子 M1~M20 构成 cascode 电流镜, 可以提高电荷泵的输出阻抗, 降低管子漏端电压对电流的影响, 使电荷泵充放电电流的匹配性能得到改善; 管子 M21~M24 是电荷泵的源极开关, 可以使电荷泵以最快速度开启和关闭, 降低参考时钟引入的馈通噪声; 管子 M25~M30 匹配开关管使电荷泵(charge pump)支路和偏置支路(bias)实现完全匹配; 电容 C_1, C_2 减弱开关时钟馈通效应的影响. 这种电荷泵存在两个缺陷: (1) cascode 全差分电荷泵的 cascode 管子限制了输出摆幅, 这在低电源电压工作环境下是不利的; (2) 当控制电压 V_{cp} 和 V_{cn} 差值较大时, 差分电荷泵的充放电电流匹配性能严重恶化.

假设控制电压 V_{cp} 和 V_{cn} 分别满足

$$V_{\text{cp}} = V_{\text{cm}} + \frac{V_{\text{diff}}}{2}, \quad V_{\text{cn}} = V_{\text{cm}} - \frac{V_{\text{diff}}}{2} \quad (1)$$

其中 V_{cm} 是 V_{cp} 和 V_{cn} 的共模电压; V_{diff} 是 V_{cp} 和 V_{cn} 的差模电压. 当差模电压 V_{diff} 不等于零时, 由于沟道长度调制效应的影响, 图 1 中的电流源 $I_{\text{up1}}, I_{\text{dn1}}, I_{\text{up2}}$ 和 I_{dn2} 的大小会发生变化. 如图 2 所示, 假设 I_{cm} 表示当差模电压 V_{diff} 等于零 ($V_{\text{cp}} = V_{\text{cn}} = V_{\text{cm}}$) 时电荷泵的充放电电流值.

[†] 通信作者. Email: zwtang@fudan.edu.cn

2007-06-04 收到, 2007-07-08 定稿

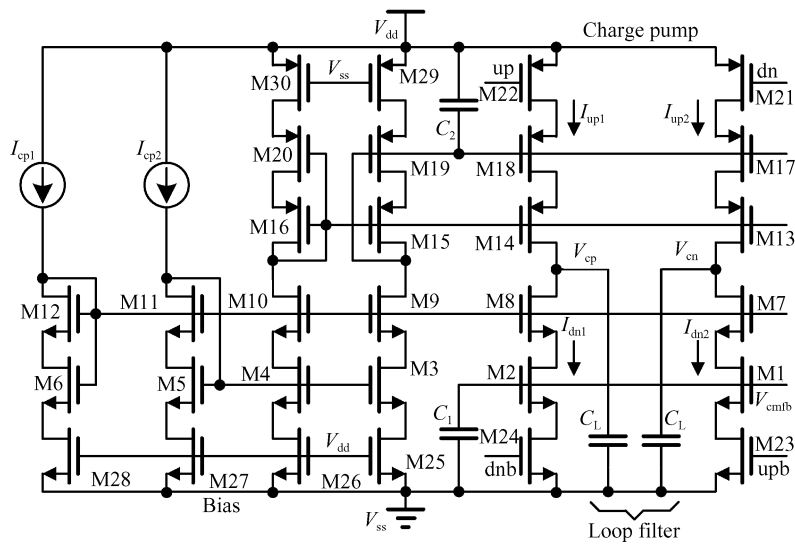


图 1 共源共栅结构的全差分电荷泵电路

Fig.1 Fully differential cascode charge pump circuit

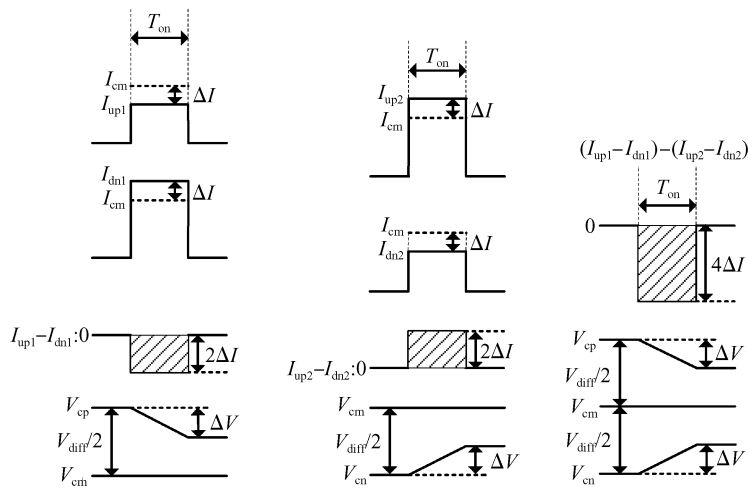


图 2 传统电荷泵的充放电电流及压控电压波形图

Fig.2 Waveforms of currents and control voltages in conventional charge pump

为了定性分析的方便,假设电流源 I_{up1} , I_{dn1} , I_{up2} 和 I_{dn2} 的电流变化量都是 ΔI . 这样,电荷泵两条支路的充放电电流分别表示为

$$\begin{aligned} I_{up1} &= I_{cm} - \Delta I, I_{dn1} = I_{cm} + \Delta I, \\ I_{up2} &= I_{cm} + \Delta I, I_{dn2} = I_{cm} - \Delta I \end{aligned} \quad (2)$$

因此,电荷泵两条支路上充放电电流的不匹配量分别为

$$I_{up1} - I_{dn1} = -2\Delta I, I_{up2} - I_{dn2} = 2\Delta I \quad (3)$$

差分电流的不匹配量为

$$\Delta = (I_{up1} - I_{dn1}) - (I_{up2} - I_{dn2}) = -4\Delta I \quad (4)$$

因此,由于沟道长度调制效应的影响,传统全差分电荷泵电路的差分电流匹配性能被严重恶化了.差分电流的不匹配性将导致差分压控电压的纹波

($2\Delta V$)比单端压控电压的纹波(ΔV)大,压控振荡器输出信号的杂散性能会被恶化.

3 新型全差分电荷泵电路及其共模负反馈电路

3.1 新型全差分电荷泵电路

为了克服传统全差分电荷泵的缺点,本文提出了图 3 所示的一种新型全差分电荷泵电路,其中轨到轨(rail-to-rail)运放 A1 和 A2^[5] 的直流增益约为 60dB 左右,A1 和共源连接的 M7 管构成了两级单位增益负反馈放大器,由于环路滤波器的作用,电压

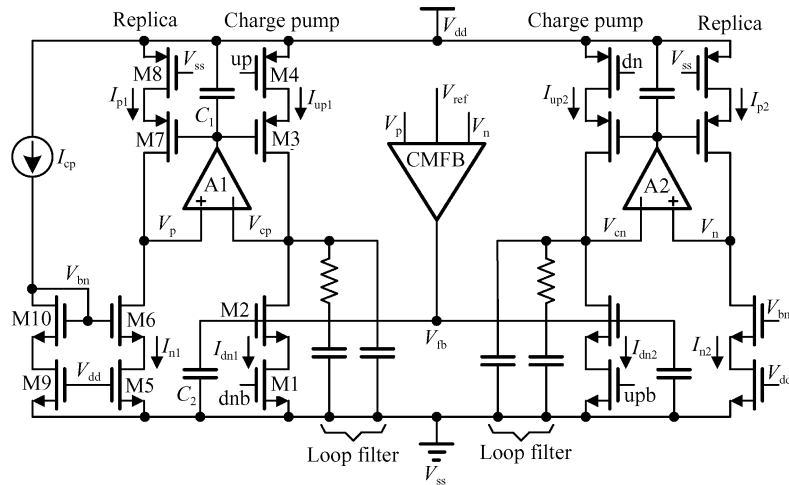


图 3 本文提出的全差分电荷泵电路

Fig. 3 Proposed fully differential charge pump circuit

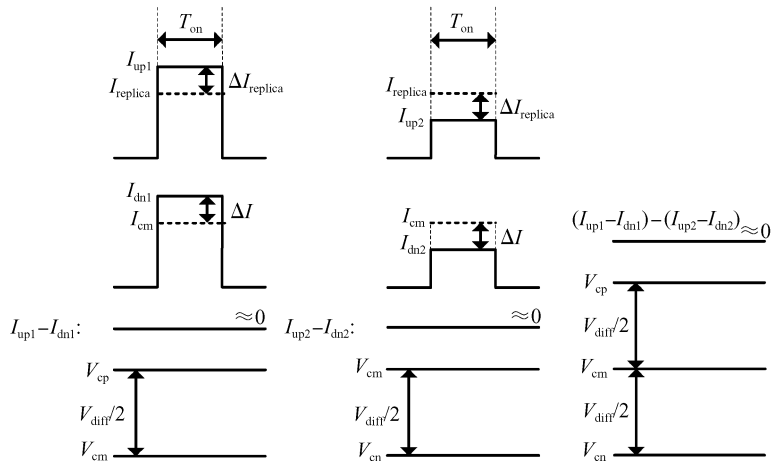


图 4 本文提出的电荷泵充放电电流及压控电压波形图

Fig. 4 Waveforms of currents and control voltages in proposed charge pump

V_{cp} 的频率相当低 (60kHz 左右), 所以此两级运放的带宽可以较小. 这样电荷泵支路上管子漏端电压 V_{cp} 和 V_{cn} 与复制支路上管子漏端电压 V_p 和 V_n 分别相等.

$$V_p = V_{cp}, \quad V_n = V_{cn} \quad (5)$$

在整个输出电压范围内, 电荷泵支路的充电电流 I_{up1} 和 I_{up2} 分别与复制支路电流 I_{p1} 和 I_{p2} 相等^[6], 满足

$$I_{up1} = I_{p1}, \quad I_{up2} = I_{p2} \quad (6)$$

在复制支路上, 无论电压 V_p 和 V_n 如何变化, 始终满足

$$I_{p1} \equiv I_{n1}, \quad I_{p2} \equiv I_{n2} \quad (7)$$

因此电荷泵支路的充电电流始终满足

$$I_{up1} = I_{p1} \equiv I_{n1}, \quad I_{up2} = I_{p2} \equiv I_{n2} \quad (8)$$

假设 V_{cp} 和 V_{cn} , V_p 和 V_n 满足

$$V_p = V_{cp} = V_{cm} + \frac{V_{diff}}{2}, \quad V_n = V_{cn} = V_{cm} - \frac{V_{diff}}{2} \quad (9)$$

当差模电压 V_{diff} 不等于零时, 由于沟道长度调制效应的影响, 图 3 中的电荷泵支路的电流源 I_{up1} , I_{dn1} , I_{up2} 和 I_{dn2} 大小会变化, 复制支路的电流源 I_{p1} , I_{n1} , I_{p2} 和 I_{n2} 大小也会变化. 如图 4 所示, 假设 $I_{replica}$ 表示当差模电压 V_{diff} 等于零 ($V_p = V_n = V_{cm}$) 时复制支路的电流值, $\Delta I_{replica}$ 表示沟道长度调制效应在复制支路上引起的电流变化量. 为了定性分析的方便, 假设电荷泵支路电流源 I_{dn1} 和 I_{dn2} 的电流变化量都是 ΔI , 复制支路电流源 I_{n1} 和 I_{n2} 的电流变化量为 $\Delta I_{replica}$. 这样, 电荷泵两条支路的充放电电流分别表示为

$$\begin{aligned} I_{up1} &= I_{p1} = I_{n1} = I_{replica} + \Delta I_{replica}, \quad I_{dn1} = I_{cm} + \Delta I \\ I_{up2} &= I_{p2} = I_{n2} = I_{replica} - \Delta I_{replica}, \quad I_{dn2} = I_{cm} - \Delta I \end{aligned} \quad (10)$$

表 1 传统电荷泵和本文提出电荷泵的对比
Table 1 Comparison of conventional and proposed charge pump

	$V_{cp} > V_{cn}$	I_{up1}	I_{up2}	I_{dn1}	I_{dn2}	$I_{up1} - I_{dn1}$	$I_{up2} - I_{dn2}$	$\Delta = (I_{up1} - I_{dn1}) - (I_{up2} - I_{dn2})$
电流变	传统结构	$-\Delta I$	ΔI	ΔI	$-\Delta I$	$-2\Delta I$	$2\Delta I$	$-4\Delta I$
化量	本文提出结构	ΔI	$-\Delta I$	ΔI	$-\Delta I$	~ 0	~ 0	~ 0

当共模负反馈电路稳定后, $V_{fb} \approx V_{bn}$, 又因为 $V_p = V_{cp}, V_n = V_{cn}$, 因此

$$I_{n1} \approx I_{dn1}, I_{n2} \approx I_{dn2}, \Delta I_{replica} \approx \Delta I \quad (11)$$

因此, 电荷泵两条支路上充放电电流的不匹配量分别为

$$\begin{aligned} I_{up1} - I_{dn1} &= I_{n1} - I_{dn1} \approx 0, \\ I_{up2} - I_{dn2} &= I_{n2} - I_{dn2} \approx 0 \end{aligned} \quad (12)$$

则差分电流的不匹配量为

$$\Delta = (I_{up1} - I_{dn1}) - (I_{up2} - I_{dn2}) = (I_{p1} - I_{dn1}) - (I_{p2} - I_{dn2}) = (I_{n1} - I_{dn1}) - (I_{n2} - I_{dn2}) \quad (13)$$

传统电荷泵和本文提出的电荷泵的各条支路电流变化量如表 1 所示. 所提出的电荷泵结构将 pMOS 管电流源与 nMOS 管电流源匹配问题转化为 nMOS 管电流源之间的匹配. 提出的全差分电荷泵电路可以有效地克服沟道长度调制效应对充放电电流匹配性能的影响, 使得压控电压纹波很小, 能够极大地抑制频率综合器的杂散能量.

3.2 共模负反馈电路

为保证全差分电荷泵的输出摆幅不受共模负反馈电路(CMFB)的限制, 本文设计了如图 5 所示的输入电压范围接近轨到轨的共模负反馈电路. 因为电压 $V_p = V_{cp}$ 且 $V_n = V_{cn}$, 所以可将电压 V_p 和 V_n 作为共模负反馈电路的输入采样信号, 从而避免 CMFB 对环路滤波器零极点分布的影响. 缓冲放大器 A3 和 A4 分别将电压 V_p 和 V_n 复制到电压 V_{p1} 和 V_{n1} , 经 RC 采样电路得到 V_{p1} 和 V_{n1} 的共模电压 V_{cm} , V_{cm} 与参考电压 V_{ref} 相比较所得的电压 V_{fb} 再反馈到电荷泵电路. 由于运放 A3 和 A4 是轨到轨结构, 所以电荷泵的输出摆幅不会受到共模负反馈电路的限制. 另外, 对于差分电荷泵来说共模负反馈电

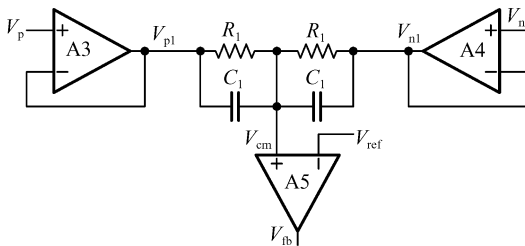


图 5 宽输入范围的共模负反馈电路

Fig.5 Common-mode feedback circuit with wide input range

路中的噪声是共模噪声, 不会影响频率综合器的环路相位噪声性能.

在设计轨到轨运放时, 为了尽可能降低输入差分对管的 random offset, 可以通过降低输入差分对管的过驱电压($V_{gs} - V_{th}$)以及增大管子的几何尺寸来实现.

4 仿真和测试结果

4.1 充放电电流匹配性仿真

分别对传统全差分电荷泵电路和本文提出的全差分电荷泵电路的差分压控电压($V_{cp} - V_{cn}$)从 $-1.8V$ 到 $1.8V$ 进行直流扫描, 得到电荷泵差分充放电电流的仿真波形, 如图 6 和图 7 所示. 当 V_{cp} 和 V_{cn} 差值较大时, 传统全差分电荷泵的差分充放电电流不匹配量几乎是单端充放电电流不匹配量的 2 倍, 差分充放电电流的匹配性能被恶化了. 而新型全差分电荷泵电路在 $0.2 \sim 1.6V$ 的输出电压范围内, 其差分充放电电流的不匹配性均可小于 0.1% , 能够很好地克服沟道长度调制效应的影响.

4.2 参考杂散的测试

整个频率综合器的芯片照片如图 8 所示. 其中全差分电荷泵的面积约为 $450\mu m \times 280\mu m$, 电源电压为 $1.8V$, 其中全差分电荷泵的主电路功耗为 $225\mu W$, 运放 A1 和 A2 的功耗分别为 $80\mu W$ 左右,

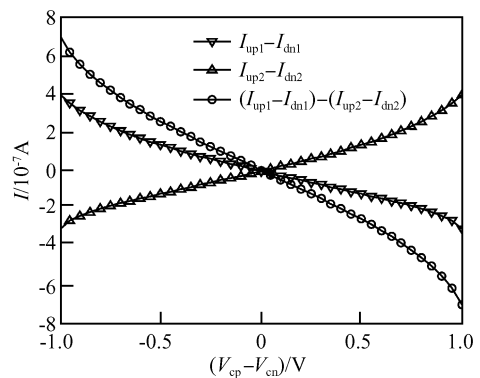


图 6 传统电荷泵的差分电流匹配性

Fig.6 Matching characteristic in conventional charge pump

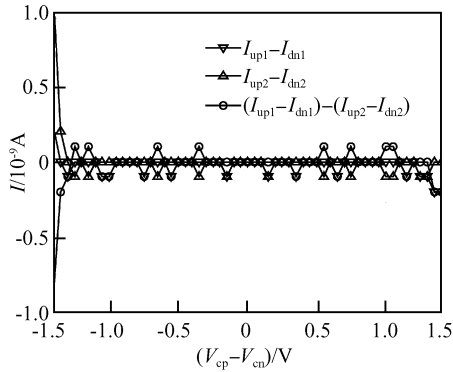


图 7 本文提出的电荷泵差分电流匹配性

Fig. 7 Matching characteristic in proposed charge pump

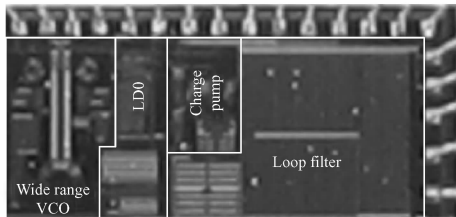


图 8 频率综合器芯片显微照片

Fig. 8 Microphotograph of the frequency synthesizer chip

运放 A3 和 A4 的功耗分别为 $300\mu\text{W}$ 左右. 主要的测试仪器有 Agilent E4445A ($3\sim 26.5\text{GHz}$) 频率范围的频谱分析仪以及 LeCroy 2GHz 采样频率的示波器, 频率综合器的输出信号通过本征阻抗为 50Ω 的 Bias-Tee 单元输入到频谱分析仪中.

为了测试最差的参考杂散值, 测试中通过改变分频器的分频比 N , 使得环路锁定时对应的压控电压 V_{cp} 和 V_{cn} 的差值最大. 当环路锁定时, 测试得到的压控电压波形如图 9 所示, 所对应的输出信号频

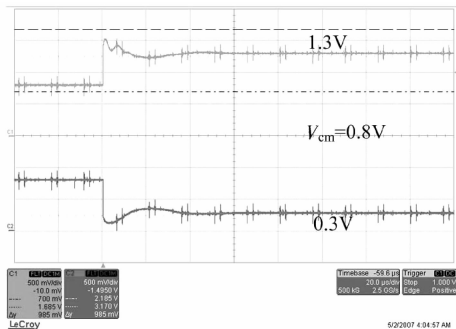


图 9 锁定时压控电压的波形图

Fig. 9 Waveforms of the control voltages when PLL is locked

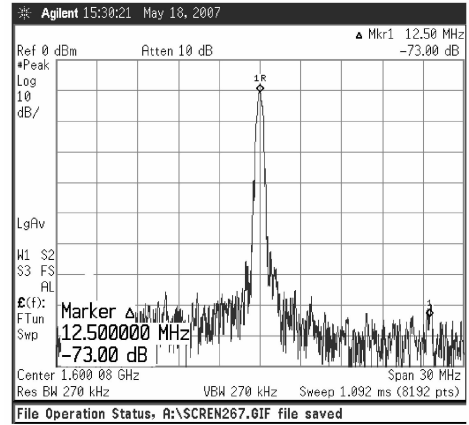


图 10 频率综合器参考杂散测试

Fig. 10 Measured reference-spur level in frequency synthesizer

表 2 参考杂散测试结果的比较

Table 2 Comparison of measured reference spurs

作者	工艺尺寸/ μm	参考频率/ MHz	带宽/ kHz	参考杂散/ dBc	滤波器阶数/阶	电源电压/ V
Hung ^[7]	0.25	43	80	< -69	3	1.5
Pellerano ^[8]	0.25	10	25	-70	3	2.5
Herzel ^[9]	0.25	4	90	-45	2	2.5
Kuo ^[10]	0.18	20	60	-74	2	1.8
本文	0.18	12.5	60	-73	2	1.8

谱如图 10 所示. 可见当压控电压值 $V_{cp} = 1.3\text{V}$, $V_{cn} = 0.3\text{V}$ 时, 参考频率处的杂散能量约为 -73dBc . 此时的杂散能量主要是由轨到轨运放 A1 和 A2 的失调电压 (大约 3mV) 造成的.

表 2 总结了本电路的杂散测试结果和其他文献中的 CMOS 频率综合器的杂散测试结果. 对比可见采用本文提出电荷泵的频率综合器电路有比较好的参考杂散性能.

5 结论

本文提出了一种应用于频率综合器的高性能全差分电荷泵电路. 该电荷泵结构采用电流复制技术来克服沟道长度调制效应的影响, 使充放电电流在整个输出电压范围内实现精确匹配, 从而减小频率综合器中的压控电压纹波. 同时, 为了保证电荷泵的宽输出摆幅不受限制, 本文还设计了一种输入范围接近轨到轨的共模负反馈电路. 理论分析和测试结果表明, 所提出的全差分电荷泵电路可以很好地克服传统电荷泵的缺点, 完全适用于低杂散要求的高性能频率综合器系统中.

参考文献

- [1] Vaucher C S. Architectures for RF frequency synthesizers. Kluwer Academic Publishers, 2002
- [2] Rhee W. Design of high-performance CMOS charge pumps in phase-locked loops. IEEE Proceedings of the International Symposium on Circuits and Systems, 1999, 2: 545
- [3] Shu Zhinian, Lee K L, Leung B H, et al. A 2.4GHz ring-oscillator-based CMOS frequency synthesizer with a fractional divider dual-PLL architecture. IEEE J Solid-State Circuits, 2004, 39(3): 452
- [4] Maxim A. Low-voltage CMOS charge-pump PLL architecture for low jitter operation. Proceedings of the 28th European Solid-State Circuit, 2002: 423
- [5] Wang Minsheng, Terry L. Constant-gm rail-to-rail CMOS op-amp input stage with overlapped transition regions. IEEE J Solid-State Circuits, 1999, 34(2): 148
- [6] Temporiti E, Albasini G, Bietti I, et al. A 700-kHz bandwidth $\Delta\Sigma$ fractional synthesizer with spurs compensation and linearization techniques for WCDMA applications. IEEE J Solid-State Circuits, 2004, 39(9): 1446
- [7] Hung C M, Kenneth K O. A fully integrated 1.5-V 5.5-GHz CMOS phase-locked loop. IEEE J Solid-State Circuits, 2002, 37(4): 521
- [8] Pellerano S, Laventino S, Samori C, et al. A 13.5-mW 5-GHz frequency synthesizer with dynamic-logic frequency divider. IEEE J Solid-State Circuits, 2004, 39: 378
- [9] Herzel F, Fischer G, Gustat H. An integrated CMOS RF synthesizer for 802.11a wireless LAN. IEEE J Solid-State Circuits, 2003, 38(10): 1767
- [10] Kuo C Y, Chang J Y, Liu S I. A spur-reduction technique for a 5-GHz frequency synthesizer. IEEE Trans Circuits and Systems-I: Regular Papers, 2006, 53: 526

A High-Performance Fully Differential Charge Pump for Frequency Synthesizer Applications

Yang Zhenyu, Tang Zhangwen[†], and Min Hao

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 201203, China)

Abstract: A fully differential charge pump for a frequency synthesizer is proposed. The pump eliminates the effect of channel-length modulation and makes the charging and discharging currents match perfectly in a wide output range to minimize the ripple of the control voltage. A common-mode feedback circuit with rail-to-rail input range is employed to ensure a large unrestricted swing of the charge pump. The proposed fully differential charge pump is designed and fabricated in a 1.8V SMIC 0.18 μm CMOS mixed-signal process; the chip area is about 450 μm \times 280 μm ; and the power dissipation is 1mW. A reference spur level of -73dBc is achieved in the worst case, satisfying the performance of the frequency synthesizer.

Key words: frequency synthesizer; fully differential charge pump; current matching; replica; ripple; spur
EEACC: 1205; 1280; 2570D

Article ID: 0253-4177(2007)12-1993-06

[†] Corresponding author. Email: zwtang@fudan.edu.cn

Received 4 June 2007, revised manuscript received 8 July 2007