

# 智能型高压 SENSFET 器件的设计分析和实现\*

李泽宏<sup>1,2,†</sup> 王小松<sup>1</sup> 王一鸣<sup>1</sup> 易坤<sup>1</sup> 张波<sup>1</sup> 李肇基<sup>1</sup>

(1 电子科技大学电子薄膜与集成器件国家重点实验室, 成都 610054)

(2 中国电子科技集团第 24 研究所, 重庆 400060)

**摘要:** 基于 JFET 原理, 采用 Double RESURF 技术, 对 SENSFET 的降场层注入剂量、始点位置和长度以及 Nwell 注入剂量等进行优化设计, 得到了耐压 730V、JFET 线性区电阻为  $7.2 \times 10^5 \Omega \cdot \mu\text{m}$  的智能高压 SENSFET 器件. 流片结果表明, 器件宽度为  $75 \mu\text{m}$  情况下, SENSFET 的击穿电压为 700V, 线性区电阻为  $10 \text{k}\Omega$ . 设计分析和实验结果吻合得很好. 借助该 SENSFET 器件可以很好地实现智能功率集成电路中高压器件的信号检测和电路的自供电功能.

**关键词:** 智能功率集成电路; 高压 SENSFET; Double RESURF; JFET

**PACC:** 7340L

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2007)12-1961-06

## 1 引言

智能功率集成电路 (smart power integrated circuit, SPIC) 集成了高压器件、CMOS 和双极器件, 广泛应用于便携式仪器仪表、无线通信设备、笔记本电脑、AC/DC 适配器<sup>[1~3]</sup>. 如何更好地解决高压器件的信号检测, 实现 SPIC 及其应用系统的控制成为研究的热点. 学者们提出了高压器件的耗尽层边缘电压检测, 浮空场限环电压检测, 场板电压检测, 单元胞功率器件检测; 副边反馈检测, 电阻、电流镜检测等方法<sup>[4~9]</sup>. 但以上方法分别有成本高、影响功率器件耐压和电流分配不均、不能准确反映输入输出信号等缺点. 迄今 SPIC 的供电大都采用外部电源、输出电压反馈和偏置线圈等几种方法. 但这种方法需要额外增加外部元件, 造成所设计系统成本增加及体积增大. 据此, 提出了智能高压 SENSFET 器件, 拟同时解决 SPIC 中的信号检测和自供电功能.

## 2 智能高压 SENSFET 原理

所分析为 n 沟高压 SENSFET, 器件结构如图 1 所示. 在 p 型衬底 (Psub) 上做 n 阱 (Nwell), 然后在其上做 Pbase 区以实现 JFET 结构器件. 做降场层 Pwell2 以实现耐高压的 Double RESURF 结构. 该结构器件可以分成两部分: 一是 JFET 区, 它决定器件的  $I-V$  特性; 二是漂移区, 采用 Double RESURF

技术, 实现器件的高耐压. 图中 DRAIN, SENSE, GND 分别为高压漏端、采样端和接地端. p 沟高压 SENSFET 器件分析同 n 沟高压 SENSFET.

JFET 区是通过 Pbase 和 Psub 之间夹 Nwell 形成的, 该器件为常开型 JFET. JFET 的沟道区杂质  $N_C(x, y)$  分布由 Pearson 分布 (离子注入) 和 Fick 定律 (扩散) 决定:  $N_C(x, y) = N_{\text{JFET}}(x, y) - N_{\text{P-base}}(x, y) - N_{\text{P-sub}}$ , 其中  $N_{\text{JFET}}(x, y)$  为没有考虑补偿的 JFET 区浓度二维分布,  $N_{\text{P-base}}(x, y)$ ,  $N_{\text{P-sub}}$  分别为 Pbase 和衬底浓度二维分布. 假设不考虑 Pbase/Nwell 边缘效应 (其后分析可知: 该假设能成立, 特别是在漏端电压比较高的情况下), 得到 JFET 区的浓度分布如图 2 所示. 从图中可知, 在 y 轴的任一点, 沿 x 方向的浓度分布是相同的, 同一 x 点处, 沿 y 方向浓度分布是不均匀的. 由此, 分析沿 y 方向浓

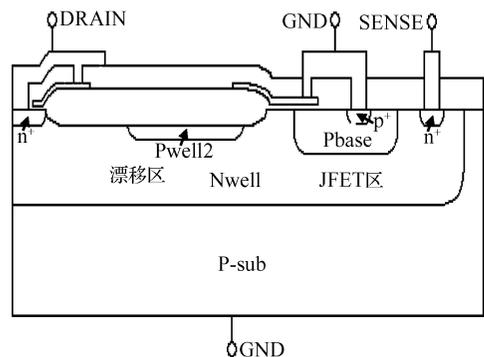


图 1 SENSFET 的二维结构  
Fig.1 2D structure of SENSFET

\* 国家自然科学基金 (批准号: 60436030) 和国防基础科研基金 (批准号: A1120060490) 资助项目

† 通信作者. Email: lizh@uestc.edu.cn

2007-06-04 收到, 2007-06-20 定稿

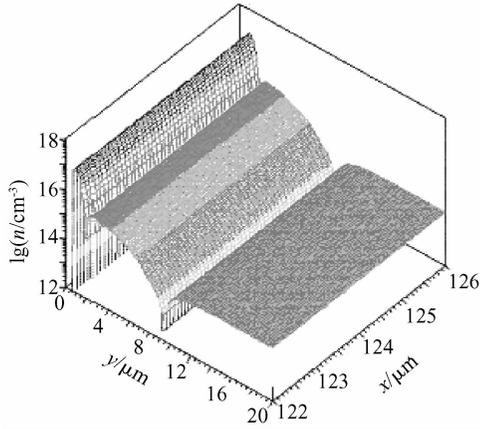


图 2 JFET 区三维浓度分布示意图

Fig. 2 3D impurity concentration distribution of JFET

度变化就可得知器件的特性.

求解泊松方程,得到 JFET 的沟道电导为

$$g_D = \frac{Z\mu}{L} [Q(a) - Q(y_1) - Q(y_2)] \quad (1)$$

式中  $L$  为沟道长度;  $Z$  为沟道宽度;  $\mu$  为沟道载流子迁移率;  $Q(a) \equiv \int_{p_1}^{p_2} N_C(0, y) dy$ ;  $Q(y_1) \equiv \int_{p_1}^{y_1} N_C(0, y) dy$ ;  $Q(y_2) \equiv \int_{y_2}^{p_2} N_C(0, y) dy$ , 其中  $p_1, p_2$  分别为 Pbase/Nwell 和 Nwell/Psub 的纵向冶金结位置,  $y_1, y_2$  分别为 Pbase 侧和 Psub 侧的耗尽层位置.

Nwell 漂移区注入 Pwell2, 漂移区耗尽层宽度由 Psub/Nwell 和 Pwell2/Nwell 两个结来提供, 也就是采用了 Double RESURF 结构. 此时 Pwell2 的杂质浓度需满足  $N_{Pwell2} > N_{Nwell} > N_{Psub}$ . 此时, 器件最低击穿点在漏端和 Pwell2 之间的表面, 击穿点电压为

$$BV = \frac{\epsilon_s E_C^2}{2qN_{Pwell2}} \quad (2)$$

Double RESURF 器件为了维持高的反向击穿特性, 要求在器件击穿前 Pwell2 和 Nwell 必须完全耗尽. 由此, 必须满足以下两个条件:

(1)  $d_{Pwell2}(BV) \geq X_{jPwell2}$ ,  $d_{Pwell2}(BV)$  是击穿电压为 BV 时的 Pwell2 纵向耗尽区宽度,  $X_{jPwell2}$  是 Pwell2 的结深.

(2)  $d_{n1}(BV) + d_{n2}(BV) \geq X_{jNwell}$ , 其中  $d_{n1}$  是 Pwell2/Nwell 在 Nwell 一侧的纵向耗尽区宽度,  $d_{n2}$  是 Psub/Nwell 结在 Nwell 一侧的纵向耗尽区宽度,  $X_{jNwell}$  为 Nwell 的结深.

条件(1)避免器件在横向漏端和 Pwell2 之间的表面处过早击穿, 而条件(2)则保证器件不在横向 Pwell2 和 Pbase 之间表面处过早击穿. 因此, 优化

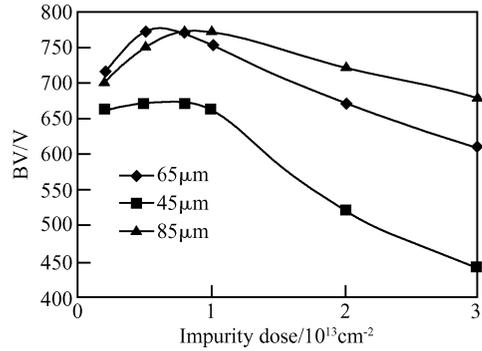


图 3 不同 Pwell2 始点位置, 耐压 BV 与 Pwell2 注入剂量的关系

Fig. 3 Relationship between BV and Pwell2's impurity dose at different start positions of Pwell2

的 Pwell2 积分电荷  $Q_{Pwell2} = N_{Pwell2} X_{jPwell2}$  和 Nwell 积分电荷  $Q_n = N_{Nwell} X_{jNwell}$  可以改写成如下形式

$$Q_{Pwell2} \leq 2 \times 10^{12} \sqrt{\frac{N_{Nwell}}{N_{Pwell2} + N_{Nwell}}} \quad (3)$$

$$Q_n \leq 2 \times 10^{12} \left[ \sqrt{\frac{N_{Nwell}}{N_{Pwell2} + N_{Nwell}}} + \sqrt{\frac{N_{Psub} N_{Nwell}}{N_{Pwell2} (N_{Psub} + N_{Nwell})}} \right] \quad (4)$$

$Q_{Pwell2}$  和  $Q_n$  的上限为

$$Q_{Pwell2}^{\max} = 1.4 \times 10^{12} \quad (5)$$

$$Q_n^{\max} = 2.8 \times 10^{12} \quad (6)$$

由(6)式可知, 在 Double RESURF 器件结构中, 因为降场层的作用使得漂移区的总电荷增加为 Single RESURF 器件中总电荷量的两倍, 从而使器件的导通电阻明显降低, 以满足 SENSFET 工作在饱和区时能够给外接电容提供合适的充电电流.

### 3 结果与讨论

借助仿真器 TSUPREM4<sup>[10]</sup> 和 MEDICI<sup>[11]</sup> 设计 SENSFET 器件. 器件左上角为坐标原点.

首先进行 SENSFET 器件的耐压设计. 不同 Pwell2 的始点位置、相同的注入能量和推结时间, 得到器件耐压随 Pwell2 注入剂量 (dose) 的变化如图 3 所示. 从图中可知, Pwell2 低浓度情况下, 随着注入剂量的增加, 耐压逐渐增加, 且相同的注入剂量下, 始点选择有一优化值, 在该优化值, 器件击穿电压最高. 如图中所示, Pwell2 注入剂量为  $5.0 \times 10^{12} \text{ cm}^{-2}$ , 始点为 45, 65 和 85 μm 处的耐压分别为 620, 725 和 700V. 可知, 65 μm 始点处的 SENSFET 耐压最大, 设计 Pwell2 始点位置为 65 μm 比 45 μm 和 85 μm 更优. 当注入剂量增大到超过  $1.0 \times 10^{13} \text{ cm}^{-2}$  时, 不同始点位置的器件耐压随注入剂量的增大而

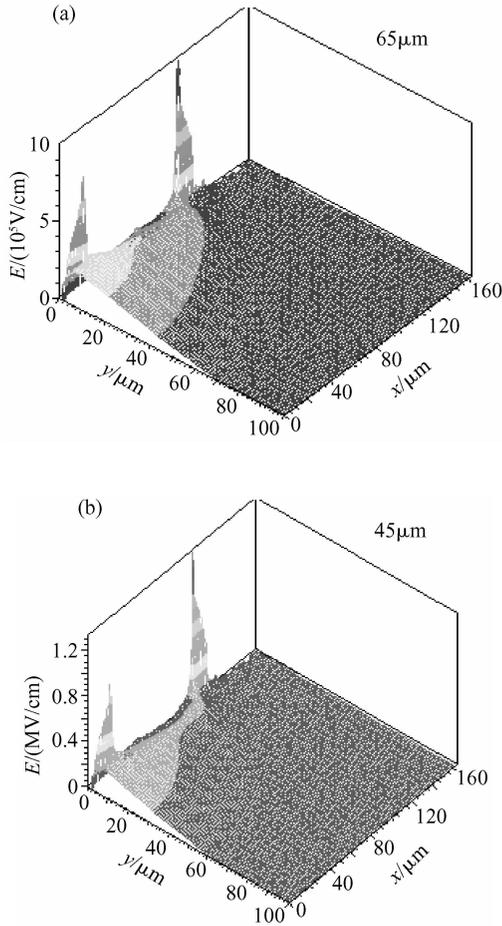


图 4 不同始点位置的电场分布

Fig.4 Electronic field distribution at different start positions

减小,并且始点位置越小,在相同的注入剂量情况下,器件的耐压越低. Pwell2 注入剂量为  $5.0 \times 10^{12} \text{ cm}^{-2}$ , 65, 45  $\mu\text{m}$  始点位置的电场分布如图 4 所示. 从图中可知,在相同注入剂量下,始点为 65  $\mu\text{m}$  的 SENSFET 器件场分布积分大于始点为 45  $\mu\text{m}$  的场分布积分,所以,前者的耐压值要大于后者.

Pwell2 的始点位置确定,不同 Pwell2 宽度、相同的注入能量和推结时间,得到器件耐压随 Pwell2 注入剂量变化如图 5 所示. 从图中可知,在低剂量情况下,随着 Pwell2 宽度的增加,SENSFET 耐压增加;在大剂量情况下,随着 Pwell2 宽度的减小,器件的耐压逐渐增大. 从图中可知,不同的 Pwell2 宽度对器件的耐压影响比较小,如在 25 和 45  $\mu\text{m}$  宽度下, Pwell2 注入剂量为  $5.0 \times 10^{12} \text{ cm}^{-2}$ , 耐压分别为 710 和 720V,其耐压变化为 1.2% 左右.

Pwell2 的始点位置、宽度确定,不同 Nwell 注入剂量、相同的 Nwell 注入能量和推进时间,得到器件耐压随 Pwell2 注入剂量变化如图 6 所示. 从图中可知,选择 Nwell 注入剂量为  $1.7 \times 10^{12} \text{ cm}^{-2}$  可

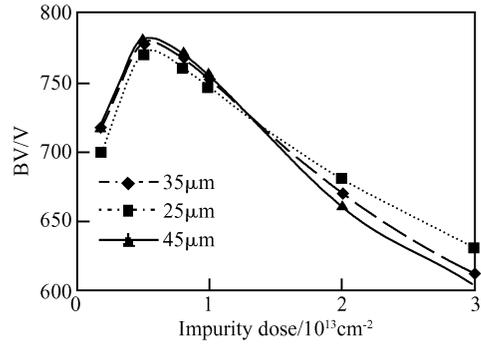


图 5 不同 Pwell2 宽度,耐压 BV 与 Pwell2 注入剂量的关系  
Fig.5 Relationship between BV and Pwell2's impurity dose at different widths of Pwell2

以得到更高的击穿电压.

同时,对影响器件的推进时间、推结时间、注入能量等进行分析设计,最终得到 SENSFET 器件的耐压优化结构参数为: p 型 (100),  $50 \Omega \cdot \text{cm}$  衬底; 器件长度为  $160 \mu\text{m}$ ; Nwell 注入剂量  $1.7 \times 10^{12} \text{ cm}^{-2}$ 、能量 60keV、推进时间 720min、温度  $1200^\circ\text{C}$ ; Pwell2 注入剂量  $1.0 \times 10^{13} \text{ cm}^{-2}$ 、能量 40keV、推进时间 90min、温度  $900^\circ\text{C}$ , Pwell2 的始点为 65  $\mu\text{m}$  处,宽度 35  $\mu\text{m}$ . 该结构参数可以满足 (3)~(6) 式的要求.

SENSFET 的 JFET 设计,由于采用了相同的 Nwell 实现了 JFET 沟道. 因此,优化的重点主要包括 Pbase 的始点位置、长度和浓度等,分析得到结构参数为: Pbase 注入剂量  $2.0 \times 10^{13} \text{ cm}^{-2}$ 、能量 60keV、推进时间 90min、温度  $1050^\circ\text{C}$ .

结合以上的耐压和 JFET 分析,得到 SENSFET 器件的漏端为高压 (BV) 和较低电压 (10V) 下的特性曲线和耗尽区分别如图 7 和图 8 所示. 从图 7 中可知,所设计的 SENSFET 器件的耐压为 730V, JFET 器件的线形区电阻为  $7.2 \times 10^5 \Omega \cdot \mu\text{m}$ . 实际应用中,SENSFET 和高压功率 DMOS 器件通过某

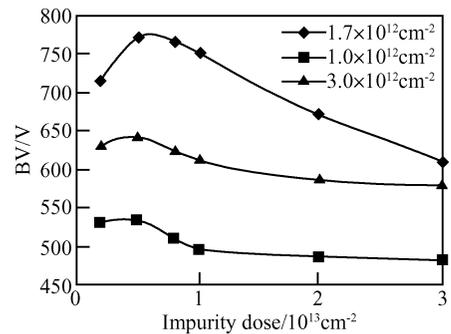


图 6 不同 Nwell 注入剂量下,器件耐压随 Pwell2 注入剂量的变化

Fig.6 Relationship between BV and Pwell2's impurity dose at different impurity doses of Nwell

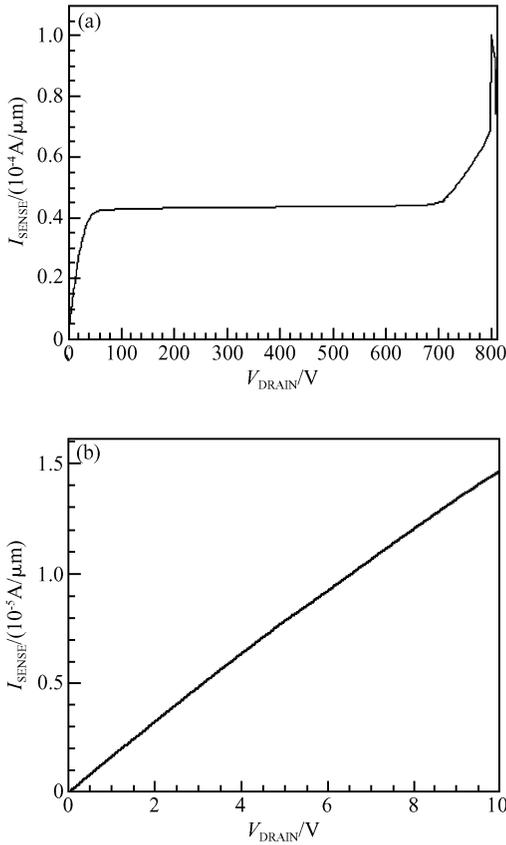


图 7 SENSFET 的特性曲线 (a)BV;(b)10V  
Fig.7 Characteristics of SENSFET (a)BV;(b)10V

种方式连接在一起,当功率 DMOS 关断时,DMOS 和 SENSFET 同时承受高电压,在功率 DMOS 开启时,漏端电压就为 DMOS 器件的导通电阻和导通电流的乘积.在 SENSFET 承受高电压的时候,器件的耗尽区宽度如图 8(a)所示,可知器件处于饱和区,有极大的饱和区电阻,JFET 沟道的夹断点在 Pwell2 处.因此,忽略 Pbase/Nwell 边缘效应的假设成立.漏端加上低电压的情况下,耗尽区宽度如图 8(b)所示,器件处于线性区,有小的线性区电阻,Pbase/Nwell 边缘效应对器件的导通电阻影响很小.因此,可以忽略边缘效应对器件参数的影响.

按照上述条件,SENSFET 的宽度设计为  $75\mu\text{m}$ ,在中电集团某研究所进行流片实验,得到高压 SENSFET 器件的击穿电压如图 9 所示,SENSFET 的  $I-V$  特性如图 10 所示.从图 9 中可知,SensorFET 的击穿电压为 700V,SENSFET 的饱和电流值约为 2.3mA,SENSFET 的线性区电阻测试值为  $10\text{k}\Omega$ .以上参数和分析设计值吻合得较好,偏差主要由工艺的不准确性造成.

基于智能高压 SENSFET 设计应用的要求,同时解决 SPIC 中的信号检测和自供电功能.实际应用中,功率 DMOS 和 SENSFET 的漏端连接在一

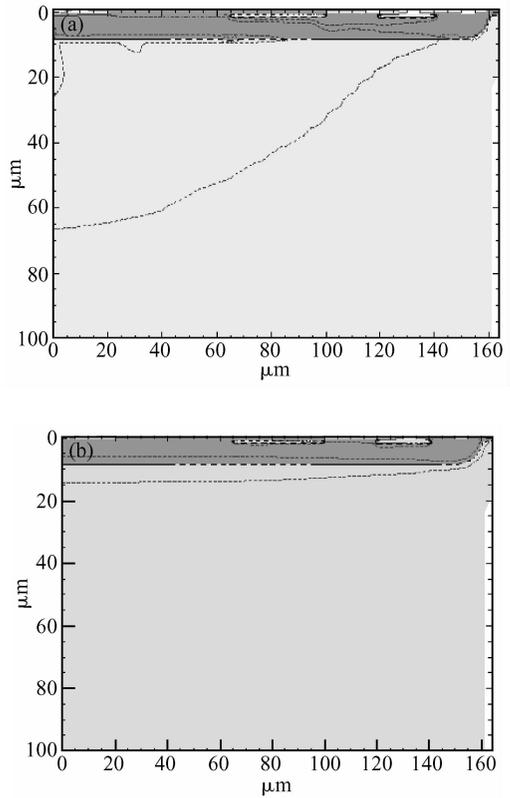


图 8 SENSFET 器件不同电压下的耗尽区 (a)BV;(b)10V  
Fig.8 Depletion width of SENSFET at different voltages (a)BV;(b)10V

起.当 DMOS 开启时,DMOS 与 SENSFET 器件的漏端电压都为低,此时 SENSFET 工作在线性区,以一定比例采样功率 DMOS 的导通电流到低压电路中,与反馈值或者设定值进行比较,控制 SPIC 的输出.该方法可以避免高压 DMOS 器件上直接采样对 DMOS 器件的耐压和电流分配不均,不能准确反映输入输出信号等缺点,并且可以避免高压互连线的

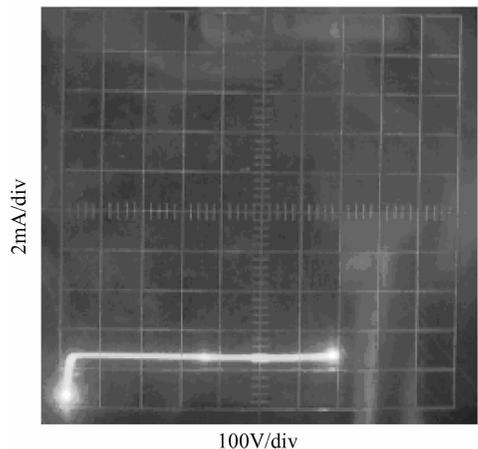
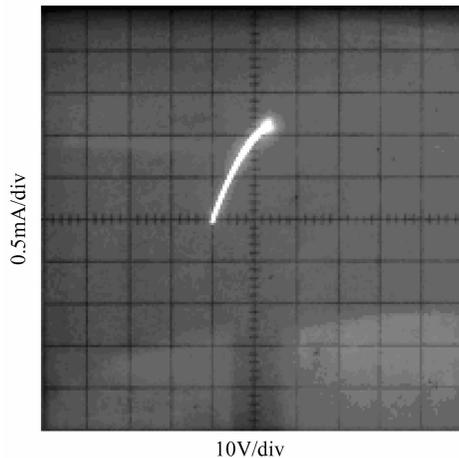


图 9 SENSFET 器件的击穿电压  
Fig.9 Breakdown voltage of SENSFET

图 10 SENSFET 器件的  $I$ - $V$  特性Fig.10  $I$ - $V$  characteristic of SENSFET

问题.当 DMOS 关断时,DMOS 和 SENSFET 承受高电压.SENSFET 工作在饱和区,其内阻很大,可认为是一恒流源,对芯片内部电路提供电流和对旁路电容提供充电电流(通过对旁路电容的充电为 SPIC 的内部电路提供稳定的低压电源).该供电方式只需在外部接一小电容(100nF),避免了以往供电方法需额外增加较多外部元件的缺点.SPIC 的具体采样电流和充电电流的设计都可以在版图设计时,根据设计 SENSFET 宽度来得到.

#### 4 小结

本文设计了一种智能高压 SENSFET 器件,采用 Double RESURF 技术来提高 SENSFET 器件的耐压,文中对 SENSFET 的耐压及 JFET 进行了优化设计,得到耐压 730V,JFET 线性区电阻  $7.2 \times 10^5 \Omega \cdot \mu\text{m}$  的高压 SENSFET 器件.流片结果表明,

器件宽度为  $75\mu\text{m}$  情况下,SENSFET 的击穿电压为 700V,线性区电阻为  $10\text{k}\Omega$ .实验值和设计值吻合得好,并同时智能高压 SENSFET 器件在 SPIC 中的信号检测和自供电功能进行了介绍.

#### 参考文献

- [1] Pressman A I. Switching power supply design. New York: McGraw-Hill, Professional Publishing, 1998
- [2] Lokhandwala A M, Mazumder S K. Discrete validation of a smart power ASIC (SPIC) for a distributed power system. IEEE Power Electronics Specialists Conference, 2004, 35 (5):3721
- [3] Chen Xingbi, Fan Xuefeng. Optimum VLD makes SPIC better and cheaper. IEEE 2001 International Conference on Solid-State and Integrated-Circuit Technology Proceedings (IC-SICT), 2001, 1:104
- [4] Terashima T, Yoshizawa M, Fukunaga M, et al. Structure of 600V IC and a new voltage sensing device. 5th International Symposium on Power Semiconductor Devices & ICs, 1993: 224
- [5] Han Lei, Ye Xingning, Chen Xingbi. A novel high-voltage detector integrated into SPIC by using FFLR. Chinese Journal of Semiconductors, 2001, 22(10):1250
- [6] Xiao Y, Cao J, Chen J D, et al. Current sensing trench power MOSFET for automotive applications. Applied Power Electronics Conference and Exposition, 2005, 2:766
- [7] Givelin P, Bafleur M, Tournier E. Application of a CMOS current mode approach to on-chip current sensing in smart power circuits. IEEE Proceedings of Circuits Devices and System, 1995, 142(6):357
- [8] Petruzzello J, Letavic T, Dufort B. SOI high voltage power FET with an internal voltage (current) sensing terminal. International Symposium on Power Semiconductor Devices & ICs, 2003:224
- [9] Liang Y C, Samudra G S, Hor V S S. Design of integrated current sensor for lateral IGBT power devices. IEEE Trans Electron Devices, 1998, 45(7):1614
- [10] TSUPREM4 User Manual, Avant! Corporation, 1998
- [11] MEDICI User Manual, Avant! Corporation, 1998

## Analysis and Performance of a Smart, High-Voltage SENSFET\*

Li Zehong<sup>1,2,†</sup>, Wang Xiaosong<sup>1</sup>, Wang Yiming<sup>1</sup>, Yi Kun<sup>1</sup>, Zhang Bo<sup>1</sup>, and Li Zhaoji<sup>1</sup>

(1 *State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China*)

(2 *No. 24 Research Institute of CETC, Chongqing 400060, China*)

**Abstract:** Based on the JFET theory, a smart, high-voltage SENSFET that adopts double RESURF is designed. The implant dose, the start point, the length of the lower electric field layer Pwell2, and the implant dose of Nwell are optimized, and thus we obtain a SENSFET with a breakdown voltage of 730V and a linear resistance of  $7.2 \times 10^5 \Omega \cdot \mu\text{m}$ . The experimental results show that the breakdown voltage is 700V and the linear resistance is 10k $\Omega$  when the width of the SENSFET is 75 $\mu\text{m}$ . The experimental results agree with the numerical results. The SENSFET is used as the detector and self-supply of a smart power integrated circuit.

**Key words:** smart power integrated circuit; high voltage SENSFET; double RESURF; JFET

**PACC:** 7340L

**Article ID:** 0253-4177(2007)12-1961-06

---

\* Project supported by the National Natural Science Foundation of China (No. 60436030) and the Foundational Research Program for National Defense (No. A1120060490)

† Corresponding author. Email: lizh@uestc.edu.cn

Received 4 June 2007, revised manuscript received 20 June 2007

©2007 Chinese Institute of Electronics