

双沟道实空间电子转移晶体管的设计、研制 和特性测量*

郭维廉^{1,2} 张世林¹ 梁惠来¹ 齐海涛¹ 毛陆虹¹ 牛萍娟² 于欣^{2,†}
王伟² 王文新³ 陈宏³ 周均铭³

(1 天津大学电子信息工程学院, 天津 300072)

(2 天津工业大学信息与通信工程学院, 天津 300160)

(3 中国科学院物理研究所, 北京 100080)

摘要: 采用双沟道结构和 GaAs 衬底, 成功设计研制了双沟道实空间电子转移晶体管. 它具有 RSTT 典型的“ Δ ”形负阻 I - V 特性和较宽的平坦谷值区. 通过栅压可改变各种负阻参数值, 当栅压从 0.6V 增至 1.0V 时, PVCR 的变化范围是 2.1~10.6, 峰值电流跨导约为 3×10^{-4} S. 负阻参数 V_p , V_v 和开始产生负阻的栅极阈值电压都小于国际上同类器件的报道值, 因此更适合低功耗的运用.

关键词: RSTT; 高速化合物三端功能器件; 三端负阻器件; 热电子器件; 电子转移器件

EEACC: 2550X; 2560

PACC: 7280E

中图分类号: TN386.3

文献标识码: A

文章编号: 0253-4177(2008)01-0136-04

1 引言

实空间转移晶体管(real space transfer transistor, RSTT)^[1], 也称负阻场效应晶体管(negative-resistance field-effect transistor, NERFET)^[2], 还称为电荷注入晶体管(charge injection transistor, CHINT)^[2], 它是利用沟道电场对电子加速形成的热电子越过势垒层转移到第二导电层, 使漏极电流发生分流效应而在源漏电极之间产生微分负电阻的一种场效应晶体管. “real space”的定义是针对根氏效应在动量空间(momentum space)中从高迁移率的能谷转移到低迁移率的能谷, 从而产生负阻效应而言的. 在此实空间的含义就是指“导电沟道”或“导电层”. 最原始的 RSTT 其导电沟道包括栅极下的源漏沟道和靠近衬底的第二导电层沟道^[1].

近些年来又进一步将异质结形成的“U”形势阱和通过 δ 掺杂形成的“三角”形势阱作为电子转移的实空间导电沟道, 构成了新型的 RSTT 器件, 进一步发展为双沟道^[3]和三沟道的结构^[4]. 这种新型的 RSTT 具有两个特点: (1) 同时兼有两种产生微分负阻的机制, 即在迁移率不同的沟道间电子转移产生的负阻和因电子转移到栅极出现分流效应产生的负阻; (2) 其器件结构和工艺与常规的高电子迁移率晶体管(HEMT)兼容. 1996 年李桂荣等人^[5]首先在国内报道了有关 RSTT(当时称为电荷注入晶体管)研制的情况, 可惜当时未能做出具有负阻特性的器件. 本文利用 GaAs 衬底, 选择了双沟道结构, 设计研制出具有典型 RSTT 特征的“ Δ ”形负阻

I - V 特性和宽而平坦的谷值区特性. 在改变栅压($V_{GS} = 0.6V \sim 1.10V$)的情况下, PVCR 在 2.1~10.6 范围内变化, $(\Delta I_p / \Delta V_{GS})$ 为 3×10^{-4} S, 而且 V_p , V_v 和 V_{GST} 均小于国际上报道的数值, 故该器件适宜应用在低功耗领域.

2 双沟道 RSTT 设计与研制

2.1 RSTT 材料结构与器件结构设计

2.1.1 材料结构设计

RSTT 材料结构如图 1 所示, 为便于将研制结果与文献[3]的结果进行对比, 故 RSTT 的材料结构设计参照文献[3]给出的材料结构参数进行. 考虑到突出 In-GaAs 和 δ 掺杂两个沟道间的电子转移, d_2 采用 50nm 的材料结构. 为了尽量减小衬底中的杂质、缺陷上扩的影响, 加大了缓冲层的厚度.

2.1.2 器件结构设计

RSTT 器件结构示意图如图 1 所示. 其中源漏电极间的距离为 $5\mu m$, 栅长为 $1.5\mu m$, 栅宽为 $30\mu m$. 源栅、漏栅之间的距离皆为 $1.75\mu m$.

2.2 RSTT 的制作工艺

RSTT 工艺流程与常规 HEMT 工艺流程相类似. 其中源漏电极合金工艺的要求不仅是金属与源漏区具有低阻值的欧姆接触, 而且要求 AuGeNi 中的 Ge 向下有一定的扩散, 达到图 1 所示的 InGaAs 势阱与 GaAs

* 国家重点基础研究发展规划资助项目(批准号: 2002CB311905)

† 通信作者. Email: fisher8181382114@163.com

2007-06-17 收到, 2007-07-30 定稿

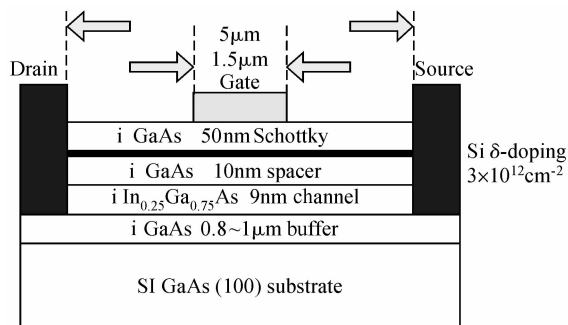


图 1 双沟道 RSTT 材料和器件结构

Fig.1 Schematic diagram of dual channel RSTT materials and device structure

缓冲层界面,使 δ 掺杂沟道与 InGaAs 沟道都能和源漏电极相接触.研制出的芯片照片如图 2 所示.

3 双沟道 RSTT 特性测量

所研制出的双沟道 RSTT I - V 特性如图 3 所示.其中图 3(a)示出低电压 RSTT I - V 特性,其峰值电压(负阻特性曲线上峰值点对应的电压) V_P 、谷值电压(谷值点对应的电压) V_V 均小于 1.0V,起始电压 V_T ($I_{DS}=0$ 对应的源漏电压)小于 0.1V.图 3(b)示出高电压 RSTT I - V 特性,其 V_P 和 V_V 一般大于 1.0V.由图 3(a)和 (b) I - V 特性所提取的器件直流负阻参数分别绘制出图 4 和图 5 RSTT 负阻参数随 V_{GS} 变化的特性曲线.

3.1 低电压 RSTT

从图 3(a)和图 4 可以看出:

(1)器件的负阻 I - V 特性具有常规 RSTT 典型的“ Δ ”形负阻特性和宽广平坦的谷值区特征.而且栅极电压 V_{GS} 对此负阻特性有很强的调制作用.表征栅压对 I_P 调制能力的参数-峰值电流跨导 $\Delta I_P / \Delta V_{GS} = (1 \sim 3) \times 10^{-4} S$.而文献[3]并未给出栅压对 I_P 调制能力的有关参数.

(2)器件的 V_P 和 V_V 的值在较大的 V_{GS} 下也未能超过 1V. V_T 未超过 0.1V.比文献[3]报道的小一个数量级.

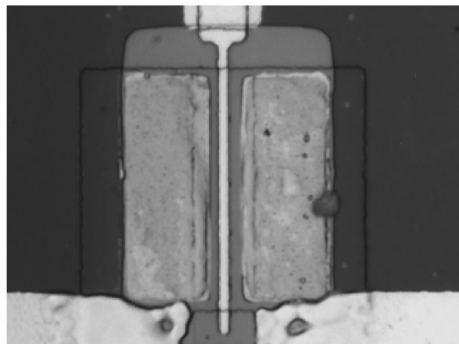
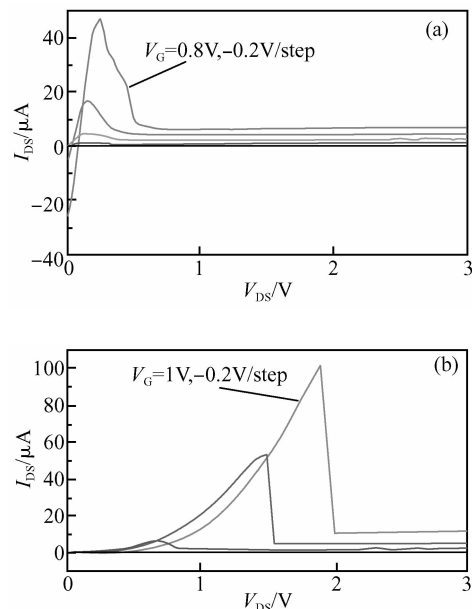


图 2 制作完成的双沟道 RSTT 器件照片

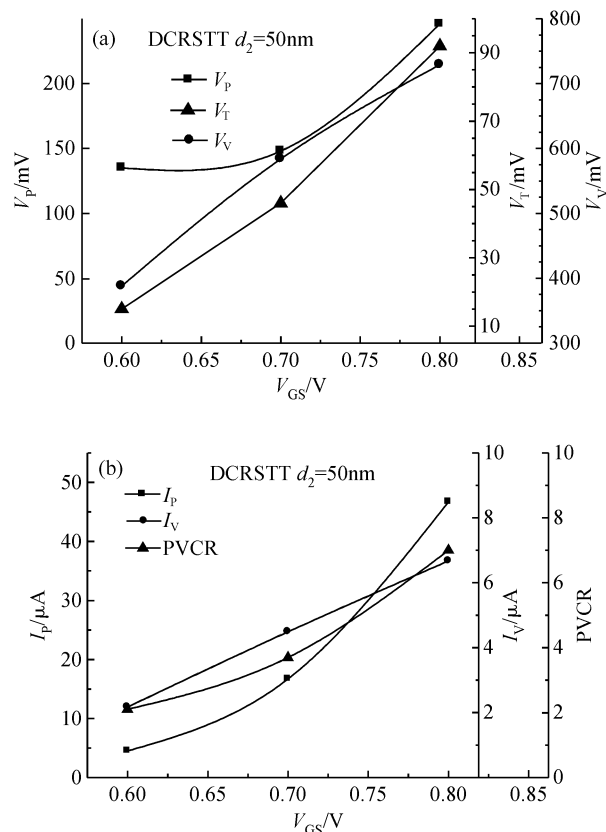
Fig.2 Photograph of fabricated dual channel RSTT

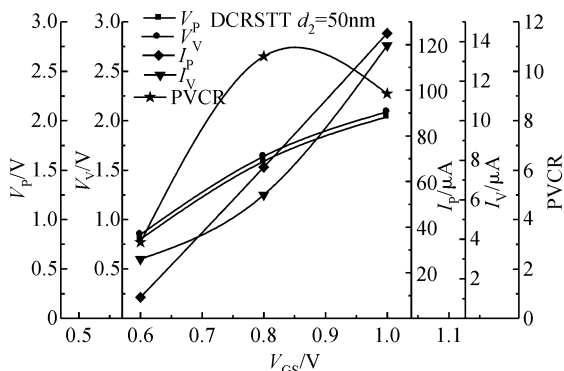
图 3 双沟道 RSTT I - V 特性 (a)低电压 RSTT;(b)高电压 RSTTFig.3 Drain-source I - V characteristics of dual channel RSTT (a) RSTT with low V_P ; (b) RSTT with high V_P

(3)在 V_{GS} 较小的范围内,随着 V_{GS} 的增加, V_P , V_V , I_P , I_V 和 PVCR 等参数都增加.

3.2 高电压 RSTT

从图 3(b)和图 5 可以看出:

图 4 低电压 RSTT (a) V_P , V_V , V_T - V_{GS} ; (b) I_P , I_V , PVCR- V_{GS} Fig.4 NDR parameters of RSTT with low V_P (a) V_P , V_V , V_T versus V_{GS} ; (b) I_P , I_V , PVCR versus V_{GS}

图 5 高电压 RSTT 的 V_P , V_V , I_P , I_V , PVCR- V_{GS} 特性Fig.5 V_P , V_V , I_P , I_V , PVCR versus V_{GS} of RSTT with high V_P

(1) 高电压 RSTT 负阻 I - V 特性的形状与低电压 RSTT 基本相似, 然而其 V_P , V_V 等参数与文献[3]所报道的同数量级.

(2) 与低电压 RSTT 特性相比, 存在以下两点区别: (i) 负阻区较陡直, $V_V - V_P$ 值很小, 故图 5 中 V_P - V_{GS} 和 V_V - V_{GS} 两条曲线很近而且比较平行. (ii) PVCR 随 V_{GS} 的变化规律为先增长然后持平或略有下降. 其他参数 I_P , I_V , V_P 和 V_V 仍随着 V_{GS} 增加而增加.

4 讨论

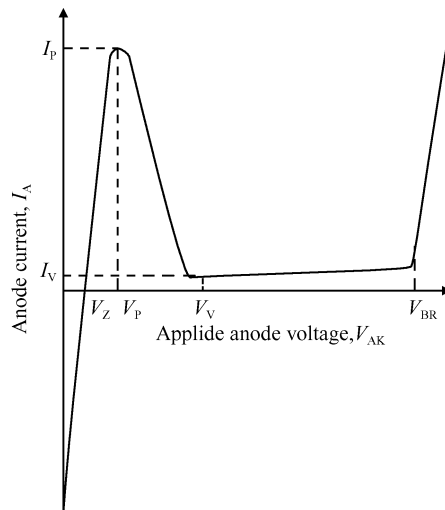
4.1 低电压 RSTT 与高电压 RSTT

4.1.1 低电压 RSTT

从图 3(a) 和图 4 可以看出, 低电压 RSTT 的 V_P , V_V 和 V_T 都在 1V 以内, 相应的电流在 $50\mu A$ 以内, 比文献[3]报道的相应参数都小. 该类器件一个显著的特点是在低 V_{DS} 范围内 (见图 3(a)) I_{DS} 出现负值现象. 这种现象的存在预示着与栅极金 (Au) 和 GaAs 表面接触状况有关. 当接触没有形成典型的 Schottky 势垒, 而形成所谓势垒注入渡越时间 (BARITT) 二极管相似的结构[6]时, 此种栅结构称为电阻栅 (resistive gate) 结构[7]. 文献[7]经详细分析后指出具有电阻栅结构的三端负阻器件在栅电压 (正) 大于源漏电压 V_{DS} 时, 从栅极向漏极注入的空穴流大于从源极向漏极注入的电子流时, 总的 I_{DS} 便出现负值. 如图 6 所示, 该图中 I_A , I_P 和 I_V 分别表示阳极电流、峰值电流和谷值电流, 而 V_Z , V_P , V_V 和 V_{BR} 分别表示起始电压、峰值电压、谷值电压和击穿电压. 对比图 3(a) 和图 6 可说明二者属于相似的物理机构.

4.1.2 高电压 RSTT

如图 3(b) 所示 RSTT, 其 V_P 和 V_V 值在 1~2V 之间, 明显地大于图 3(a) 低电压的情况. 产生高电压 RSTT 的原因是当金 (Au) 与 GaAs 形成典型的 Schottky 接触时, 由于势垒较高存在整流效应, 在零电流附近具有很大的等效电阻故不出现负电流现象. 这就形成高电压 RSTT (图 3(b)), V_{DS} 近于零时的 I - V 特性.

图 6 电阻栅三端负阻器件 I - V 特性Fig.6 I - V characteristics of three terminals NDR device with a resistive gate

总之, 尽管 RSTT 与文献[7]所用的结构不完全相同, 但其主要机理是相同的. 因此我们可以认为低电压 RSTT 来源于其栅极为电阻栅结构, 而高电压 RSTT 来源于 Schottky 势垒栅结构.

4.2 RSTT 中栅压 V_{GS} 对负阻 I - V 特性的调控作用

如图 3(a) 和 (b) 所示, 改变栅压 V_{GS} 可以显著地调制 RSTT 的负阻 I - V 特性. 栅压对 ΔI_P 的调控能力 $\Delta I_P / \Delta V_{GS} \approx 3.0 \times 10^{-4} S$, 这将增加电路设计的灵活性. 实验证明在低和高 V_{GS} 区, $\Delta I_P / \Delta V_{GS}$ 均较小, 而 V_{GS} 值居中时 $\Delta I_P / \Delta V_{GS}$ 值较大. 由于 $\Delta I_P / \Delta V_{GS}$ 正比于单位 V_{GS} 变化所对应的两个势阱子能带相互扫过的数目. 当 V_{GS} 在起始和最终阶段时, 能级相互扫过的数目较少, 从而 $\Delta I_P / \Delta V_{GS}$ 较小. 而当 V_{GS} 为中段时, 子能带互相扫过的能级数较大, 从而 $\Delta I_P / \Delta V_{GS}$ 较大.

4.3 本工作与文献[3] RSTT 参数的比较

表 1 给出本工作与文献[3]同类型 RSTT (即 $d_2 = 50nm$) 负阻参数的比较. 表中 V_{GST} 表示栅极产生负阻的阈值电压, 即能产生负阻特性的最低 V_{GS} . 从表 1 明显可看出: (1) 本工作中的低电压 RSTT, 其 V_P , I_P 和 V_{GST} 均小于文献[3], 其中 I_P 比文献[3]小三个数量级. I_P 小于文献[3]的原因之一是我们设计的 RSTT 其栅极宽长比 $W/L = 30\mu m / 1.5\mu m$, 而文献[3]的 $W/L = 100\mu m / 1.5\mu m$. 除了栅极 W/L 小以外, 另一个可能的原因是低电压 RSTT 来自电阻栅结构. 总之, V_P , I_P 和 V_{GST} 都较小, 说明本工作研制出的 RSTT 更适合低功耗

表 1 本工作与文献[3] RSTT 参数的比较

Table 1 Comparison of NDR parameters of RSTT between our work and Ref. [3]

	V_P/V	I_P/mA	PVCR	V_{GST}/V	$(\Delta I_P / \Delta V_{GS})/S$
文献[3]	1.4	40	8	3	数据不够
本工作	0.246	0.0467	7~10	0.4	3.0×10^{-4}

工作。(2)本工作得到的 $\Delta I_P/\Delta V_{GS}$ 为 0.3mS. 表示栅压对峰值电流具有较大的调制能力. 而文献[3]因未能得到 V_{GS} 不同两条以上的 $I-V$ 特性而不能计算出该参数.

4.4 对目前本工作双沟道 RSTT 产生负阻物理机制的初步分析

前面在讨论双沟道 RSTT 工作原理时曾提到产生负阻特性的两种物理机制, 即(1)InGaAs “U”形沟道与 δ 掺杂三角形沟道间电子转移, (2)从 δ 掺杂三角形沟道到栅电极间的电子转移. 作者认为图 3(a)和(b)所显示出的负阻 $I-V$ 特性主要产生机制为第一种, 其理由如下.

(1)本工作设计的 δ 掺杂沟道与栅极间距 $d_2 = 50\text{nm}$, 即 δ 掺杂势阱距栅极较远, 二者之间的三角形势垒只有当 V_{GS} 很大时才能有效地降低其高度. 因此从 δ 掺杂势阱到栅极的电子转移难以发生.

(2)Wu 等人^[3]曾经分析过如果负阻是由于“U”形势阱与 δ 掺杂势阱间电子转移产生的, 则其电流峰谷比 PVCR 值约等于两沟道中电子迁移率之比 ($\mu_{\text{InGaAs}}/\mu_{\delta} = 12000/1700 \approx 8$). 从表 1 可见文献[3]中的两沟道间电子转移型 RSTT 的 PVCR 为 8, 本项研究 PVCR 为 7~10. 且发现当 V_{GS} 增大时 PVCR 也小于 11, 而对应于 δ 掺杂势阱与栅极间电子转移产生的负阻其 PVCR 值远大于此值.

5 结论

本文已成功设计研制 GaAs 衬底双沟道 RSTT 器件. 该器件具有 RSTT 典型的“ Λ ”形负阻特性和宽广平坦的谷值区特性. 当栅压 V_{GS} 在 0.6V~1.0V 范围内变化时, 其电流峰谷比 PVCR 在 2.1~10.6 范围内变动. 峰值电流跨导 ($\Delta I_P/\Delta V_{GS}$) 约为 0.3mS. 测得的负阻参数 V_P , V_V , V_T 和 V_{GST} 值均小于同类器件 ($d_2 = 50\text{nm}$ 的双沟道 RSTT) 国际上所报道的数值, 因此适用于低

功耗的领域. 经初步分析, 此器件产生负阻的主要物理机制是“U”形势阱沟道与 δ 掺杂势阱沟道间的电子转移.

综上所述, RSTT 是一种三端高速负阻型功能器件. 它既可以做成可控的微波、毫米波振荡器, 又可做成逻辑单元或存储器件应用于高速逻辑电路中. 双沟道 RSTT 从器件结构上看与 HEMT 很相似, 故 RSTT 也可以与 HEMT 实现单片集成. RSTT 的 $I-V$ 特性与 RTD/HEMT 串联型 RTT 器件的 $I-V$ 特性非常相似, 故用 RTD/HEMT 串联型 RTT 构成的电路完全可用 RSTT 器件电路代替.

参考文献

- [1] Luryi S, Gossard A K A C, Hendel R H. Charge injection transistor based on real-space hot-electron transfer. IEEE Trans Electron Device, 1984, 31(6): 832
- [2] Grinberg A A, Kastalsky A, Luryi S. Theory of hot-electron injection; CHINT/NERFET devices. IEEE Trans Electron Devices, 1987, 34(2): 409
- [3] Wu C L, Hsu W C. Enhanced resonant tunneling real-space transfer in δ -doping GaAs/InGaAs gated dual-channel transistors grown by MOCVD. IEEE Trans Electron Devices, 1996, 43(2): 207
- [4] Chen Y W, Hsu W C, Shieh H M, et al. High breakdown characteristic δ -doping InGaP/InGaAs/AlGaAs tunneling real space transfer HEMT. IEEE Trans Electron Devices, 2002, 49(2): 221
- [5] Li Guirong, Zheng Houzhi, Li Yuexia, et al. Heterostructure charge injection transistor. Chinese Journal of Semiconductors, 1996, 17(3): 203 (in Chinese) [李桂荣, 郑厚植, 李月霞, 等. 异质结电荷注入晶体管. 半导体学报, 1996, 17(3): 203]
- [6] Sze S M. Physics of semiconductor devices. A Wiley-Interscience Publication, 1985: 613
- [7] Wei H C, Wang Y H, Houn M P. N-shaped negative differential resistance in transistor structure with a resistive gate. IEEE Trans Electron Devices, 1994, 41(8): 1327

Design, Fabrication, and Characterization of Dual Channel Real Space Transfer Transistors *

Guo Weilian^{1,2}, Zhang Shilin¹, Liang Huilai¹, Qi Haitao¹, Mao Luhong¹, Niu Pingjuan², Yu Xin^{2,†}, Wang Wei², Wang Wenxin³, Chen Hong³, and Zhou Junming³

(1 School of Electronic Information Engineering, Tianjin University, Tianjin 300072, China)

(2 School of Information and Communication Engineering, Tianjin Polytechnic University, Tianjin 300160, China)

(3 Institute of Physics, Chinese Academy of Sciences, Beijing 100080, China)

Abstract: By adopting a dual channel structure and a GaAs substrate, a real space transfer transistor is successfully designed and fabricated. It has the standard “ Λ ” shaped negative resistance $I-V$ characteristics as well as the level and smooth valley region of a conventional RSTT. The negative resistance parameters can be varied by changing the gate voltage. For example, the PVCR varies from 2.1 to 10.6 while V_{GS} changes from 0.6 to 1.0V. The transconductance for I_P ($\Delta I_P/\Delta V_{GS}$) is 0.3mS. The parameters V_P and V_V , and the threshold gate voltage for negative resistance characteristics are smaller than the values reported in the literatures. This device is suitable for low dissipation power application.

Key words: RSTT; high speed compound three terminal function device; three terminal negative resistance device; hot electron device; electron transfer device

EEACC: 2550X; 2560 **PACC:** 7280E

Article ID: 0253-4177(2008)01-0136-04

* Project supported by the State Key Development Program for Basic Research of China (No.2002CB311905)

† Corresponding author. Email: fisher8181382114@163.com

Received 17 June 2007, revised manuscript received 30 July 2007