

纳米硅/晶体硅异质结电池的暗 $I-V$ 特性和输运机制*

刘丰珍[†] 崔介东 张群芳 朱美芳 周玉琴

(中国科学院研究生院 物理科学学院, 北京 100049)

摘要: 采用 HWCVD 技术在 p 型 CZ 晶体硅衬底上制备了纳米硅/晶体硅异质结太阳电池, 测量了晶体硅表面在不同氢处理时间下的异质结的暗 $I-V$ 特性和相应的电池性能参数. 室温下的正向暗 $I-V$ 特性采用双二极管模型来拟合, 可将 0~1V 的电压范围区分为 4 个区域: 旁路电阻 (0~0.15V)、非理想二极管 2 (0.15~0.3V)、理想二极管 1 (0.3~0.5V) 和串联电阻 (>0.5V). 拟合结果表明, 适当的氢处理时间 (~30s) 可有效降低非理想二极管的理想因子 n_2 , 即降低界面复合电流, 表明具有好的界面特性. 对于 282~335K 的暗 $I-V$ 温度特性的研究表明, 在 0.15~0.3V 的低电压范围, 暗电流主要由耗尽区的复合电流提供, 0.3~0.5V 电压范围, 对输运起主要作用的是隧穿过程, 该过程可用通过界面陷阱能级的隧穿模型来解释.

关键词: 纳米硅薄膜; 异质结电池; 暗电流-电压特性; 输运机制

PACC: 7340L

中图分类号: O475

文献标识码: A

文章编号: 0253-4177(2008)03-0549-05

1 引言

薄膜硅/晶体硅异质结太阳电池, 结合了薄膜的低温工艺和单晶硅电池的的优点, 具有广阔的应用前景^[1,2]. 对优化电池工艺参数, 提高电池性能, 深入理解异质结电池中的载流子输运过程非常必要. 国际上有对薄膜硅/晶体硅异质结输运特性的实验和理论研究的报道, 提出相应的输运机制和模型. 较一致的认识是, 在较低的电压下耗尽区或界面区的复合过程是产生暗电流的主要机制. 但对较高的电压范围的输运机制, 提出了不同的观点: Song 等人^[3]对衬底为 p 型晶体硅、薄膜层为本征非晶或微晶硅的异质结构的暗 $I-V-T$ 特性的研究表明, 在 $0.3V < V < 0.55V$ 的电压范围, 暗电流主要与薄膜中的体缺陷态有关; Hussein 等人^[4]认为 n 型非晶硅 (n-a-Si)/p 型晶体硅 (p-c-Si) 异质结的输运特性, 在 200K 以上可用双二极管模型来拟合, $V > 0.45V$ 时暗电流主要是理想二极管的扩散电流; Baroughi 等人^[5]认为高掺杂的 n 型纳米晶硅 (n^+ -nc-Si)/p-c-Si 异质结也满足双二极管模型, 在较高电压下的电流主要是准中性区的扩散电流; Marsal 等人^[6]认为, 电压较高时, n-a-Si/p-c-Si 异质结的电输运由空间电荷限制电流决定.

本文采用双二极管模型对 HWCVD 技术制备的 n-nc-Si/p-c-Si 电池的暗 $I-V$ 特性进行了分析, 讨论了不同界面氢处理时间对电池性能的影响, 并通过暗 $I-V$ 的温度特性研究了 n-nc-Si/p-c-Si 异质结的输运机制, 提出了输运模型.

2 实验

用于暗 $I-V$ 特性测试的异质结结构为: Al 电极/

ITO/n nc-Si : H/i nc-Si : H/p c-Si/Al 电极, n nc-Si/p c-Si 异质结电池的结构为: Al 栅极/ITO/n nc-Si : H/i nc-Si : H/p c-Si/Al 电极. 其中, 衬底是电阻率为 $1\Omega \cdot \text{cm}$, 厚度为 $350\mu\text{m}$ 的 p 型 CZ 晶体硅, 发射极是厚度约为 12nm 的 n 型纳米硅薄膜, 在 p 型晶体硅衬底和 n 型发射极之间有一层 5nm 厚的本征 nc-Si : H 缓冲层. 采用标准的 RCA 清洗过程清洗晶体硅衬底, 并用 2% 的 HF 溶液处理以去除表面氧化层. 薄膜层采用 HWCVD 技术制备, 衬底温度为 250°C , 钼丝温度约为 1800°C , 薄膜沉积前用 HWCVD 过程中产生的原子氢处理晶体硅表面 0~300s, 本征缓冲层制备时的氢稀释度为 95%~97%, n-nc-Si : H 发射层制备时的氢稀释度固定在 90%, 掺杂浓度为 1.5%. ITO 和 Al 电极 (栅极), 采用热蒸发技术制备. 在 282~335K 的温度范围内测量了正反向暗 $I-V$ 特性. 电池的光 $I-V$ 特性在 AM1.5, $100\text{mW}/\text{cm}^2$ 太阳模拟器照射下测得.

3 结果与讨论

3.1 双二极管模型

为了研究输运机制, 通常采用双二极管模型等效电路来描述 pn 结电池^[4], 我们也用该模型来描述异质结电池, 如图 1 所示. 二极管 1 (或理想二极管) 描述电池中的扩散过程, 二极管 2 (或非理想二极管) 代表各种耗尽区的复合输运机制. 根据双二极管模型等效电路, 电池的电流方程可表示为:

$$I(V) = I_{01} \left[\exp \frac{q(V - IR_s)}{n_1 kT} - 1 \right] + I_{02} \left[\exp \frac{q(V - IR_s)}{n_2 kT} - 1 \right] + \frac{V - IR_s}{R_{sh}} + I_L \quad (1)$$

* 国家重点基础研究发展规划 (批准号: G2000028208, 2006CB202601) 和国家高技术研究发展计划 (批准号: 2006AA05Z408) 资助项目

[†] 通信作者. Email: liufz@gucas.ac.cn

2007-06-22 收到, 2007-10-31 定稿

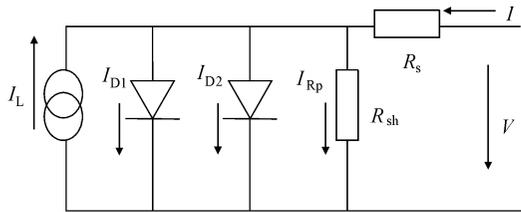


图 1 双二极管模型等效电路

Fig. 1 Equivalent circuit for the two-diode model

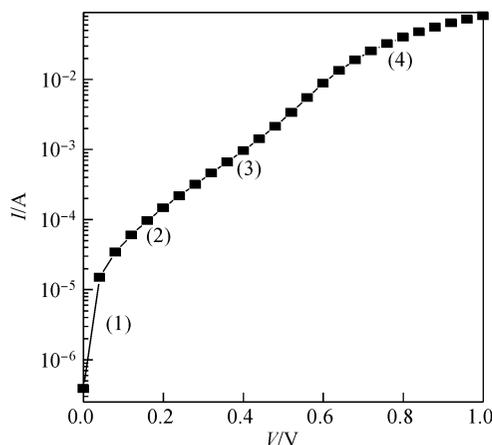
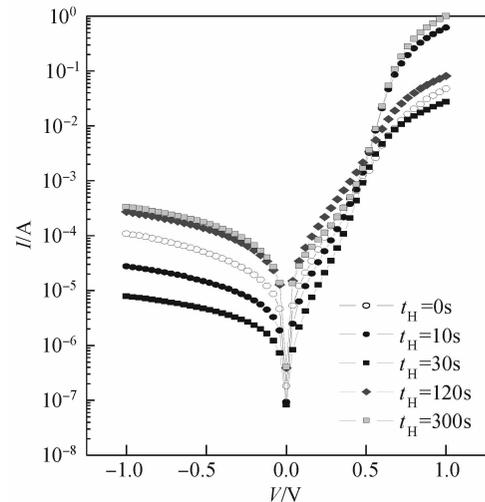
其中 I_{01} 和 I_{02} 分别为二极管 1 和 2 的饱和电流; n_1 和 n_2 是二极管 1 和 2 的理想因子; I_L 为光电流; q 为电子电荷; T 为温度; R_s 和 R_{sh} 分别为串联和旁路电阻.

根据(1)式, 异质结电池的暗 $I-V$ 曲线可以划分为 4 个区域, 如图 2 所示: (1) $V < 0.15V$ 的小电压下, 暗电流主要由旁路效应决定; (2) $0.15V < V < 0.3V$ 范围, 空间电荷区内 (或界面附近) 的缺陷态造成的复合电流 (即非理想二极管 2) 是暗电流的主要成分; (3) $0.3V < V < 0.5V$ 范围, 通常认为是常规的扩散电流或中性区复合电流 (即理想二极管 1) 对暗电流起主导作用; (4) 当 $V > 0.5V$ 时, 输运特性受串联电阻影响较大.

3.2 不同晶体硅表面氢处理时间下的室温暗 $I-V$ 特性

图 3 为在 298K 下测量得到的不同氢处理时间情况下的异质结电池的暗 $I-V$ 特性. 由图可以看出, 在 $0 \sim 1V$ 电压范围, 正向 $\lg I-V$ 曲线表现为多个斜率段, 表明不同的电压范围对应于不同的输运机制. 氢处理时间对电流的影响在不同的电压范围表现出不同的规律, 在 $V < 0.5V$ 时, 随着氢处理时间从 0 增加到 30s, 暗电流逐渐下降, 而当氢处理时间继续增加时, 暗电流反而上升; 当 $V > 0.5V$ 时, 10 和 300s 氢处理时间的暗电流远大于其他的样品.

根据双二极管模型的方程(1), 对图 3 中的各曲线进行了拟合. 拟合过程中首先考虑高电压范围的串联电阻, 并在其他电压范围内扣除, 因此我们根据电压从高到低 ($1V \rightarrow 0V$) 的顺序进行分析. 首先看 $V > 0.5V$ 的电压范围, 这时暗电流主要由远离耗尽区的准中性区和

图 2 具有不同区域的典型暗 $I-V$ 特性曲线Fig. 2 Dark $I-V$ curve with the different regions图 3 不同氢处理时间下纳米硅/晶体硅异质结的暗 $I-V$ 特性Fig. 3 Dark $I-V$ curves for hetero-junctions with various atomic hydrogen treatment times

电极接触等串联电阻决定. 由图 3 可以看到, 表面氢处理时间 10 和 300s 的两个样品的暗电流比其他 3 个样品大很多, 表明它们的串联电阻比较小. 表 1 中的拟合结果给出这两个样品的 $R_s < 2\Omega$, 小于其他样品. $0.3V < V < 0.5V$ 的电压范围, 从该电压范围可拟合得到理想二极管 1 的理想因子 n_1 和饱和电流 I_{01} , 如表 1 所示. 理论上从同质结的扩散电流得到的理想因子 $n_1 = 1$, 但从表 1 中的数据可看出, 对于不同的氢处理时间, n_1 都大于 2, 远远偏离理想情况, 这可能是由于较大的串联电阻 (大致几十欧姆) 抑制了 $\lg I-V$ 曲线斜率的增加, 造成 n_1 偏大, 也可能还需要考虑其他的输运机制, 对此, 我们通过暗 $I-V$ 的温度特性来进一步分析. 从 $0.15V < V < 0.3V$ 的电压范围, 拟合得到非理想二极管 2 的理想因子 n_2 和饱和电流 I_{02} , 如表 1 所示. 随着界面氢处理时间 t 从 0 增加到 30s, 理想因子 n_2 从 3.26 降低到 2.85, 当 t 继续增加时, n_2 反而增加, $t = 300s$ 时达到 4.43. n_2 的数值与理论上的 $n_2 = 2$ 有比较大的偏差, 这可能是由于理论上只考虑了缺陷态位于耗尽区的禁带中央, 并没有考虑表面和其他界面复合的影响, 与实际情况有出入. n_2 在 $t = 30s$ 时最小, 表明 30s 是优化的氢处理时间, 而过长的氢处理刻蚀作用将引起界面损伤, 反而使界面缺陷增加, 这与我们采用 $C-V$ 测试得到的结果一致^[7], 通过 $C-V$ 测试估算得到 $t = 30s$ 时具

表 1 根据二极管模型得到的不同氢处理时间条件下的 $n_1, n_2, I_{01}, I_{02}, R_s$ 和 R_{sh} 参数

Table 1 Simulation parameters according to the two-diode model with various hydrogen treatment time

t/s	$V > 0.5V$	$0.3V < V < 0.5V$	$0.15V < V < 0.3V$	$V < 0.15V$		
	R_s/Ω	n_1	I_{01}/A	n_2	I_{02}/A	$R_{sh}/k\Omega$
0	20.46	3.82	7.92×10^{-6}	3.26	5.14×10^{-6}	8.25
10	1.66	2.49	7.67×10^{-7}	3.24	2.92×10^{-6}	17.58
30	37.34	2.27	2.33×10^{-7}	2.85	8.09×10^{-7}	53.75
120	12.41	3.69	1.44×10^{-5}	3.63	1.99×10^{-5}	2.77
300	0.92	2.55	1.2×10^{-6}	4.43	1.38×10^{-5}	3.08

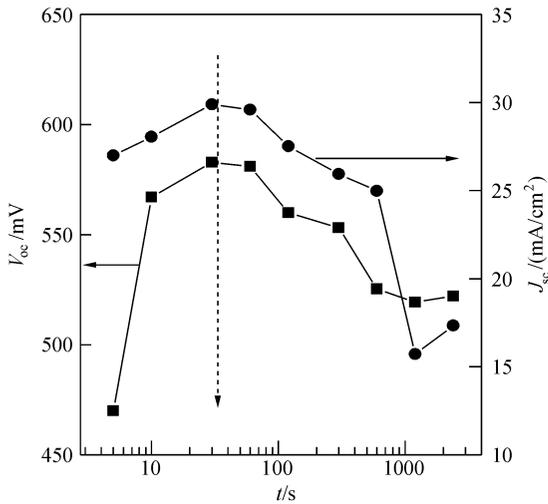


图 4 不同氢处理时间下纳米硅/晶体硅异质结电池的开路电压和短路电流

Fig.4 V_{oc} and J_{sc} for solar cells with various atomic hydrogen treatment times

有最低的异质结界面缺陷态体密度为 $2.8 \times 10^{16} \text{ cm}^{-3}$. 最后,从 $V < 0.15 \text{ V}$ 的小电压范围,我们可以得到旁路电阻 R_{sh} ,这时暗电流主要与表面漏电等因素有关,从表 1 的拟合结果可以看出, $t = 30 \text{ s}$ 氢处理时间的样品的旁路电阻比较大,表明有较少的表面漏电损失.

反向饱和电流主要受耗尽区(或界面)缺陷态造成的产生-复合过程和表面漏电的影响,是表征开路电压的重要参量.由图 3 可以看出,随着氢处理时间从 0s 增加到 30s,反向电流逐渐下降,而当氢处理时间继续增加时,反向电流反而上升,这与表 1 中给出的饱和电流 I_{01} 和 I_{02} 随氢处理时间的变化具有相同的规律,表明 $t = 30 \text{ s}$ 时降低了界面缺陷态密度,给出好的界面特性,是优化的氢处理时间.这与正向 $0.15 \text{ V} < V < 0.3 \text{ V}$ 电压范围的 n_2 的分析结果一致,在 $t = 30 \text{ s}$ 时, n_2 最小.可认为在 $t = 30 \text{ s}$ 条件下,电池应该具有较高的开路电压.图 4 给出了该系列样品相应的电池参数,开路电压和短路电流在 $t = 30 \text{ s}$ 时达到最大,表明在 $t = 30 \text{ s}$ 的氢钝化获得了好的界面,降低了界面的复合损失,应证了上述结果.在表 1 中也给出了串联和旁路电阻数据,这对表征电极接触和表面漏电等起了很大作用.

3.3 暗 $I-V$ 温度特性和运输机制

由暗 $I-V$ 温度特性可进一步认识异质结电池运输机制.一般认为在硅异质结中,载流子运输过程主要包括扩散、热发射、复合和隧穿 4 个过程,电流密度 J 和电压之间的关系通常可表示为:

$$J = J_0 \exp(AV) \quad (2)$$

$$J_0 \propto \exp(-E_a/kT) \quad (3)$$

其中 J_0 是饱和电流密度,在不同的电压范围对应于单位面积下(1)式中的 I_{01} 和 I_{02} ; E_a 是激活能;系数 A 的表达式与运输机制有关.对于扩散、热发射和复合过程有:

$$A = q/nkT \quad (4)$$

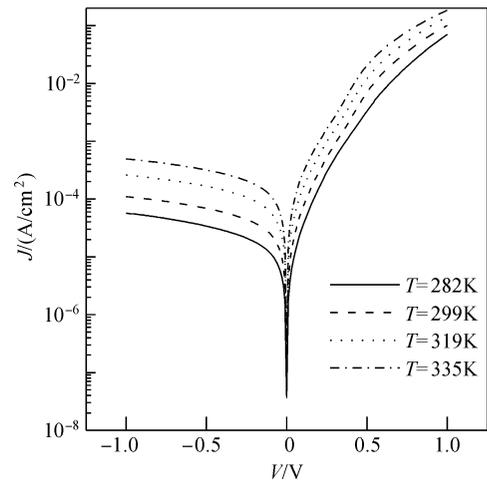


图 5 纳米硅/晶体硅电池的暗 $J-V$ 与温度特性的关系

Fig.5 Dark $I-V-T$ characteristics of nc-Si/c-Si solar cell

n 是理想因子,在不同的电压范围分别对应(1)式中的 n_1 和 n_2 ;对于隧穿运输过程, A 与温度无关.

为了研究纳米硅/晶体硅异质结的运输机制,对于采用 30s 的优化表面氢处理时间下制备的异质结,我们在 282~335K 的温度范围测量了其暗 $I-V$ 温度特性,如图 5 所示.电流密度随着温度的增加而增加,对所有的温度,正向 $J-V$ 曲线仍可粗略地分为 4 个区域, $V < 0.15 \text{ V}$, $0.15 \text{ V} < V < 0.3 \text{ V}$, $0.3 \text{ V} < V < 0.5 \text{ V}$, $V > 0.5 \text{ V}$.根据 3.1 中的讨论, $V < 0.15 \text{ V}$ 和 $V > 0.5 \text{ V}$ 的电压范围中,暗电流主要受串并联电阻的影响,对揭示结的运输机制没有贡献,因此,我们只考虑 $0.15 \text{ V} < V < 0.3 \text{ V}$ 和 $0.3 \text{ V} < V < 0.5 \text{ V}$ 电压范围的运输情况,在这两个电压范围,根据(2)式对不同温度下的 $J-V$ 特性进行拟合,得到系数 A 和饱和电流 J_0 .

对 $0.15 \text{ V} < V < 0.3 \text{ V}$ 电压范围,首先,系数 A 随温度的变化如图 6 中的空心符号所示,可以看出, A 随 $1/kT$ 线性变化.根据(4)式可得到理想因子 n_2 大约为 3.1,略大于表 1 中界面氢处理时间 30s 的样品 ($n_2 = 2.85$),这可能是实验误差造成的.饱和电流 J_{02} 随温度的变化如图 7 中的空心三角所示, $\ln J_{02}$ 随 $1/kT$ 线

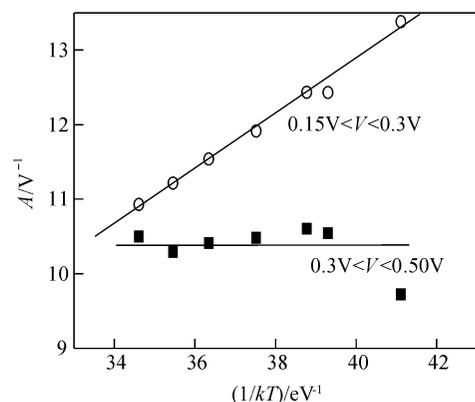


图 6 不同电压范围参数 A 随温度的变化

Fig.6 Temperature dependence of parameter A at different voltage ranges

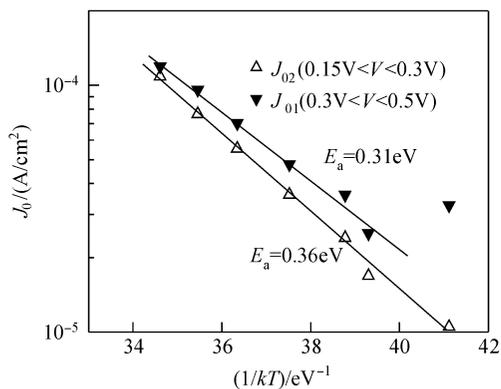


图 7 不同电压范围饱和电流 J_0 随温度的变化

Fig. 7 Temperature dependence of J_0 at different voltage ranges

性变化,根据(3)式可以得到该电压范围的激活能 E_a 为 0.36eV. 根据 3.1 中的分析,该电压范围主要的输运过程是耗尽区(或界面附近)的复合电流,理论上饱和电流的激活能 $E_a = E_g/2$ (E_g 为复合过程发生区域的能隙宽度). 我们得到的 $E_a = 0.36\text{eV}$, 小于带隙宽度的一半,这与 Song 等人^[3]对 c-Si/ $\mu\text{c-Si}$ 异质结的研究结果类似,他们得到 $E_a = 0.38\text{eV}$, 这可能是与缺陷态并非单一能级有关,在薄膜硅中缺陷态可能是有一定的分布. 从反向饱和电流的温度特性得到了相同的激活能(取 $V = -0.18\text{V}$, 得到 $E_a = 0.36\text{eV}$), 这证实了在 $0.15\text{V} < V < 0.3\text{V}$ 的低电压范围,复合电流是纳米硅/晶体硅电池的主要输运机制.

对于 $0.3\text{V} < V < 0.5\text{V}$ 电压范围, A 几乎不随温度变化,如图 6 中的实心圆所示,不能够拟合得到理想因子 n_1 . 根据该电压范围的 $\lg J_{01} - 1/kT$ 关系,如图 7 中的实心三角所示,得到 $E_a = 0.31\text{eV}$, 远远小于理想的扩散电流的情况($E_a = E_g$). $A-T$ 和 J_0-T 表明,对该电压范围的电流起主要作用的不是理想晶体管 1 所描述的扩散电流, A 不随温度变化表明可能是隧穿电流.

为了确定隧穿输运通道,我们采用 AFORS HET v2.2 电池模拟程序^[8]来建立 n 型纳米硅薄膜/p 型晶体硅异质结界面的能带图. 其中主要的参数设置如下: p 型晶体硅带隙 1.12eV, 根据其电阻率约 $1\Omega \cdot \text{cm}$, 费米能级约在价带之上 0.17eV, 掺杂浓度约 $1.5 \times 10^{16} \text{cm}^{-3}$; 对于 5nm 的本征缓冲层, TEM 测量结果表明,当氢稀释度 $> 95\%$ 时本征缓冲层基本为外延生长^[9], 因此取本征薄膜硅带隙宽度约 1.2eV, 接近晶体硅的带隙宽度; 对 10nm 的 n 型掺杂的发射层, 从 TEM 看出为部分外延生长的纳米硅, 我们取其带隙宽度为 1.35eV; 对于导带带阶, 文献报道非晶硅和微晶硅与晶体硅之间的导带带阶分别为 0.45 和 0.18eV^[3], 对于外延硅/晶体硅, 导带带阶应该更小, 这里取 0.08eV; 薄膜层的掺杂浓度和迁移率根据 Hall 测量的结果分别取 $2 \times 10^{19} \text{cm}^{-3}$ 和 $10\text{cm}^2/(\text{V} \cdot \text{s})$; 根据 C-V 测试结果, 令界面缺陷态密度为 $1 \times 10^{11} \text{cm}^{-2}$. 根据以上参数, 得到平衡时的能带结构示意图, 如图 8 中的实线所示.

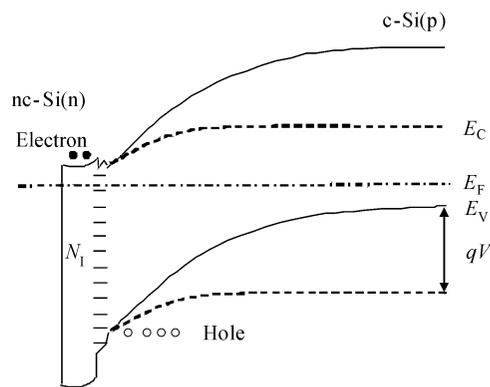


图 8 纳米硅/晶体硅异质结能带结构示意图 横向长度并非严格按照比例示意.

Fig. 8 Energy band diagrams of the nc-Si/c-Si hetero-junction

图中内建势约为 0.85V, 这与我们 C-V 测试得到的约 0.8V 比较符合, 耗尽区约 180nm, 主要位于晶体硅中, 这是由于两侧掺杂浓度的差异造成的, 图中 N_I 代表界面处连续分布的缺陷态. 导带中界面处的势垒尖峰较小, 在平衡时或小于 1V 的电压下都不会高于晶体硅体内的导带底, 不会阻挡电子扩散进入晶体硅的电流. 价带中的带阶为 0.15eV, 对从 p 型晶体硅进入 n 型薄膜硅的空穴起到阻挡作用, 成为空穴的势垒, 这时空穴或者通过热激活的形式越过势垒, 或者通过界面态进行隧穿输运. 在一定的正压(例如 0.4V)下, 晶体硅的能带逐渐变平, 势垒降低, 耗尽区变窄, 如图 8 中的虚线所示. 这时如果空穴有足够的能量, 例如 0.3eV 左右, 空穴将到达界面附近, 则此时势垒的厚度已经很小, 空穴有较大的几率隧穿到达界面能级与电子复合, 是一个热激活和隧穿结合的输运过程. 我们实验中得到的饱和电流的激活能为 0.31eV, 与以上模型基本符合.

Song 等人^[3]在对本征薄膜非晶硅/p 型晶体硅异质结的研究中也发现了隧穿输运现象, 并认为符合多阶隧穿俘获发射模型 (multi-step tunneling capture emission, MTCE), 拟合得到参与隧穿输运的非晶硅的体缺陷能级与晶体硅一侧的价带边基本持平, 空穴可从晶体硅的价带边通过非晶硅中的体内缺陷能级隧穿进入非晶硅, 从而合理地解释了实验现象. 我们所研究的 n 型纳米硅/p 型晶体硅异质结与以上情况不同, n 型薄膜硅的掺杂浓度比较高, 近似为突变异质结, p 型晶体硅中有宽的耗尽区和高的势垒, 空穴要直接穿过 180nm 宽的势垒到达界面几乎是不可能的, 因而无法用 MTCE 模型来解释, 而我们在上面提出的有热激活辅助的通过界面的隧穿输运过程更合理一些.

以上耗尽区的复合过程和通过界面的隧穿输运表明, 在纳米硅/晶体硅异质结中, 界面缺陷态对暗电流起了很大的作用, 造成较高的暗电流, 从而导致开路电压比较低 ($< 580\text{mV}$), 因此, 要提高纳米硅/晶体硅异质结电池的性能, 提高开路电压, 关键问题是进一步降低界面态密度.

4 结论

用双二极管模型拟合了纳米硅/晶体硅异质结的室温暗 $I-V$ 特性,非理想二极管的理想因子 n_2 和反向饱和电流的数据表明,晶体硅表面氢处理 30s 可获得较低的界面缺陷态密度. 纳米硅/晶体硅异质结的暗 $I-V$ 温度特性的分析表明,运输过程主要包括耗尽区的复合电流和通过界面的隧穿电流,在低电压范围,暗电流由耗尽区的复合电流决定,在较高的电压范围,有热激活辅助的通过界面态的隧穿是主要的运输过程. 以上研究表明,在纳米硅/晶体硅异质结中,界面缺陷态对暗电流起了很大的作用,要提高纳米硅/晶体硅异质结电池的性能,关键问题是降低界面态密度.

参考文献

- [1] Taguchi M, Sakata H, Yoshimine Y, et al. An approach for the higher efficiency in the hit cells. IEEE Photovoltaic Specialists Conference, 2005, 3~7: 866
- [2] Conrad E, von Maydell K, Schubert C, et al. Optimization of interface properties in a-Si:H/c-Si heterojunction solar cells. IEEE 4th World Conference on Photo Voltaic Energy Conversion, 2006: 1263
- [3] Song Y J, Park M R, Gulians E, et al. Influence of defects and band offsets on carrier transport mechanisms in amorphous silicon/crystalline silicon heterojunction solar cells. Solar Energy Materials and Solar Cells, 2000, 64: 225
- [4] Hussein R, Borchert D, Grabosch G, et al. Dark $I-V-T$ measurements and characteristics of (n)a-Si/(p)c-Si heterojunction solar cells. Solar Energy Materials & Solar Cells, 2001, 69: 123
- [5] Baroughi M F, Sivonthaman S. A novel Si-based heterojunction solar cell without transparent conductive oxide. IEEE 4th World Conference on Photovoltaic Energy Conversion, 2006: 83
- [6] Marsal L F, Pallare J S, Correig X. Electrical characterization of n-amorphous/p-crystalline silicon heterojunctions. J Appl Phys, 1996, 11: 79
- [7] Zhang Q, Zhu M, Liu F, et al. The optimization on the interface properties of nc-Si:H/c-Si heterojunction solar cells in HWCVD process. J Mater Sci: Mater Electron, 2007, 18: S33
- [8] Stangl R, Kriege M, Schaffarzik D, et al. AFORS-HET, version 2.1, a numerical computer program for simulation of (thin film) heterojunction solar cells. 15th International Photovoltaic Science & Engineering Conference (PVSEC-15), Shanghai, 2005: 985
- [9] Zhang Qunfang, Zhu Meifang, Liu Fengzhen, et al. High-efficiency n-nc-Si:H/p-c-Si heterojunction solar cells. Chinese Journal of Semiconductors, 2007, 28(1): 96 (in Chinese) [张群芳, 朱美芳, 刘丰珍, 等. 高效率 n-nc-Si:H/p-c-Si 异质结太阳能电池. 半导体学报, 2007, 28(1): 96]

Dark $I-V$ Characteristics and Carrier Transport Mechanism in Nano-Crystalline Silicon Thin Film/Crystalline Silicon Hetero-Junction Solar Cells*

Liu Fengzhen[†], Cui Jiedong, Zhang Qunfang, Zhu Meifang, and Zhou Yuqin

(College of Physical Sciences, Graduate University of the Chinese Academy of Sciences, Beijing 100049, China)

Abstract: N nc-Si/c-Si heterojunction solar cells were prepared with the hot-wire chemical vapor deposition technique. The dark $I-V$ characteristics of the cells with different atomic hydrogen treatments on the c-Si surface were measured. At room temperature, the $I-V$ curves were fitted by a two-diode model in which four different voltage regions were recognized: the shunt resistance ($V < 0.15$), nonideal diode ($0.15 < V < 0.3$ V), ideal diode ($0.3 < V < 0.5$ V), and series resistance ($V > 0.5$ V) regions. The modeled results show that the ideality factor of the nonideal diode (n_2) is decreased by a suitable atomic hydrogen treatment of 30s, indicating a lower recombination current and a better interface property. The dark $I-V$ characteristics in the temperature range of 282~335K indicate that in the lower voltage range of 0.15~0.3V, the dark current mainly originates from the recombination current in the depletion region. In the 0.3~0.5V range, the tunneling process dominates in the transport mechanism, which can be described by an interfacial tunneling process through the interface states.

Key words: nano-crystalline silicon thin film; hetero-junction solar cell; dark $I-V$ characteristics; transport mechanism

PACC: 7340L

Article ID: 0253-4177(2008)03-0549-05

* Project supported by the State Key Development Program for Basic Research of China (Nos. G2000028208, 2006CB202601) and the National High Technology Research and Development Program of China (No. 2006AA05Z408)

[†] Corresponding author. Email: liufz@gucas.ac.cn

Received 22 June 2007, revised manuscript received 31 October 2007