

# 基于 CMOS 模拟电路的径向基函数神经网络

梁 艳<sup>†</sup> 靳东明

(清华大学微电子学研究所, 北京 100084)

**摘要:** 提出了可构成径向基函数(RBF)神经网络的 CMOS 模拟单元电路,包括绝对值电路、电流求均方根电路和类高斯函数电路.基于这些电路设计了一个二输入/一输出,含有两个隐层神经元的径向基函数神经网络,并通过异或问题进行了验证.所有单元均采用 HJTC 0.18 $\mu\text{m}$  CMOS 数模混合工艺制造,芯片面积为 200 $\mu\text{m}$  $\times$ 150 $\mu\text{m}$ ,功耗约为 100 $\mu\text{W}$ .芯片测试结果表明:提出的单元电路结构简单,功耗低,便于扩展和调节,因而为硬件实现径向基函数神经网络的片上学习提供了可能.

**关键词:** 径向基函数神经网络; 硬件实现; CMOS 模拟电路; 类高斯函数电路

**EEACC:** 2570D

**中图分类号:** TN43

**文献标识码:** A

**文章编号:** 0253-4177(2008)02-0387-06

## 1 引言

1985 年, Powell 提出了多变量插值的径向基函数(radial basis function, RBF)<sup>[1]</sup>, 1988 年, Broomhead 和 Lowe 将 RBF 应用于神经网络设计, 构成径向基函数神经网络(RBF neural network)<sup>[1]</sup>, RBF 神经网络的应用日益广泛. 在智能控制领域, RBF 神经网络作为一种新型的控制器可以采用软件和硬件两种方式实现. 软件上, RBF 神经网络与各种复杂算法相结合都得到了很广泛的应用, 但在运算速度上和硬件无可比拟. 软件实现的 RBF 神经网络, 通常用来解决时间常数大于 1s 的问题, 而高速的实时控制, 比如汽车引擎控制<sup>[2]</sup>, 或者高速的实时识别系统, 比如人脸识别、指纹识别等, 要求使用专用的硬件系统. Fan Yang<sup>[3]</sup> 在嵌入式系统上数字实现了一个 RBF 神经网络, 能够实时的进行人脸跟踪和身份识别. RBF 神经网络可以用数字电路实现, 但是需要模拟电路单元作为接口与传感器或外部激励相连接, 同时随着输入变量维数的增加, 系统的复杂度也必然增加, 由此还会带来面积和功耗等问题. 而模拟电路实现的 RBF 神经网络不需要额外的接口电路, 在面积、功耗和速度方面能够获得更高的效率<sup>[4]</sup>, 所以越来越多地用于实现 RBF 神经网络专用芯片.

本文提出了实现 RBF 神经网络的 CMOS 模拟单元, 并采用 HJTC 0.18 $\mu\text{m}$  CMOS 数模混合工艺的器件模型参数进行仿真和制造. 基于这些单元电路, 设计了一个二输入/一输出, 含有两个隐层神经元的 RBF 神经网络. 并通过非线性函数逼近对该网络进行了验证.

## 2 RBF 神经网络的结构

RBF 神经网络由三层组成, 其基本结构如图 1 所

示. 第一层是输入层, 由与外界环境连接的输入节点构成, 只传递输入信号到隐层, 是线性的. 第二层是隐含层, 由径向基函数(比如高斯函数)构成, 完成由输入空间到隐含层的非线性变化. 在多数应用中, 隐层空间是高维度的. 整个 RBF 神经网络只有一层隐含层. 第三层是输出层, 输出层节点通常是简单的线性函数, 对加到整个网络的激励模式或信号作出响应<sup>[5]</sup>.

径向基函数是以到固定点的距离为自变量的函数. 在二维欧式空间里, 一般距离为:

$$r_k = r_k(x, y, x_k, y_k) = \sqrt{\|x - x_k\|^2 + \|y - y_k\|^2} \quad (1)$$

其中  $(x, y)$  为欧式空间中任意点的坐标;  $(x_k, y_k)$ , 是第  $k$  个固定点的坐标. 以  $r_k$  为自变量的函数就是径向基函数. 激励函数是 RBF 神经网络中不可或缺的单元, 一般的线性函数、阶梯函数、Sigmoid 函数、高斯函数等, 都可以作为 RBF 神经网络的激励函数. 由于高斯函数具备表示形式简单, 径向对称, 光滑性好, 任意阶导数都存在等优点<sup>[6]</sup>, 而且其局部响应特性与 RBF 神经网络非常吻合, 于是高斯函数常被用作 RBF 神经网络的激励函数, 其表达式为:

$$\phi_k = \exp(-(r_k - c_k)^2 / 2\sigma^2) \quad (2)$$

其中  $\phi_k$  为 RBF 神经元的输出;  $c_k$  为高斯函数的中

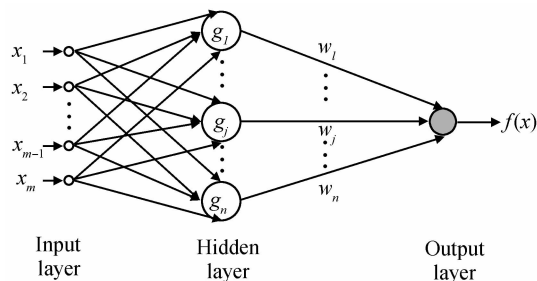


图 1 RBF 神经网络框架图

Fig.1 Architecture of the general RBF network

<sup>†</sup> 通信作者. Email: liangyan03@mails. tsinghua. edu. cn

2007-07-02 收到, 2007-10-09 定稿

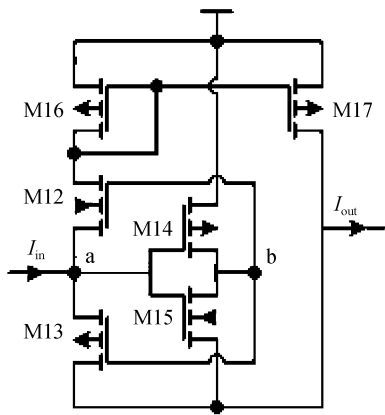


图 2 绝对值电路  
Fig.2 Absolute circuit

心值,即为第  $k$  个隐节点基函数的中心; $\sigma$  为高斯函数的归一化参数,决定该中心点对应的高斯函数的作用范围.

### 3 RBF 神经网络单元电路

根据(1)和(2)式可以实现 RBF 神经元.将输入电压信号  $x$  和  $y$  通过跨导放大器转变为电流,然后通过绝对值电路和均方根电路即可得到径向基  $r_k$ .将  $r_k$  作为高斯函数电路的输入,高斯函数电路的输出即为 RBF 神经元的输出.可见,构成 RBF 神经元的核心电路为绝对值电路、均方根电路以及高斯函数电路.

#### 3.1 绝对值电路

本文提出了一种电流型绝对值电路,如图 2 所示,可实现对输入电流  $I_{in}$  求绝对值.该电路的输入输出电流满足以下关系:

$$I_{out} = |I_{in}| \quad (3)$$

该绝对值电路仅由 6 个晶体管组成,其中 M12 和 M13 是整个电路的核心.后面接一个由 M14 和 M15 构成的反相器,可以对电流流出的通路进行选择.当  $I_{in} > 0$  时,a 点为高电压,b 点为低电压,则 M13 管导通,M12 管截止,电流经过 M13 管流出,此时

$$I_{out} = I_{in}, \quad I_{in} > 0 \quad (4)$$

当  $I_{in} < 0$  时,a 点为低电压,b 点为高电压,则 M13 管截止,M12 管导通,电流经过 M12 以及 M16,M17 组成的 pMOS 电流镜流出,此时

$$I_{out} = -I_{in}, \quad I_{in} < 0 \quad (5)$$

结合以上(4),(5)两式可以得到该绝对值电路的函数关系,如(3)式所示.在电路的输出端接  $1k\Omega$  的电阻,则可通过示波器测得其输出电压,从而得到输出电流.图 3 给出了示波器中显示的测试结果,与理论值相比,误差约为 1.6%,符合设计要求.

#### 3.2 均方根电路

均方根电路可由 translinear 结构<sup>[7]</sup>来实现,如图 4 所示.M1,M2,M3 和 M4 即为 translinear 结构,是该电

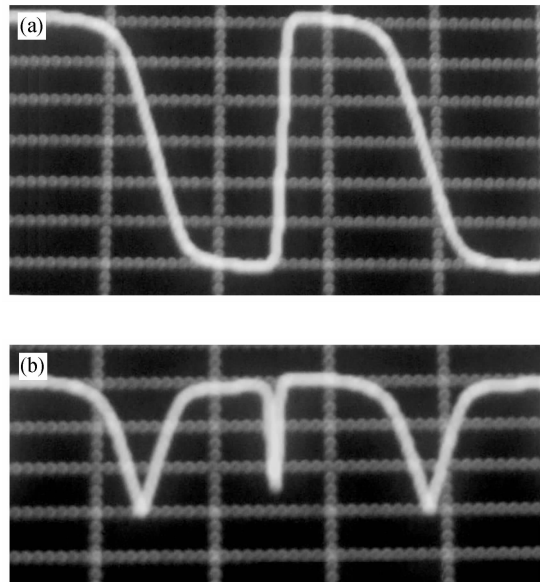


图 3 绝对值电流的测试结果 (a)输入电流波形;(b)相应的输出电流波形  
Fig.3 Experiment results of absolute circuit (a) Input current;(b) Output current

路的核心部分.采用 pMOS 构成 translinear 结构可以更好地消除体效应的影响.M6,M7 和 M8 为该电路提供驱动电流,输出电流通过 M9 和 M10 组成的电流镜输出.

图 4 中所有的 MOS 管均工作在饱和区,其原理由萨方程推导如下:

$$I_{DS} = k(W/L)(V_{GS} - V_T)^2 \quad (6)$$

其中  $k = \frac{1}{2}\mu_n C_{ox}$ .

$$V_{GS} = \sqrt{\frac{I_{DS}}{k(W/L)}} + V_T \quad (7)$$

由于  $V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4}$ ,且 M1 和 M2 的宽长比  $(W/L)$  为 M3 和 M4 的 4 倍,则

$$\begin{aligned} & \sqrt{\frac{I_{DS1}}{4k(W/L)}} + V_{T1} + \sqrt{\frac{I_{DS2}}{4k(W/L)}} + V_{T2} \\ &= \sqrt{\frac{I_{DS3}}{k(W/L)}} + V_{T3} + \sqrt{\frac{I_{DS4}}{k(W/L)}} + V_{T4} \quad (8) \end{aligned}$$

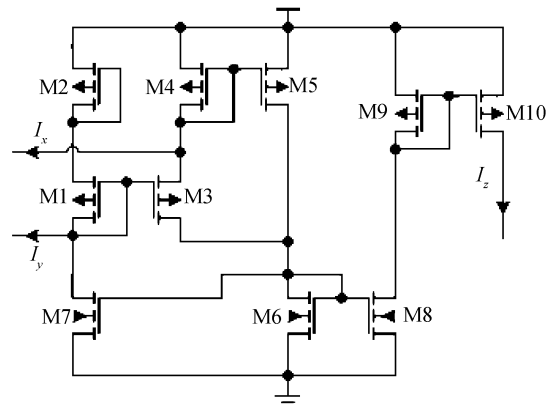


图 4 均方根电路  
Fig.4 Mean square root circuit

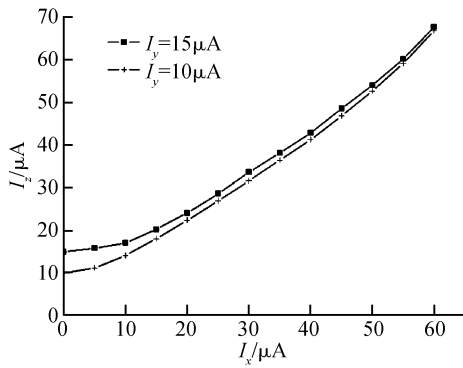


图 5 均方根电路的测试结果  
Fig.5 Experiment result of mean square root circuit

又因为 M1~M4 的体效应可以忽略不计, 则  $V_{T1} = V_{T2} = V_{T3} = V_{T4} = V_T$ , 因此(8)式中的阈值电压  $V_T$  可不作考虑, 则

$$\sqrt{I_{DS1}} + \sqrt{I_{DS2}} = 2(\sqrt{I_{DS3}} + \sqrt{I_{DS4}}) \quad (9)$$

且

$$I_{DS1} = I_{DS2} = I_y + I_z \quad (10)$$

$$I_{DS3} = (I_z - I_x)/2 \quad (11)$$

$$I_{DS4} = (I_z + I_x)/2 \quad (12)$$

将(10),(11)和(12)式代入(9)式中, 则可得到最终的输入输出函数关系式:

$$I_z = \sqrt{I_x^2 + I_y^2} \quad (13)$$

图 5 为在 HJTC 0.18 μm CMOS 工艺制作之后, 对芯片进行描点法测试所得到的结果. 图 5 给出了当  $I_y = 10 \mu A, 15 \mu A$  时,  $I_z$  随  $I_x$  变化的关系. 可见, 输出电流  $I_z$  满足  $I_z = \sqrt{I_x^2 + I_y^2}$  的均方根关系. 与理论值相比, 误差约为 4%.

### 3.3 类高斯函数电路

CMOS 电路很难产生精确的高斯函数波形, 见(2)式. Taha 等人<sup>[8]</sup>曾提出了一种高斯函数产生电路, 但该电流并不能进行指数运算, 因此算不上真正意义上的高斯函数; 之后, Masmoudi<sup>[9]</sup>提出了一种指数转换电路, 但其误差较大. 而本文根据差分输入对管的大信号输入特性可以同时产生逐渐增大和减小的电流<sup>[10]</sup>, 并利用电流相加, 设计了一种结构简单, 波形可调节的类高斯函数电路, 如图 6(a)所示.

当输入电压  $V_{in}$  增加时, M1 和 M2 的漏电流  $I_{d1}$  和  $I_{d4}$  由 0 增加到  $I_x$ . 假设 M1, M2, M3 和 M4 的管子尺寸相同, 则  $V_1 = V_{in} = V_2$  时,  $I_{d1} = I_{d2} = I_{d3} = I_{d4} = I_x/2$ ,  $I_1 = I_2 = I_x$ ,  $I_{d6} = I_{d7} = 0$ ,  $I_{out} = I_{d6} + I_{d7} = 0$ . 假设  $V_1 \ll V_2$ ,  $I_1$  和  $I_2$  随着  $V_{in}$  的改变而改变, 则可以得到  $I_{out}$ .

当  $V_{in} \ll V_1 \ll V_2$  时,  $I_1 = I_2 = I_x$ ,  $I_{out} = I_{d6} + I_{d7} = 0$ ;

当  $V_{in} = V_1 \ll V_2$  时,  $I_1 = I_x/2$ ,  $I_2 = 3I_x/2$ ,  $I_{out} = I_{d7} = I_x/2$ ;

当  $V_1 \ll V_{in} \ll V_2$  时,  $I_1 = 0$ ,  $I_2 = 2I_x$ ,  $I_{out} = I_{d7} = I_x$ ;

当  $V_1 \ll V_2 = V_{in}$  时,  $I_1 = I_x/2$ ,  $I_2 = 3I_x/2$ ,  $I_{out} = I_{d7} = I_x/2$ ;

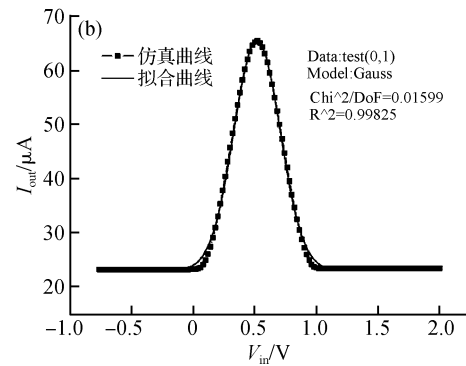
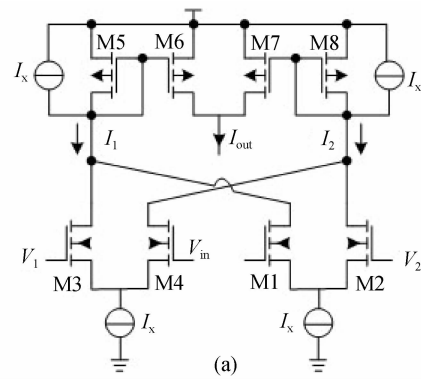


图 6 类高斯函数电路 (a)类高斯函数电路结构图; (b)仿真曲线进行 Gauss 拟合的结果

Fig.6 Gaussian synapse circuit (a) Gaussian synapse circuit; (b) Simulation result compared to ideal Gauss curve

当  $V_1 \ll V_2 \ll V_{in}$  时,  $I_1 = I_2 = I_x$ ,  $I_{out} = I_{d6} + I_{d7} = 0$ . 由此便可得到类似高斯变化的输出电流波形  $I_{out}$ , 将偏压  $V_1 = 0, V_2 = 1V$  时的仿真曲线与理想高斯函数进行拟合, 图 6(b)是拟合结果: 卡埃平方值 ( $Chi^2/DoF$ ) 为 0.01599, 相关系数平方 ( $R^2$ ) 达到了 0.99825, 说明此类高斯函数电路基本上实现了高斯波形的输出.

调节偏压  $V_1$  和  $V_2$ , 则类高斯函数曲线的中心值和归一化参数也发生改变. 在(2)式中, 如果  $c_k$  改变, 则类高斯函数的中心值改变, RBF 神经网络的最大响应位置也随之改变, 其最大响应位置与  $V_w = (V_1 + V_2)/2$  相关. 如果  $\sigma$  改变, 则类高斯函数曲线的斜率和宽度也发生改变. 尽管  $W/L$  决定了类高斯函数曲线的斜率, 但不同的偏压  $V_1$  和  $V_2$  决定了类高斯函数曲线的宽度. 图 7 给出了在 HJTC 0.18 μm CMOS 工艺制造之后芯片的测试结果. 对  $V_{in}$  进行扫描, 当  $V_1, V_2$  改变, 且  $V_w = (V_1 + V_2)/2 = 1V$  不变时, 可以得到图 7(a)的曲线; 当  $V_2 - V_1 = 0.4V$  固定不变, 且  $V_1, V_2$  变化时, 可以得到图 7(b)的曲线. 可见, 此电路实现了形状可调的一系列类高斯函数发生功能, 从而为 RBF 神经网络在学习过程中对参数进行调整提供了可能, 且在相当宽的范围内曲线对称, 为 RBF 硬件实现神经网络的片上学习奠定了基础.

其中图 7(a)为  $V_1, V_2$  改变, 但  $V_w = (V_1 + V_2)/2 = 1V$  不变时的测试曲线; 图 7(b)为  $V_2 - V_1 = 0.4V$  固定不变, 但  $V_1, V_2$  变化时的测试曲线. 将  $V_w = 1V$  的实

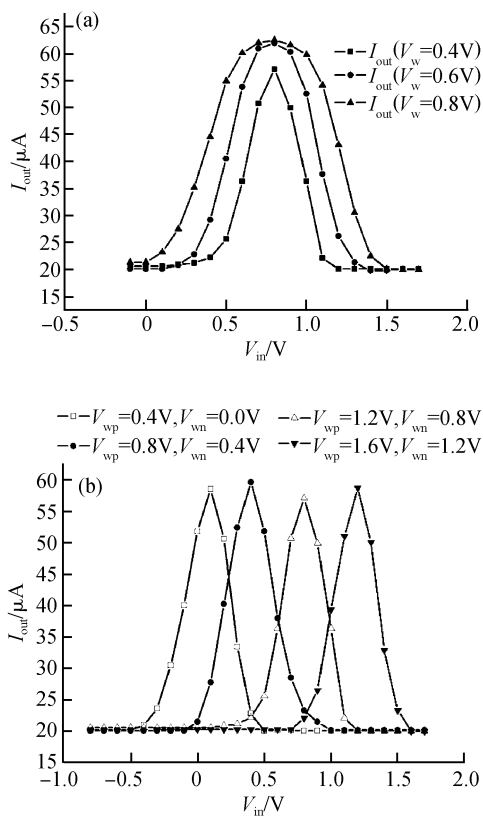


图 7 类高斯函数电路的测试结果 (a)  $V_w = (V_1 + V_2)/2 = 1V$ ; (b)  $V_2 - V_1 = 0.4V$   
 Fig.7 Experiment results of Gaussian synapse circuit (a)  $V_w = (V_1 + V_2)/2 = 1V$ ; (b)  $V_2 - V_1 = 0.4V$

测曲线,用最小二乘法与高斯函数拟合,其最大满刻度误差介于  $-2.9\% \sim 3.2\%$  之间,相对误差可以控制在  $\pm 1\%$  以内.

### 4 RBF 神经网络的 CMOS 实现

前面所提出的单元电路结构简单,由此实现一个 RBF 神经元仅需要不到 50 个晶体管.利用前面提出的单元电路构成的二输入/一输出<sup>[11]</sup>,含有两个隐层神经元的 RBF 神经网络,整体框架结构如图 8 所示.该网络的输入是二维的,输入电压直接加在 RBF 神经元上. RBF 神经元所采用的激励函数为类高斯函数.偏压  $V_1$  和  $V_2$  决定了理想高斯函数曲线的中心值  $c_k$ ,  $R$  为  $30k\Omega$ ,理想高斯函数曲线的归一化参数  $\sigma$  为 0.25,电源电压为  $\pm 1.65V$ ,功耗约为  $100\mu W$ .整个芯片的照片如图 9 所示,芯片面积为  $200\mu m \times 150\mu m$

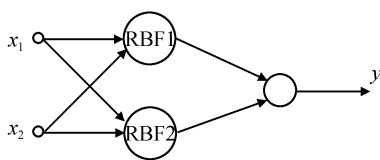


图 8 二输入/一输出 RBF 神经网络框架图  
 Fig.8 Two-input/one-output RBF network

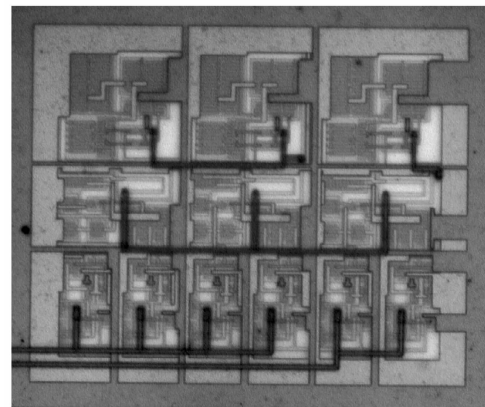


图 9 芯片照片  
 Fig.9 Chip microphotograph

通过异或问题来验证该 RBF 神经网络.可以认为,当输入电压为高电平时,为逻辑 1;当输入电平为低电平时,为逻辑 0.若对于输入的正弦波形,可以简单地认为,当  $V_{in} > 0$  时为逻辑 1;当  $V_{in} < 0$  时为逻辑 0.通过 Matlab 进行自学习可以计算得到所需要的参数值.当 RBF1 的  $V_1$  和  $V_2$  为 0.75 和 1.35V, RBF2 的  $V_1$  和  $V_2$  为 1.1V 和 1.6V 时,即  $c_1 = 1.05, c_2 = 1.35$ .将所有的参数直接加到 RBF 神经网络上,通过示波器观察到其交流特性如图 10 和图 11 所示.

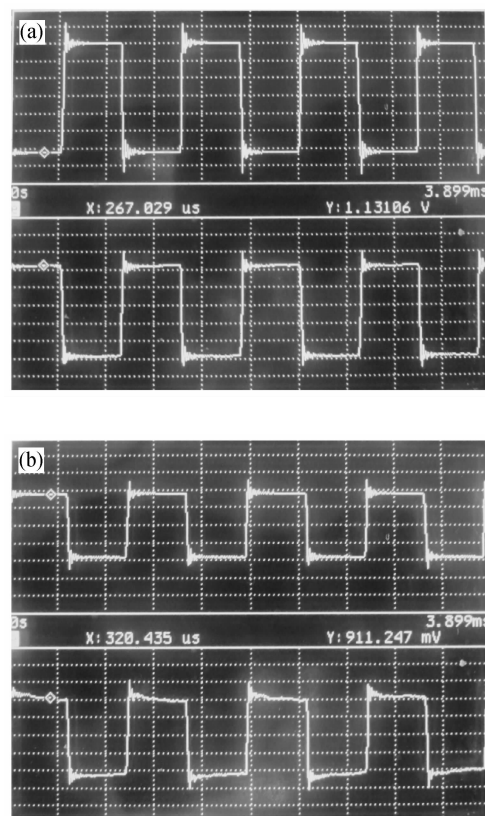


图 10  $V_{in1}$  输入为方波时的结果 (a)  $V_{in2} = 1.65V$ ; (b)  $V_{in2} = -1.65V$   
 Fig.10 Experiment results when  $V_{in1}$  is square wave (a)  $V_{in2} = 1.65V$ ; (b)  $V_{in2} = -1.65V$

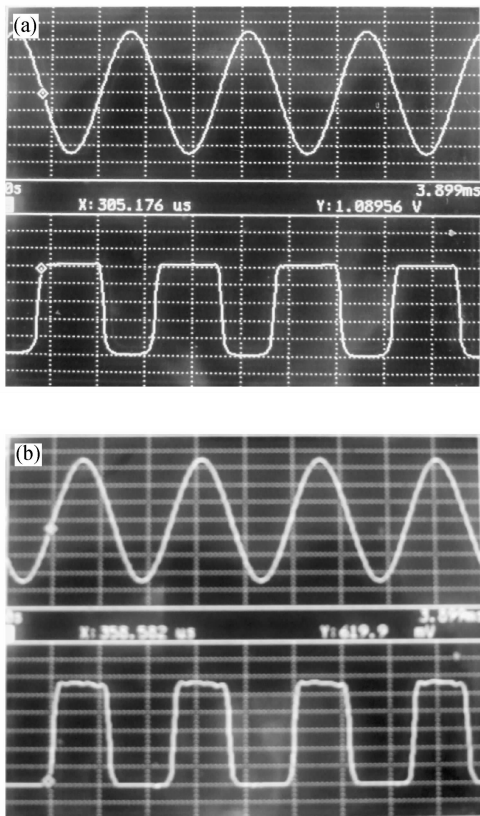


图 11  $V_{in1}$  输入为正弦波时的结果 (a)  $V_{in2} = 1.65\text{V}$ ; (b)  $V_{in2} = -1.65\text{V}$

Fig. 11 Experiment results when  $V_{in1}$  is sine wave (a)  $V_{in2} = 1.65\text{V}$ ; (b)  $V_{in2} = -1.65\text{V}$

在图 10 和图 11 中,上面均为输入电压  $V_{in1}$  的曲线,下面为相应的输出曲线.其中图 10 为当  $V_{in1}$  输入幅度为  $3.3\text{V}$ ,频率为  $1\text{kHz}$  时的方波,  $V_{in2} = 1.65\text{V}$  (逻辑 1) 时,输出如图 10(a) 所示;当  $V_{in2} = -1.65\text{V}$  (逻辑 0) 时,输出如图 10(b) 所示. 当一输入端固定为高电平时,该 RBF 神经网络可以对另一端输入的方波进行取反;当一输入端固定为低电平时,该 RBF 神经网络的输出与另一端输入的方波相似. 图 11 中,当  $V_{in1}$  输入幅度为  $3.3\text{V}$ ,频率为  $1\text{kHz}$  的正弦波时,  $V_{in2} = 1.65\text{V}$  (逻辑 1) 时,输出如图 11(a) 所示;当  $V_{in2} = -1.65\text{V}$  (逻辑 0) 时,输出如图 11(b) 所示. 由此可见,一输入端固定为高电平时,另一输入端输入的正弦波大于 0 时,该 RBF 神经网络输出为低电平,输入的正弦波小于 0 时,该 RBF 神经网络输出为高电平;当一输入端固定为低电平时,另一输入端输入的正弦波大于 0 时,该 RBF 神经网络输出为高电平,输入的正弦波小于 0 时,该 RBF 神经网络输出为低电平. 由此可见,该 RBF 神经网络得到了很好

的验证.

## 5 结论

模拟电路实现的 RBF 神经网络适于处理高速复杂的应用问题. 本文提出了构成 RBF 神经网络的核心 CMOS 模拟单元电路. 基于这些电路设计实现了一个二输入/一输出,含有两个隐层神经元的 RBF 神经网络,并利用异或问题进行验证. 所有单元均采用 HJTC  $0.18\mu\text{m}$  CMOS 数模混合工艺制造,芯片面积为  $200\mu\text{m} \times 150\mu\text{m}$ ,功耗约为  $100\mu\text{W}$ ,便于扩展和调节. 通过增加 RBF 神经元的个数或输入向量可以实现多隐层神经元的复杂 RBF 神经网络. 若将更多个 RBF 神经元组合在一起,采用软件的或硬件的学习,实现一个复杂的 RBF 神经网络在智能控制领域将会有广阔的应用前景.

## 参考文献

- [1] Yang Xingjun, Zheng Junli. Artificial neural networks. Beijing: High Education Press, 1992 (in Chinese) [杨行俊, 郑君里. 人工神经网络. 北京: 高等教育出版社, 1992]
- [2] Namakura K, Sakashita N, Nitta Y, et al. Fuzzy inference and fuzzy inference processor. IEEE Micro, 1993, 13(5): 37
- [3] Yang F, Paindovonie M. Implementation of an RBF neural network on embedded systems: real-time face tracking and identity verification. IEEE Trans Neural Network, 2003, 14(5): 1162
- [4] Pinto J O, Bose B K, da Silva L E B, et al. A stator-flux-oriented vector-controlled induction motor drive with space vector PWM and flux-vector synthesis by neural networks. IEEE Trans Ind Appl, 2001, 37(5): 1308
- [5] Vittoz E A. The design of high-performance analog circuits on digital CMOS chips. IEEE J Solid-State Circuit, 1985, 20(3): 657
- [6] Luo Siwei. Theory of large-scale artificial neural networks. Beijing: Tsinghua University Press, Beijing Jiaotong University Press, 2004 (in Chinese) [罗四维. 大规模人工神经网络理论基础. 北京: 清华大学出版社, 北方交通大学出版社, 2004]
- [7] Seevinck E, Wiegerink R J. Generalized translinear circuit principle. IEEE J Solid State Circuits, 1991, 26(8): 1098
- [8] Taha A K, El-Khatib M M, Badawi A S. Design of a fuzzy logic programmable membership function circuit. 17th National Radio Science Conference, 2000
- [9] Masmoudi D S, Dieng A T, Masmoudi M. A subthreshold mode programmable implementation of the Gaussian function for RBF neural networks application. Proceeding of the 2002 IEEE International Symposium on Intelligent Control, 2002: 454
- [10] Vidal V F. Design approach for analog neuro/fuzzy systems in CMOS digital technologies. Comput Electron Eng, 1999, 25(5): 309
- [11] Glosebotter P, Kanstein A, Jung S, et al. Implementation of an RBF network based on possibilistic reasoning. Euromicro Conference Proceedings 24th, 1998, 2: 677

## A CMOS Implementation for Radial Basis Function Networks

Liang Yan<sup>†</sup> and Jin Dongming

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

**Abstract:** Several kernel CMOS circuits for radial basis function (RBF) networks are proposed, including current type absolute circuit, mean square root circuit, and an adjustable Gaussian circuit. A two-input/one-output RBF network with two hidden nodes composed of these circuits is implemented and verified for the XOR problem. All the circuits were fabricated in HJTC 0.18 $\mu\text{m}$  CMOS technology. The chip area is 200 $\mu\text{m}$   $\times$  150 $\mu\text{m}$  and the power consumption is about 100 $\mu\text{W}$ . Experimental results show that all the proposed circuits provide simple structures, low power consumption, and high operation capacity. This demonstrates the possibility of a hardware implementation for on-chip learning in an RBF network.

**Key words:** RBF network; hardware implementation; CMOS analog circuits; Gaussian circuit

**EEACC:** 2570D

**Article ID:** 0253-4177(2008)02-0387-06

---

<sup>†</sup> Corresponding author. Email: liangyan03@mails.tsinghua.edu.cn  
Received 2 July 2007, revised manuscript received 9 October 2007