

# 用于 DTMB 接收机的 10bit, 40MS/s, 72dB SFDR 流水线模数转换器

殷秀梅<sup>†</sup> 魏 琦 杨 斌 杨华中

(清华大学电子工程系, 北京 100084)

**摘要:** 介绍了一个应用于数字电视地面多媒体广播(DTMB)接收机的 10-bit, 40-MS/s 流水线模数转换器(ADC), 通过优化各级电容大小和运算放大器电流大小, 在保证电路性能的同时降低了功耗. 测试结果为: 在 40MHz 采样率, 4.9MHz 输入信号下, 可以获得 9.14bit 的有效位数(ENOB), 72.3dB 无杂散动态范围(SFDR). 电路微分非线性(DNL)的最大值为 0.38LSB, 积分非线性(INL)的最大值为 0.51LSB. 电路采用 0.18 $\mu$ m 1P6M CMOS 工艺实现, 电源电压为 3.3V, 核心面积为 1mm<sup>2</sup>, 功耗为 78mW.

**关键词:** 模数转换器; 流水线模数转换器; 无杂散动态范围

EEACC: 1290B

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2008)02-0366-05

## 1 引言

高速、高精度 ADC 广泛应用于无线通信接收机、超声波系统、视频采集前端等领域. 中国数字电视地面多媒体广播(DTMB)标准中信道带宽为 8MHz(有效带宽为 7.56MHz), 其接收机往往采用零中频结构, 所以要求前端 ADC 信号带宽至少大于 4MHz. 为保证高码率解调质量, 过采样率通常要大于 8, 因此接收机前端一般选用 10bit, 40MS/s 的 ADC.

为达到上述指标, 业界一般采用流水线结构<sup>[1-3]</sup>或  $\Sigma$ - $\Delta$  结构<sup>[4]</sup>. 但是在高输入信号带宽下,  $\Sigma$ - $\Delta$  ADC 由于采样频率比较高, 对运算放大器带宽要求高, 比较难以

实现. 因此本文采用了流水线结构. 在分析了流水线 ADC 的基础上, 设计并实现了一个 10bit 精度、4.9MHz 信号带宽、40MS/s 采样率的流水线 ADC, 电源电压为 3.3V.

## 2 ADC 电路结构

本文所述 ADC 结构如图 1 所示, 采用了每级 1.5-bit 的流水线结构, 最前端有 1 级采样保持电路(SHA). 片外时钟信号经过片内时钟产生器(clock generator)分成 4 路不交叠时钟, 传输到 ADC 各级后, 再经过各级本地时钟缓冲器(local buffer), 各分成 P 和 N 两路, 得到共 8 路时钟供本级使用.

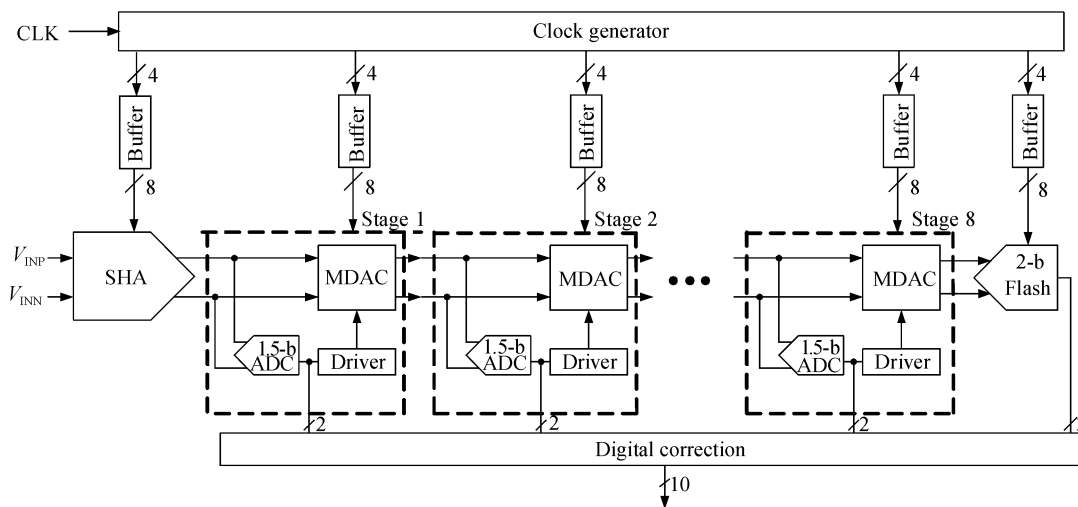


图 1 ADC 电路结构

Fig.1 Block diagram of the pipelined ADC

<sup>†</sup> 通信作者. Email: yxm@mails. tsinghua. edu. cn

2007-07-18 收到, 2007-08-30 定稿

表 1 ADC 各级采样电容大小  
Table 1 Sampling capacitors of the pipelined ADC

电路级	SHA	Stage 1	Stage 2	Stage 3	Stage 4	Stage 5	Stage 6	Stage 7	Stage 8
电容值/fF	625	400	250	250	150	150	100	100	100

时钟产生器产生的信号在到达 ADC 各级之前, 要经过长约 1mm 的金属线. 金属线上的寄生电容和 ADC 各级开关寄生电容共同成为时钟产生器输出级的负载. 如果没有本地时钟缓冲器, 为了在 ADC 各级得到陡峭的时钟沿, 时钟产生器输出级要有很强的带负载能力, 这通常需要输出级具有大尺寸的 MOS 管才能做到. 频繁翻转的大尺寸输出级会带来大的电源噪声, 这些噪声如果耦合到时钟通路上, 便增加了时钟抖动 (clock jitter).

引入本地时钟缓冲器后, 时钟信号在 ADC 各级得到再次驱动, 不需要很大的时钟产生器输出级就可以得到比原来更加陡峭的 ADC 各级时钟沿. 小尺寸的输出级降低了时钟产生器的功耗, 也降低了电源噪声, 减小了耦合到时钟通路上的噪声. 陡峭的时钟沿和小的耦合噪声共同降低了时钟产生器引入的时钟抖动, 提高了 ADC 动态性能.

### 3 降低功耗技术及各主要模块实现

#### 3.1 优化各级电容和 OTA 电流

本设计通过优化各级采样电容和运算跨导放大器 (OTA) 的电流大小, 从而降低了 ADC 功耗.

对于 10bit 流水线 ADC 而言, 精度主要受限于两方面: 电容的匹配精度和 OTA 的建立精度. 而 1.5bit 每级的流水线结构决定了 ADC 对这两项精度的要求逐级递减 1bit, 即第一级要保证 10bit 精度, 第二级保证 9bit 精度, 依此类推.

理论上最低功耗的优化方案是, 从第二级起, 每级电容大小和 OTA 电流依次是前一级的  $1/2^n$ , 其中  $n$  代表本级精度. 然而实际上到了后面几级 (5~8 级), 各节点寄生电容大小已经接近采样电容, 没有继续优化的必要. 此外, 每优化一级意味着要多设计一种 OTA, 倍增电路和版图设计的工作量. 因此, 本设计没有逐级优化各级电容和 OTA 电流, 实际优化方案将在下文详述, ADC 各级实际功耗如图 2 所示, 优化后的功耗是优化前的 73%.

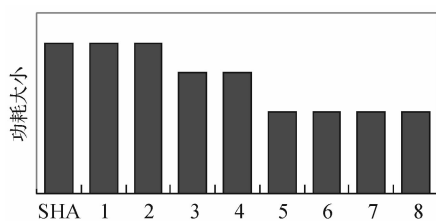


图 2 本设计优化方案

Fig. 2 Scaling scheme of the pipelined ADC

对于 10bit 精度的流水线 ADC 而言, 每级采样电容大小的选取受限于匹配精度而不是电路噪声要求<sup>[5]</sup>. 如图 1 所示, 随着信号由 Stage 1 向 Stage 8 传递, ADC 对电容匹配精度的要求逐级递减 1bit. 通过计算并留有一定裕度, 得到各级电容数值, 如表 1 所示.

在 SHA 的设计中, 我们采用了图 3 所示的电荷翻转结构, 采用这种结构的好处在于它的反馈系数等于 1, OTA 的负载电容较小, 但它同时要求 OTA 输入输出端共模电平一致, 折叠式结构可以很好地满足这种要求.

此外, 为保证各级建立精度不受限于绝对建立精度, OTA 要具有足够高的增益, 对于第一级而言, OTA 增益要大于 80dB, 带增益放大的共源共栅放大器可以满足这一要求.

由于采样电容大小逐级递减, OTA 的负载也逐级递减. 此外, ADC 对绝对建立精度要求逐级降低, 即对 OTA 的增益要求逐级降低. 从而可以根据每级负载及精度要求单独设计本级 OTA, 并降低 ADC 总功耗. 为减小电路和版图的工作量, 本设计采用了 3 种 OTA, 从 SHA 到第二级采用带增益放大的折叠式共源共栅结构跨导放大器 (gain-boost folded cascode OTA), 主电流为  $500\mu\text{A}$ , 如图 4 (a) 所示. 第三级、第四级运放结构与前两级相同, 但主电流减小为  $400\mu\text{A}$ . 从第五级到第八级采用折叠式共源共栅结构跨导放大器 (folded cascode OTA), 如图 4 (b) 所示. 3 种 OTA 的结构和主电流大小如表 2 所示.

#### 3.2 比较器设计

比较器采用如图 5 所示结构, 共分为 3 级: 预放大器 (pre-amplifier)、锁存器 (latch) 和输出级 (output-stage). 两相时钟分别为:

clk\_L: 下降沿锁存输出信号

clk\_C: 高电平消除比较器失调电压

为防止回程干扰 (kick-back noise), 前级采用预放大器结构, 先将输入比较器的信号进行预放大. 预放大器不需要很大增益, 能够抑制回程干扰即可, 为减小静

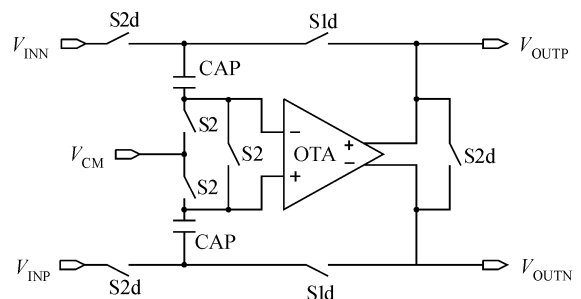


图 3 SHA 结构

Fig. 3 SHA structure

表 2 ADC 各级运算放大器结构及主电流大小  
Table 2 OTAs of the pipelined ADC

名称	OTA <sub>500μ</sub>	OTA <sub>400μ</sub>	OTA <sub>280μ</sub>
结构	Folded cascode, gain-boost	Folded cascode, gain-boost	Folded cascode
主电流/μA	500	400	280
电路级	SHA ~ STAGE2	STAGE3 ~ STAGE4	STAGE5 ~ STAGE8

态功耗,预放大器电流只有 40μA.中间级在 clk\_L 下降沿给出判决结果,送到输出级.输出级采用 RS 触发器结构,可以保证在整个工作周期判决状态的稳定,同时加快判决速度,降低比较器亚稳态的概率.

3.3 其他电路结构

图 6 所示为 ADC 第一级的详细结构,采用了单端电路作为示意,实现时采用了全差分电路.当 S1d 断开,

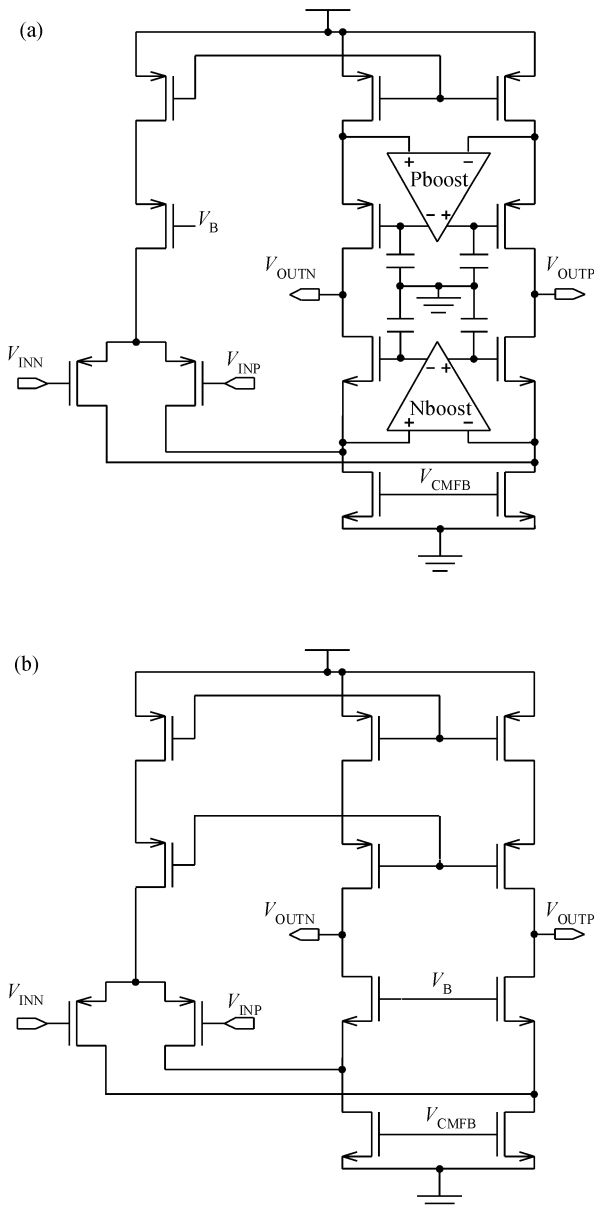


图 4 (a)带增益放大的折叠共源共栅结构运算放大器;(b)折叠共源共栅结构运算放大器  
Fig.4 (a) Gain-boost folded-cascode OTA; (b) Folded-cascode OTA

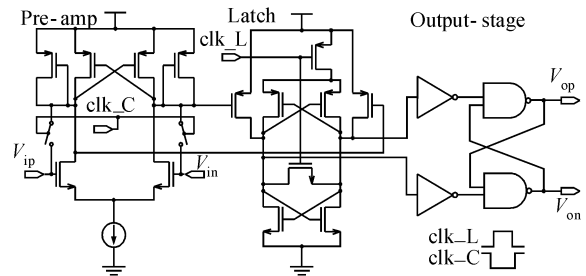


图 5 ADC 的比较器结构  
Fig.5 Three-stage comparator

S2d 为导通状态时,第一级为采样相,第二级为放大相.此时,输入信号经过采样保持电路,被电容  $C_1$ ,  $C_2$  和  $C_c$  采样.当 S2d 断开, S1d 为导通状态时,第一级为放大相,第二级为采样相.此时比较器比较  $V_{in}$  与比较器参考电压 ( $+V_{ref}/4$ ,  $-V_{ref}/4$ ) 的大小,并给出判决结果.控制单元根据判决结果,决定  $C_1$  下极板所接的电压 ( $V_{cm}$ ,  $+V_{ref}$  或  $-V_{ref}$ ).在该相时钟,  $C_2$  跨接在 OTA 两端,实现了将信号放大 2 倍,并与参考电压相加/减的功能.输出信号在 S1 的下降沿被第二级采样.

4 测试结果

图 7 是整个 ADC 芯片的照片,设计在 HJTC 1P6M 0.18μm CMOS 工艺下实现.设计过程中很好地考虑了采样电容匹配情况,并对寄生参数进行严格的反提和后仿真,从而实现了较低的 INL 和 DNL.芯片的核心面积为 1mm<sup>2</sup>,在 40MS/s 采样率、3.3V 电源电压下,功耗为 78mW.

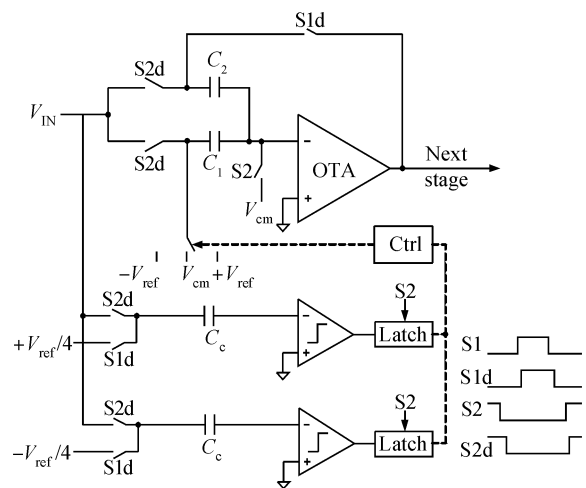


图 6 ADC 第一级结构(其他各级由第一级按比例缩小得到)  
Fig.6 1.5bit first stage (following stages are scaled versions) of the ADC

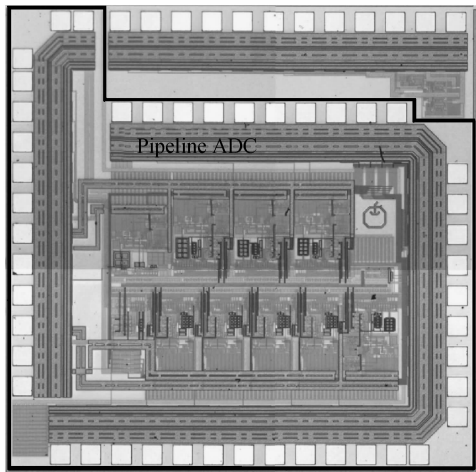


图 7 ADC 芯片照片  
Fig.7 Die photograph of ADC

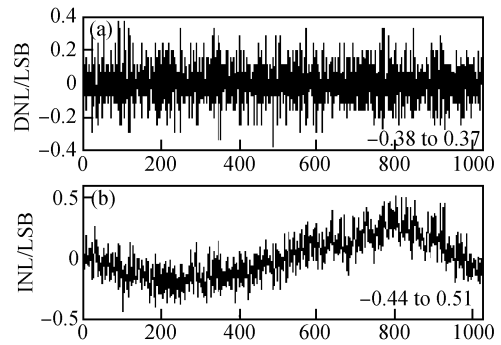


图 9 ADC 静态性能测试结果 (a) DNL; (b) INL  
Fig.9 Measured static performance of ADC (a) DNL; (b) INL

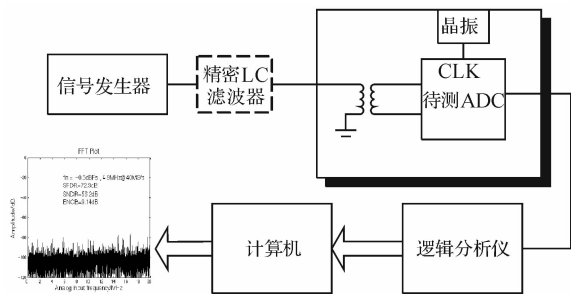


图 8 测试电路和测试环境示意图  
Fig.8 Test environment

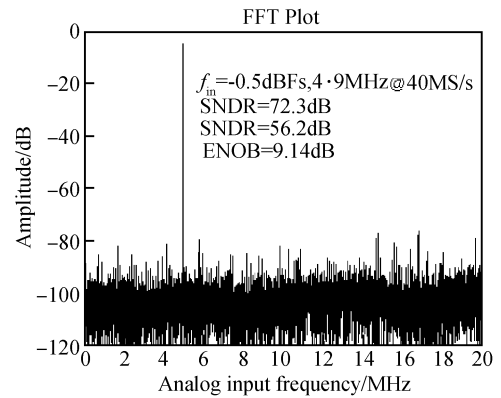


图 10 在 4.9MHz 输入信号下 ADC 动态性能测试结果  
Fig.10 Measured dynamic performance of ADC with 4.9MHz input

图 8 是 ADC 测试环境示意图. 图 9 是 ADC 静态性能的结果, 在 40MHz 采样率下, 其微分非线性 (DNL) 为  $-0.38 \sim +0.37$ LSB; 积分非线性 (INL) 为  $-0.44 \sim +0.51$ LSB. 图 10 是 ADC 动态性能测试结果, 在 40MHz 采样率下, 当输入信号频率为 4.9MHz, 幅度为  $-0.5$ dBFS 时, 信噪失真比 (SNDR) 为 56.2dB, 有效位数 (ENOB) 为 9.14, 无杂散动态范围 (SFDR) 为 72.3dB. ADC 测试性能总结于表 3.

表 4 为与当前国内其他同类型 ADC 主要性能的比较.

表 3 ADC 测试性能总结

Table 3 Summary of measured performances

Technology	0.18 $\mu$ m CMOS
Conversion rate/MHz	40
Resolution/bit	10
Supply voltage/V	3.3
Total power/mW	78
Area/mm <sup>2</sup>	1
DNL/LSB	$-0.38 \sim +0.37$
INL/LSB	$-0.44 \sim +0.51$
SFDR( $f_{in} = 4.9$ MHz)/dB	72.3
SNDR( $f_{in} = 4.9$ MHz)/dB	56.2
ENOB( $f_{in} = 4.9$ MHz)	9.14

表 4 与同类型芯片的主要性能比较

Table 4 Comparison with some previous works

	Resolution /bit	Conversion rate /MHz	ENOB (MAX)	DNL(MAX) /LSB	INL(MAX) /LSB	Power /mW	SFDR/dB
This work	10	40	9.41	0.38	0.51	23.6	72.3(@4.9MHz input)
Ref. [6]	10	30	9.24	0.57	0.8	17	<66(@4.9MHz input)
Ref. [7]	10	10	8.98	1.75	1.95	13	55.8(@1MHz input)
Ref. [8]	10	40	8.10	0.85	2.2	19.7	59(@0.5MHz input)
Ref. [9]	10	50	7.17	0.7	1.8	32	47.3(@5.1MHz input)

## 5 结论

本文介绍了一种 10bit, 40MS/s 流水线 ADC, 通过优化各级电容大小和运算放大器电流大小, 在保证电路性能的同时降低了功耗. 在 40MHz 采样率、4.9MHz 输入信号下测试, 获得 9.14bit 有效位, 72.3dB 无杂散动态范围(SFDR). 微分非线性的最大值为 0.38LSB, 积分非线性的最大值为 0.51LSB. 电路采用 0.18 $\mu$ m CMOS 工艺实现, 电源电压为 3.3V, 核心面积为 1mm<sup>2</sup>, 功耗为 78mW.

### 参考文献

- [ 1 ] Hoogzaad G, Roovers R. A 65mW 10b 40MSample/s BiCMOS Nyquist ADC in 0.8mm<sup>2</sup>. ISSCC Dig Tech Papers, 1999:320
- [ 2 ] Nakamura K, Hotta M, Carley L R, et al. An 85mW, 10b, 40 Msample/s CMOS parallel-pipelined ADC. IEEE J Solid-State Circuits, 1995, 30:173
- [ 3 ] Shu T H, Bacrania K, Gokhale R. A 10-b 40-Msample/s BiCMOS ADC converter. IEEE J Solid-State Circuits, 1996, 31:1507
- [ 4 ] Mitteregger G, Ebner C, Mechnig S, et al. A 20-mW 640-MHz CMOS continuous-time Sigma-Delta ADC with 20-MHz signal bandwidth, 80-dB dynamic range and 12-bit ENOB. IEEE J Solid-State Circuits, 2006, 41:2641
- [ 5 ] Goes J, Vital J C, Franca J. Systematic design for optimisation of pipelined ADCs. Boston: Kluwer Academic Publishers, 2001:99
- [ 6 ] Xie Lei, Li Jian, Deng Huan, et al. A high performance low power 10bit 30MS/s pipelined ADC. Chinese Journal of Semiconductors, 2007, 28(3):453 (in Chinese) [谢磊, 李建, 邓焕, 等. 一个高性能低功耗 10 位 30MS/s 流水线 ADC 转换器. 半导体学报, 2007, 28(3):453]
- [ 7 ] Zhu Zhen, Ma Dequn, Ye Jinghua, et al. A full-differential CMOS pipelined ADC converter. Chinese Journal of Semiconductors, 2004, 25(9):1175 (in Chinese) [朱臻, 马德群, 叶菁华, 等. 低功耗、全差分流水线操作 CMOS ADC 转换器. 半导体学报, 2004, 25(9):1175]
- [ 8 ] Li Jian, Yan Jiefeng, Chen Jun, et al. A 59mW 10b 40Msample/s pipelined ADC. Chinese Journal of Semiconductors, 2005, 26(7):1301
- [ 9 ] Huang Feipeng, Wang Jingguang, He Jirou, et al. A 10bit, 50 Msample/s, 57.6mW CMOS pipelined ADC converter. Chinese Journal of Semiconductors, 2005, 26(11):2230 (in Chinese) [黄飞鹏, 王静光, 何济柔, 等. 一种 57.6mW, 10 位, 50MS/s 流水线操作 CMOS ADC 转换器. 半导体学报, 2005, 26(11):2230]

## A 10b 40MS/s, 72dB SFDR Pipelined ADC for DTMB Receivers

Yin Xiumei<sup>†</sup>, Wei Qi, Yang Bin, and Yang Huazhong

(Circuits and Systems Laboratory, Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

**Abstract:** A 10bit 40MS/s pipelined ADC for DTMB receivers is proposed, which saves power by scaling the capacitor size and the OPA current. The measured results indicate that the ADC exhibits an effective number of bits (ENOB) of 9.14 for 4.9MHz input frequency at 40MS/s, and a spurious free dynamic range (SFDR) of 72.3dB. The measured differential and integral nonlinearities of the prototype at the full sampling rate are less than 0.38 least significant bits (LSB) and 0.51 LSB, respectively. The ADC was fabricated in a 0.18 $\mu$ m 1P6M CMOS process, consumes 78mW of power, and occupies 1mm<sup>2</sup>.

**Key words:** analog-to-digital converter; pipeline analog-to-digital converter; spurious free dynamic range  
EEACC: 1290B

**Article ID:** 0253-4177(2008)02-0366-05

<sup>†</sup> Corresponding author. Email: yxm@mails.tsinghua.edu.cn

Received 18 July 2007, revised manuscript received 30 August 2007