

# 双栅双应变沟道全耗尽 SOI MOSFETs 的特性分析\*

高 勇 孙立伟<sup>†</sup> 杨 媛 刘 静

(西安理工大学自动化学院 电子工程系, 西安 710048)

**摘要:** 提出了一种全新的器件结构——双栅双应变沟道全耗尽 SOI MOSFETs, 模拟了沟道长度为 25nm 时器件的电学特性. 工作在单栅模式下, 应变沟道(Ge=0.3)驱动能力与体 Si 沟道相比, nMOS 提高了 43%, pMOS 提高了 67%; 工作在双栅模式下, 应变沟道(Ge=0.3)与体 Si 沟道相比较, 驱动电流的提高 nMOS 为 31%, pMOS 为 60%. 仿真结果表明, 双栅模式比单栅模式有更为陡直的亚阈值斜率, 更高的跨导以及更强的抑制短沟道效应的能力. 综合国内外相关报道, 该结构可以在现今工艺条件下实现.

**关键词:** 双栅; 双应变沟道; 短沟道效应

**EEACC:** 2520D; 2530F

**中图分类号:** TN302 **文献标识码:** A **文章编号:** 0253-4177(2008)02-0338-06

## 1 引言

集成电路的发展进入亚 100nm 时代, 随着器件的沟道长度不断缩小, 短沟道效应(short channel effects)越来越严重, 表现为栅控能力下降, 阈值电压发生漂移, 亚阈值斜率增大, 器件泄漏电流增大, 对器件性能产生严重影响. 近年来, 沟道能带工程成为一个研究热点, 被认为是能推动器件特征尺寸继续减小的有效措施之一. 对于 nMOS 器件, 引入应变 Si 作为电子的导电沟道, 对于 pMOS 器件, 引入应变 SiGe 作为空穴的导电沟道, 能提高载流子迁移率, 进而提升整个电路的工作速度. 如 Mizuno 等人<sup>[1]</sup> 报道的采用组分为  $\text{Si}_{0.75}\text{Ge}_{0.25}$  的 pMOS 驱动电流可提高 53%, 应变 Si 沟道的 nMOS 驱动电流可提高 85%. 由于 nMOS 和 pMOS 分别要应用不同的应变材料, 相应的工艺流程也就不同, 工艺不兼容成为限制应变器件集成化应用的一个技术瓶颈. 对于 pMOS, 由于应变 SiGe 层为埋层导电沟道, 上层 Si 帽层的存在使得栅与应变 SiGe 导电沟道距离过大, 栅控能力下降, 而且 Si 帽层容易在高栅偏压条件下成为寄生空穴导电沟道, 造成 pMOS 器件性能下降<sup>[2]</sup>. 双栅器件可以弥补传统单栅控制能力的不足, 同时可使栅长减小到大约 10nm, 被认为是能够促使 CMOS 技术的特征尺寸继续减小的一种极具竞争力的器件结构<sup>[3]</sup>.

本文提出了一种新器件结构——双栅双应变沟道全耗尽 SOI MOSFETs, 可以解决 n 管和 p 管工艺上不兼容的问题, 有利于集成化的实现. 该器件在单栅工作模式下, 分别用顶栅和底栅控制上层应变 Si 层和下层应变 SiGe 层. 对于 pMOS 器件, 用底栅直接控制下层应变 SiGe 层作为空穴的导电沟道, 消除了顶栅控制时的寄生导电沟道. 在双栅工作模式下, 栅-栅耦合作用增强

了对沟道的静电控制能力, 充分发挥了双栅器件亚阈值斜率陡直、驱动能力强的优点, 有效地抑制了短沟道效应.

本文模拟了新结构在单栅和双栅工作模式下 nMOS 和 pMOS 器件的电学特性, 并与相同特征尺寸的体 Si 沟道单、双栅结构 nMOS 和 pMOS 器件的电学特性进行了比较分析, 结果表明新结构具有优异的电学特性.

## 2 器件结构和物理模型

图 1 为双栅双应变沟道全耗尽 SOI MOSFETs 的器件结构示意图, 表 1 为相应的器件结构参数和工艺参数. 其特点是把应变 Si 层和应变 SiGe 层统一在一个沟道中, 采用相同的器件结构, nMOS 和 pMOS 仅通过掺杂类型的改变来实现, 很好地解决了 n 管和 p 管工艺上不兼容的问题. 此器件既可以在单栅模式也可以在双栅模式下工作, 作为单栅应变器件时, 若实现 nMOS 功能, 底栅接地, 顶栅起控, 上层应变 Si 层作为电子的导电沟道; 实现 pMOS 功能时, 顶栅接地, 底栅起控, 下层应变 SiGe 层作为空穴的导电沟道, 采用底栅控制模式解决

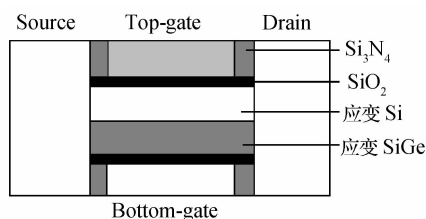


图 1 双栅双应变沟道 SOI MOSFETs 器件结构示意图  
Fig. 1 Schematic cross section view of double-gate dual-strained-channel SOI MOSFETs

\* 西安市应用材料创新基金资助项目(批准号:XA-AM-200514)

<sup>†</sup> 通信作者. Email: zianmofeng@163.com

2007-07-20 收到, 2007-08-31 定稿

表1 器件结构参数和工艺参数  
Table 1 Geometric and process parameters of device

器件类型	nMOS	pMOS
沟道长度/nm	25	25
顶栅掺杂浓度/ $\text{cm}^{-3}$	$\text{Ar } 1 \times 10^{20}$	$\text{Ar } 1 \times 10^{20}$
底栅掺杂浓度/ $\text{cm}^{-3}$	$\text{B } 1 \times 10^{20}$	$\text{B } 1 \times 10^{20}$
源漏掺杂浓度/ $\text{cm}^{-3}$	$\text{Ar } 1 \times 10^{20}$	$\text{B } 1 \times 10^{20}$
顶栅氧厚度/nm	1	1
底栅氧厚度/nm	1	1
应变 Si 层厚度/nm	5	5
应变 SiGe 层厚度/nm	5	5
应变 Si 层掺杂浓度/ $\text{cm}^{-3}$	$\text{B } 1 \times 10^{14}$	$\text{Ar } 2 \times 10^{16}$
应变 SiGe 层掺杂浓度/ $\text{cm}^{-3}$	$\text{B } 2 \times 10^{16}$	$\text{Ar } 1 \times 10^{15}$

了 p 管顶栅控制能力较弱和易产生寄生沟道的问题. 在双栅工作模式下双栅联合控制沟道, 与单栅工作模式相比, 双栅模式可以降低亚阈值漏电, 沟道区采用较低的掺杂浓度, 避免了重掺杂时电离杂质散射引起的迁移率退化, 提高了器件的驱动能力. 同时, 此器件采用了抬升源漏区/超薄沟道结构, 栅控能力得以进一步增强, 并且可以有效抑制短沟道效应, 抬升的源漏区结构有利于减小源漏区串联电阻<sup>[4]</sup>.

本文采用二维器件模拟软件——ISE TCAD 对器件特性进行仿真, 考虑到深亚微米情况下器件的二级物理效应, 模拟时采用了更为精确的流体力学模型 (hydrodynamic) 和量子力学模型 (e/h quantum potential); 迁移率模型中采用了器件沟道区高电场强度下载流子速度饱和模型 (e/h high field saturation), 同时考虑了电离杂质散射引起的迁移率下降 (doping dep) 以及沟道区纵向电场引起的迁移率的退化 (enormal) 等因素; 复合模型考虑了 band to band tunneling, SRH (tunneling doping dep), Auger 和 e/h avalanche 等因素, 使模拟结果更接近真实情况.

### 3 器件特性分析

#### 3.1 新结构作为单栅应变器件的特性

单栅应变器件是指把上述新结构的其中一个栅接地时的情况. 对于 nMOS 来说, 底栅接地, 用顶栅来控制上层应变 Si 层作为电子的导电沟道; 对于 pMOS 来说, 顶栅接地, 底栅控制下层应变 SiGe 层作为空穴的导电沟道; 作为对比本文给出单栅体 Si 器件结构, 只是将沟道区由应变材料换成体硅材料, 其他参数保持不变.

图 2(a) 为单栅应变 Si 沟道与体 Si 沟道 nMOS 输出特性的比较, 图 2(b) 为单栅应变 SiGe 沟道与体 Si 沟道 pMOS 输出特性的比较. 可以看出, 无论 nMOS 还是 pMOS, 应变沟道器件的驱动电流均大于体 Si 沟道器件, 并且随着应变 SiGe 层中 Ge 组分增大 (0.1~0.3), 驱动电流也相应增大. 其中对应于 Ge = 0.3 时, 应变沟道器件的驱动电流比体 Si 沟道器件的提高 nMOS 为 43%, pMOS 为 67%. 对于应变 Si 沟道 nMOS, 迁移率的提高主要来自于载流子 (主要是电子) 有效质量的减

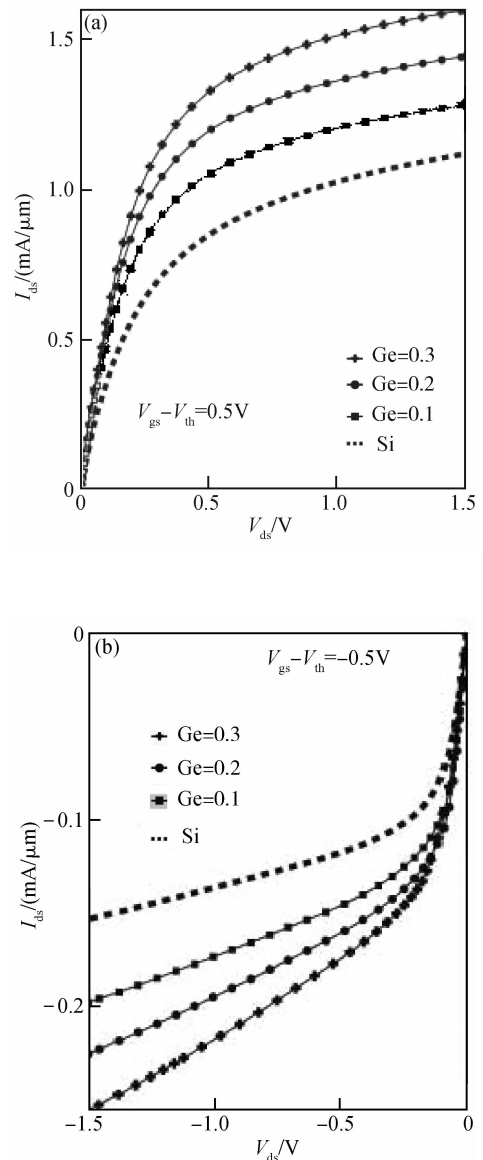


图2 单栅应变沟道与体 Si 沟道 SOI MOSFETs 输出特性比较 (a) nMOS; (b) pMOS

Fig.2 Output characteristics of SG strained material channel SOI MOSFETs in comparison with conventional Si channel SOI MOSFETs (a) nMOS; (b) pMOS

小和谷间声子散射率的降低. 由于应力作用, Si 导带的六重简并能谷会分裂成两组: 一组是能量低于原来能谷的二重简并能谷, 另一组是能量高于原来能谷的四重简并能谷. 二重简并能谷沿着与界面垂直的方向, 四重简并能谷沿着与界面平行的方向. 高低能谷之间能级差的经验值为  $0.6x\text{eV}$ ,  $x$  为 Ge 含量, SiGe 层中 Ge 组分的增加, 对应上层应变 Si 层中的张应力变大, 电子迁移率也相应随之增大<sup>[5]</sup>. 对于 pMOS 器件, 迁移率的提高来自于中心布里渊区重、轻空穴能带的分离, 导致较低的带间散射, 同时, 应力引起价带结构的畸变, 空穴有效质量降低, 因而空穴迁移率随 Ge 组分的增加而增大<sup>[6]</sup>.

图 3(a) 为单栅应变 SiGe 沟道 pMOS 顶栅 (top-gate) 与底栅 (bottom-gate) 控制模式下驱动能力的对比. 为避免应变 Si 层和应变 SiGe 层掺杂浓度不同对跨

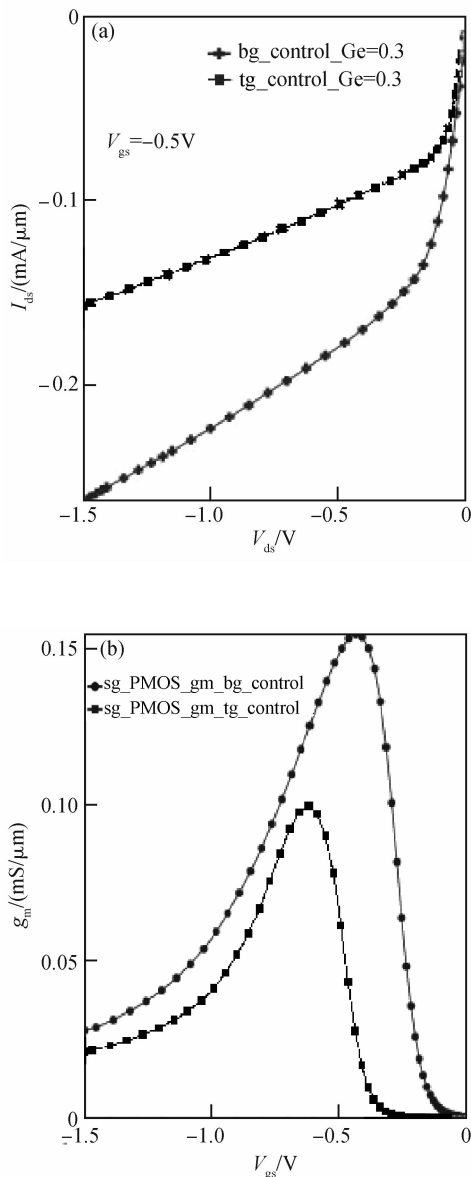


图 3 (a) pMOS 顶栅与底栅控制模式下驱动能力的对比; (b) pMOS 顶栅与底栅控制模式下跨导曲线对比

Fig.3 (a) Comparison of output characteristics for pMOS with TG and BG control mechanisms; (b) Comparison of transconductance characteristics for pMOS with TG and BG control mechanisms

导和驱动能力的影响,我们在固定沟道总掺杂浓度不变的前提下,使应变 Si 层和应变 SiGe 层掺杂浓度保持一致,这样就能准确反映出顶栅和底栅控制模式对驱动能力和跨导的影响. Ge = 0.3 时,顶栅栅控时驱动电流为  $-155\mu\text{A}/\mu\text{m}$ ,底栅栅控时驱动电流为  $-255\mu\text{A}/\mu\text{m}$ ,后者比前者提高了 69%. 图 3(b) 为顶栅和底栅控制模式下的跨导曲线.  $V_{\text{tg}} = V_{\text{bg}} = -1.5\text{V}$ ,  $V_{\text{ds}} = -0.5\text{V}$ , Ge = 0.3 时,  $g_{\text{m-tg}} = 107.5\mu\text{S}/\mu\text{m}$ ,  $g_{\text{m-bg}} = 154.7\mu\text{S}/\mu\text{m}$ ,后者比前者提高了 44%. 顶栅控制模式下,上层应变 Si 层的存在导致顶栅与下层应变 SiGe 沟道距离增大,栅对沟道的控制能力减弱,造成跨导下降;同时顶栅偏压较高时,大量空穴会由应变 SiGe 层向上层的应变 Si 层转移,产生寄生沟道,致使迁移率下降,驱动能力降低,造

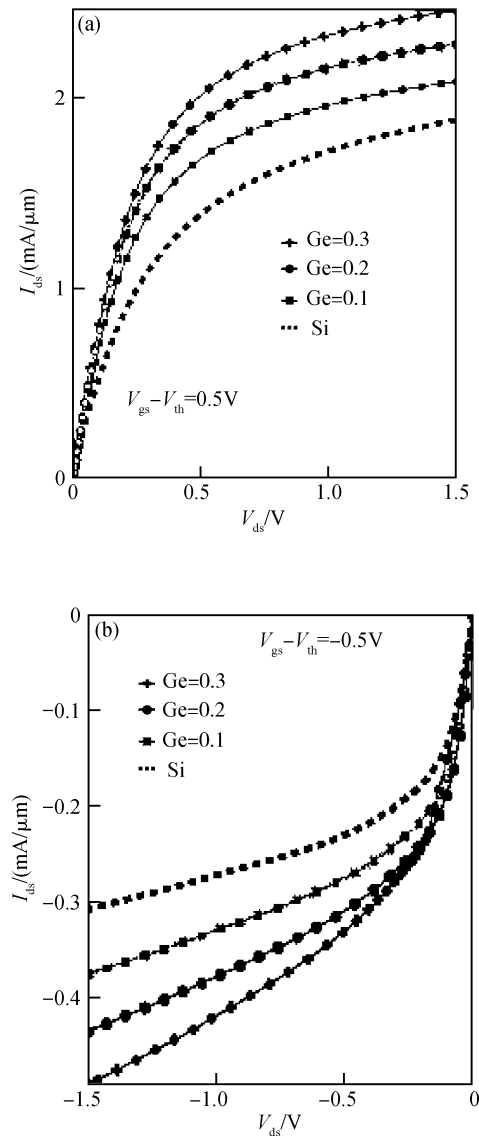


图 4 双栅应变沟道与体 Si 沟道 SOI MOSFETs 输出特性比较 (a) nMOS; (b) pMOS

Fig.4 Output characteristics of DG strained material channel SOI MOSFETs in comparison with conventional Si channel SOI MOSFETs (a) nMOS; (b) pMOS

成器件性能全面退化. 底栅直接控制下层应变 SiGe 层,不存在空穴寄生沟道,栅控能力和跨导较顶栅控制机制均有了明显提高.

### 3.2 新结构作为双栅应变器件的特性

新结构作为双栅器件使用是指顶栅与底栅联合控制沟道的工作模式. 对于 nMOS 而言,顶栅为  $n^+$  掺杂,直接控制应变 Si 沟道,控制能力较强,为主控栅;底栅为  $p^+$  掺杂,且由于 SiGe 层的存在使其距离电子导电沟道应变 Si 层较远,因而控制能力较顶栅偏弱,为辅控栅. 对于 pMOS 则恰好相反,底栅为主控栅而顶栅为辅控栅.

图 4(a) 为双栅应变 Si 沟道与体 Si 沟道 nMOS 输出特性比较,图 4(b) 为双栅应变 SiGe 沟道与体 Si 沟道 pMOS 输出特性比较. 对 nMOS 来说,体 Si 沟道 nMOS

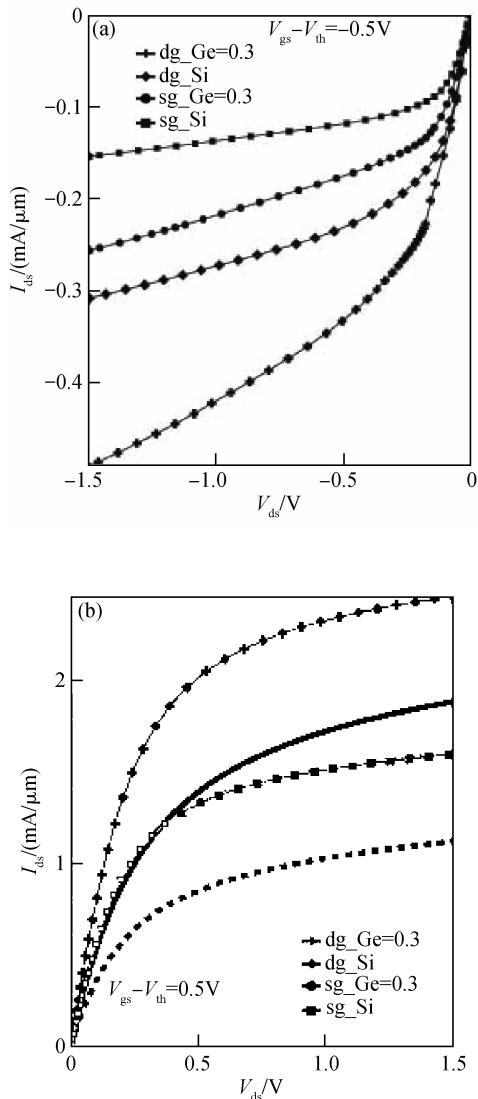


图 5 双栅应变沟道与体 Si 沟道 SOI MOSFETs 输出特性比较 (a) nMOS; (b) pMOS  
Fig. 5 Output characteristics of DG SOI MOSFETs in comparison with SG SOI MOSFETs (a) nMOS; (b) pMOS

的驱动电流为  $1885\mu\text{A}/\mu\text{m}$ , 对应于下层 SiGe 层中 Ge 组分为 0.3 时, 应变 Si 沟道 nMOS 的驱动电流为  $2464\mu\text{A}/\mu\text{m}$ , 同比提高 31%. 对 pMOS 来说, 体硅沟道的驱动电流为  $-307\mu\text{A}/\mu\text{m}$ , 对应于 Ge 组分为 0.3 时, 应变 SiGe 沟道 pMOS 的驱动电流为  $-490\mu\text{A}/\mu\text{m}$ , 同比提高 60%. 可见, 新结构工作在双栅模式时, 应变沟道器件与体 Si 沟道器件相比, n 管和 p 管的驱动能力均有明显提高, p 管的驱动能力提高幅度更为明显.

### 3.3 新结构双栅与单栅工作模式的比较

图 5(a) 为 nMOS 在单栅和双栅工作模式下的输出特性比较, 图 5(b) 为 pMOS 在单栅和双栅工作模式下的输出特性比较. 对于 nMOS, 体硅沟道的驱动电流单栅 (SG) 时为  $1120\mu\text{A}/\mu\text{m}$ , 双栅 (DG) 为  $1885\mu\text{A}/\mu\text{m}$ , 同比提高 68%; Ge = 0.3 时, 应变 Si 沟道的驱动电流 SG 时为  $1600\mu\text{A}/\mu\text{m}$ , DG 为  $2464\mu\text{A}/\mu\text{m}$ , 同比提高 54%. 对 pMOS, 体 Si 沟道的驱动电流 SG 时为  $-153\mu\text{A}/\mu\text{m}$ ,

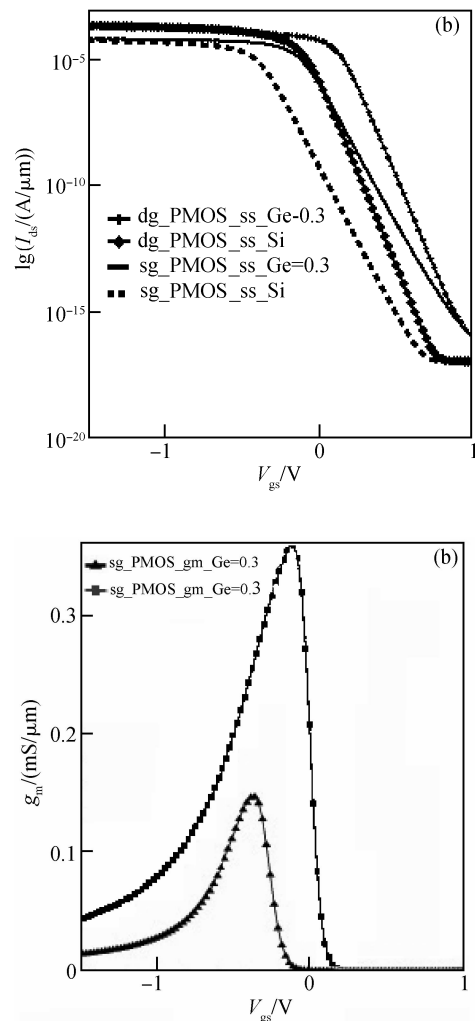


图 6 SG pMOS 与 DG pMOS 亚阈值特性 (a) 和跨导曲线 (b) 的对比  
Fig. 6 Comparison of subthreshold characteristics (a) and transconductance (b) for SG pMOS and DG pMOS

DG 为  $-307\mu\text{A}/\mu\text{m}$ , 同比提高 100%; Ge = 0.3, 应变 SiGe 沟道的驱动电流 SG 时为  $-255\mu\text{A}/\mu\text{m}$ , DG 为  $-490\mu\text{A}/\mu\text{m}$ , 同比提高 92%. 可见, 新结构工作在双栅模式下与单栅工作模式相比, 能更容易、更迅速地实现沟道反型, 因而具有更强的驱动能力.

图 6 分别给出了 pMOS 在单、双栅工作模式下的亚阈值特性和跨导特性曲线的对比. 对于 SG pMOS, 体 Si 沟道  $S = 91\text{mV}/\text{dec}$ , 应变沟道  $S = 87\text{mV}/\text{dec}$ ; 对于 DG pMOS, 体 Si 沟道  $S = 71\text{mV}/\text{dec}$ , 应变沟道  $S = 63\text{mV}/\text{dec}$ . 可以看出, 双栅器件的结构特性决定其比单栅器件有更好的控制沟道的能力, 顶栅与底栅共同控制沟道, 加之沟道区为超薄结构, 体现了近乎理想的亚阈值斜率, 其中双栅应变  $\text{Si}_{0.70}\text{Ge}_{0.30}$  pMOS 的亚阈值斜率  $S = 63\text{mV}/\text{dec}$  接近理想状况 ( $60\text{mV}/\text{dec}$ ). 跨导特性比较, Ge = 0.3 时, SG pMOS 的峰值跨导为  $147\mu\text{S}/\mu\text{m}$ , DG pMOS 的峰值跨导为  $360\mu\text{S}/\mu\text{m}$ , 同比提高 142%, 双栅模式比单栅模式具有更优异的栅控能力.

器件工作在双栅模式下体现出比单栅模式更为优异的抑制短沟道效应的能力. 短沟道效应的主要机制为: 次表面穿通, 源漏电荷共享和漏致势垒降低效应

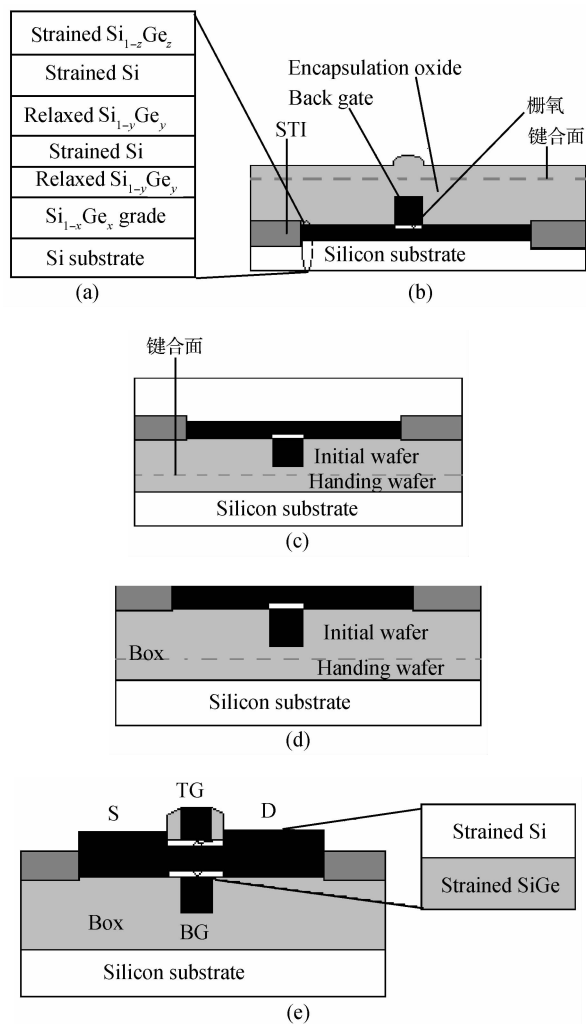


图 7 双栅双应变沟道 SOI MOSFET 工艺流程简图

Fig. 7 Abbreviated process flow of the double gate dual-strained channel SOI MOSFET

(DIBL). 其中超薄沟道结构决定了我们可以忽略次表面穿通效应;双栅作用使得源漏耗尽区在沟道反型区中产生的两个三角形的耗尽区减小,因而相应的源漏电荷共享作用也减小,这是由双栅器件的结构特性所决定的.我们模拟了漏致势垒降低效应(DIBL): Ge = 0.3, 应变 Si 沟道 nMOS, SG 时 DIBL = 24.4mV/V, DG 时 DIBL = 11.7mV/V; 应变 SiGe 沟道 pMOS, SG 时 DIBL = 26.8mV/V, DG 时 DIBL = 16.8mV/V. 可见,双栅器件对 DIBL 效应的抑制能力要明显优于单栅器件,这是因为两个栅共同控制沟道,抑制了漏端电力线向源端的穿透,从而有效抑制了漏致势垒降低效应.

## 4 工艺实现

本文提出的双栅双应变沟道器件,尚未有相关工艺报道,综合国内外相关文献<sup>[7~12]</sup>,该新结构可以在现今已有的工艺条件下得以实现,其制备流程如下:

(1) 在 Si 基片上用超高真空化学气相沉积法(UH-VCVD)线性生长 Ge 组分渐变的  $\text{Si}_{1-x}\text{Ge}_x$  层;  $900^\circ\text{C}$  生长弛豫  $\text{Si}_{1-y}\text{Ge}_y$  层,其中  $x = y$ ;  $680^\circ\text{C}$  生长应变 Si 层,

厚度 5nm;  $525^\circ\text{C}$  生长应变  $\text{Si}_{1-z}\text{Ge}_z$  层,厚度 5nm,其中  $z > y$ ,以便应变 SiGe 层受到较大的应力,如图 7(a)所示.

(2) STI 隔离,热生长底栅氧化层,厚度 1nm,温度低于  $700^\circ\text{C}$ ,时间 3h; 淀积多晶硅栅,形成底栅,底栅掺杂,反应离子刻蚀法(RIE)实现底栅图形化;随后低压化学气相沉积(LPCVD)生长厚氧化层,化学机械平坦过程,如图 7(b)所示.

(3) 分子键合(molecular bonding)法实现两片键合,智能剥离(smart cut)除去上层 Si 片的衬底部分,此衬底 Si 片可循环使用;然后用化学湿法刻蚀除去一系列生长层,只保留应变 Si 层和应变 SiGe 层,如图 7(c)所示.

(4) 热生长顶栅氧化层,厚度 1nm,温度  $650^\circ\text{C}$ ,时间 3h;而后淀积多晶 Si 栅,栅掺杂注入,反应离子刻蚀法(RIE)实现顶栅图形化,形成顶栅,如图 7(d)所示.

(5) 形成  $\text{Si}_3\text{N}_4$  侧墙,源漏区外延生长及离子注入,注意各步中退火温度不超过  $850^\circ\text{C}$ ,时间不超过 10s,以保证沟道材料的应变特性,如图 7(e)所示.

## 5 结论

本文提出了双栅双应变沟道全耗尽 SOI MOSFETs 器件新结构,模拟了栅长为 25nm 时器件工作在单栅和双栅模式下的电学特性,作为比较,同时模拟了体 Si 沟道器件在单栅和双栅模式下的电学特性.结果表明新结构具有优异的电学特性:无论单、双栅工作模式,采用应变沟道时器件的驱动电流均高于体 Si 沟道器件;单栅模式下, pMOS 的底栅控制模式比顶栅控制模式具有更强的控制沟道的能力和更高的驱动能力;新结构的双栅模式比单栅模式具有更为理想的亚阈值斜率,更高的跨导和更强的抑制短沟道效应的能力;本文提出的新结构可以在现有的工艺条件下得以实现.

## 参考文献

- [1] Mizuno T, Sugiyama N, Tezuka T, et al. High-performance strained SOI CMOS devices using thin film SiGe-on-insulator technology. *IEEE Trans Electron Devices*, 2003, 50(4): 988
- [2] Jung J, Yu S, Lee M L, et al. Mobility enhancement in dual-channel pMOSFETs. *IEEE Trans Electron Devices*, 2004, 51(9): 1424
- [3] Yin C, Chan P C H. Investigation of the source/drain asymmetric effects due to gate misalignment in planar double-gate MOSFETs. *IEEE Trans Electron Devices*, 2005, 52(1): 85
- [4] Yeo Y C, Subramanian V, Kedzierski J, et al. Design and fabrication of 50-nm thin-body p-MOSFETs with a SiGe heterostructure channel. *IEEE Trans Electron Devices*, 2002, 49(2): 279
- [5] Olsen S H, O'Neil A G, Chattopadhyay S, et al. Study of single- and dual-channel designs for high-performance strained-Si-SiGe n-MOSFETs. *IEEE Trans Electron Devices*, 2004, 51(7): 1245
- [6] Hallstedt J, von Haartman M, Hellstrom P E, et al. Hole mobility in ultrathin body SOI pMOSFETs with SiGe or SiGeC channels. *IEEE Electron Device Lett*, 2006, 27(6): 466
- [7] Vinet M, Poiroux T, Widiez J, et al. Bonded planar double-metal-gate nMOS transistors down to 10nm. *IEEE Electron Device Lett*,

- 2005,26(5):317
- [ 8 ] Zhang Shengdong, Han Ruqi, Lin Xinnan, et al. A stacked CMOS technology on SOI substrate. *IEEE Electron Device Lett*, 2004, 25(9):661
- [ 9 ] Olsen S H, O'Neill A G, Chattopadhyay S, et al. Study of single- and dual-channel designs for high-performance strained-Si-SiGe n-MOSFETs. *IEEE Trans Electron Devices*, 2004, 51(7):1245
- [10] Jung I, Yu S, Lee M L, et al. Mobility enhancement in dual-channel pMOSFETs. *IEEE Trans Electron Devices*, 2004, 51(9):1424
- [11] Aberg I, Chleirigh C N, Hoyt J L, et al. Ultrathin-body strained-Si and SiGe heterostructure on insulator MOSFETs. *IEEE Trans Electron Devices*, 2006, 53(5):1021
- [12] Bera L K, Mukherjee-Roy M, Abidha B, et al. A dual-strained CMOS structure through simultaneous formation of relaxed and compressive strained-SiGe-on-insulator. *IEEE Electron Device Lett*, 2006, 27(5):350

## Characteristics of Double-Gate, Dual-Strained-Channel, Fully-Depleted SOI MOSFETs \*

Gao Yong, Sun Liwei<sup>†</sup>, Yang Yuan, and Liu Jing

(*Department of Electronic Engineering, Xi'an University of Technology, Xi'an 710048, China*)

**Abstract:** A novel fully-depleted SOI device structure with a double-gate and dual-strained channel is presented. The electrical characteristics of this device with the effective gate length scaled down to 25nm are simulated. When the Ge content reaches 30%, by the adoption of a single-gate (SG) control mechanism, the drive currents are improved by 43% and 67%, respectively, for the strained-Si n-MOSFET and the strained-SiGe p-MOSFET over their unstrained counterparts. By adopting double-gate (DG) control mechanisms, the similar enhancements are 31% and 60%, respectively. The simulation results show that the DG MOSFETs exhibit a steeper sub-threshold slope, a higher transconductance, and a stronger capacity to restrict short-channel-effects over SG MOSFETs. The new structure can be achieved with today's semiconductor manufacturing level.

**Key words:** double-gate; dual-strained-channel; short channel effects

**EEACC:** 2520D; 2530F

**Article ID:** 0253-4177(2008)02-0338-06

\* Project supported by the Xi'an Applied Material Innovation Foundation (No. XA-AM-200514)

<sup>†</sup> Corresponding author. Email: ziyanfeng@163.com

Received 20 July 2007, revised manuscript received 31 August 2007