

全耗尽型浮空埋层 LDMOS 的耐压特性*

成建兵[†] 张 波 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 提出了一种新的全耗尽型浮空埋层 LDMOS(FB-LDMOS)结构. 全耗尽 n 型埋层在器件的体内产生新的电场, 该电场调制了漂移区电场, 使得在降低漂移区漏端电场的同时提高了源侧和中部电场 REBULF 效应. 分析了埋层的浓度、厚度、长度等对器件击穿电压的影响. 借助二维仿真软件 MEDICI, 该新结构的击穿电压由传统 LDMOS 的 585.8V 提高到 886.9V, 提高了 51.4%.

关键词: LDMOS; 全耗尽型浮空埋层; RESURF; REBULF; 击穿电压

EEACC: 21560R; 2560B

中图分类号: TN386 **文献标识码:** A **文章编号:** 0253-4177(2008)02-0344-04

1 引言

薄外延横向双扩散 MOSFET (lateral double-diffused MOSFET, LDMOS) 由于具有易于与低压器件集成等优点, 而成为智能功率集成电路 (SPIC) 和片上系统 (SoC) 设计中的关键器件. LDMOS 设计的目标是在一定的漂移区长度上尽可能提高器件的击穿电压. 理想的表面电场分布是其值为临界击穿电场的均匀电场分布, 此时在给定的漂移区长度情况下器件的耐压最高. 但现实中 LDMOS 的横向电场分布是中间很低两边 (n drift/p-body 结和漏端 n drift/n⁺ 结处) 很高, 中间低电场使得器件单位长度耐压低, 此时即使漂移区长度加长, 器件的耐压增加也很有限; 而两边高的电场峰使得器件易于在该电场峰值处提早击穿, 进一步限制了漂移区中间部位电场强度的增强, 因此降低漂移区两边的电场峰值成为设计的关键. 器件表面电场的峰值可以通过 RESURF (reduced surface field) 技术^[1] 和一些表面终端技术, 如浮空场限环技术^[2,3], 漂移区变掺杂 (VLD) 技术^[4,5], 在器件表面形成 p 降场层技术^[6,7] 等来降低. 当器件满足 RESURF 条件时, 最大的电场峰值由器件的表面转移到器件的体内, 即漏端下方的 p⁻-sub/n⁻-漂移区结, 所以降低该处的电场峰值成为 LDMOS 耐压提高的新目标. 文献[8]讨论了通过在高阻衬底中埋入一高掺杂的浮空层, 从而将漏端体内高电场重新分配到源端的 REBULF LDMOS 结构.

为解决文献[8]所提结构在制造过程中存在的离子沾污等终端问题, 并进一步降低满足 RESURF 效应 LDMOS 体内新出现 n⁻ 漂移区/p-sub 结电场峰值, 本文提出一种全耗尽型浮空 n 型埋层 LDMOS (full depletion floating n-type bury, FB-LDMOS). 通过引入一全耗尽部分 n 型埋层, 一方面在纵向形成两个反向耐

压的 pn 结, 从而降低了体内的高电场峰值, 提高了器件的耐压; 另一方面通过新产生的电场峰值调制漂移区电场, 在降低漏端电场的同时提高了漂移区中部和源侧电场; 该结构还解决了高掺杂浓度浮空层面临的终端击穿问题, 进一步提高了器件的耐压.

2 器件结构和耐压机理

图 1 为本文所提出的 FB-LDMOS 结构示意图. 在下面的讨论中, 漂移区长度 L_d , p 型外延层厚度 T_{pepi} 和 p 型埋层的浓度分别为 $50\mu\text{m}$, $10\mu\text{m}$ 和 $8 \times 10^{15} \text{cm}^{-3}$. 由该图可以看出, FB-LDMOS 相对于传统 LDMOS (conventional LDMOS, C-LDMOS) 区别是在 p 型高阻衬底中嵌入一掺杂浓度为 10^{15}cm^{-3} 量级的部分 n 型埋层. 该部分 n 型埋层的嵌入相当于引入了一个新 pn 结. 当器件漏电极加比较低反向电压时, 只有 D1 结耐压; 但

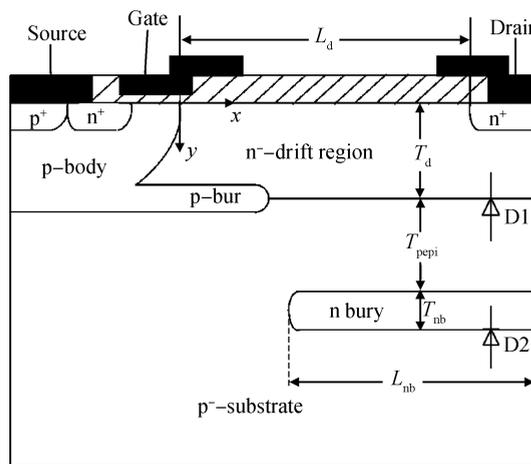


图 1 FB-LDMOS 的结构图

Fig. 1 Structure of FB-LDMOS

* 模拟集成电路国家重点实验室基金(9140C0903010604)和国家自然科学基金(批准号:60576052)资助项目

[†] 通信作者. Email: tony74021600@sina.com

2007-07-30 收到, 2007-09-18 定稿

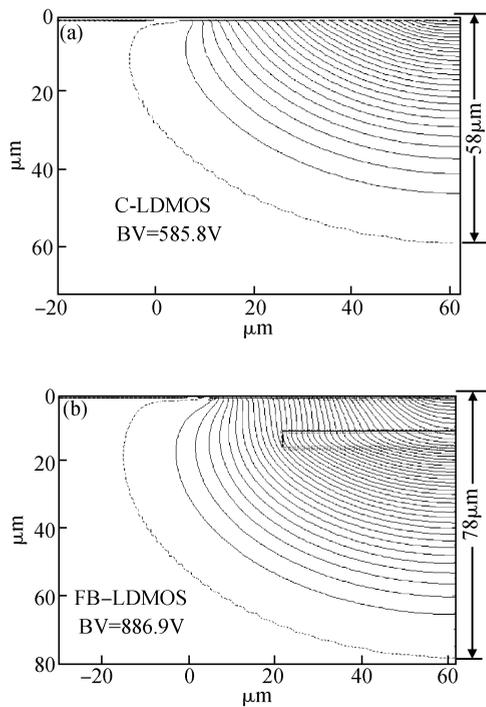


图 2 (a)C-LDMOS 的等势线图;(b)FB-LDMOS 的等势线图

Fig. 2 (a) Potential distribution of C-LDMOS; (b) Potential distribution of FB-LDMOS

当漏端加上足够高的反向电压时, D2 结参与承担器件的反向耐压, 即器件的耐压由传统的 D1 结变为 D1 和 D2 结共同耐压, 此时器件的耗尽区边界被向下拓展. 所以, 当漏电极接相同的反向电压时, FB-LDMOS D1 结的最大电场较 C-LDMOS 的 D1 结的最大电场大大降低, 从而使 FB-LDMOS 的击穿电压得到较大的提高.

图 2(a)和(b)分别为 C-LDMOS 和 FB-LDMOS 的等势线图. 图 2(a)的纵向坐标最大值为 $70\mu\text{m}$, 而图 2(b)为 $80\mu\text{m}$. 从图 2(a)可以看出等势线最密集的地方为漏端下面的 p-衬底/n 漂移区结(类似于图 1 中的 D1 结)处, 而图 2(b)中漏端下方的 p-衬底/n 漂移区结处等势线相对较稀疏, 最密集的位置变为 p-衬底结/n 埋层(即图 1 中的 D2 结). 所以 n 埋层的引入使得 C-LDMOS 的等势线密集处变稀疏, 等势线在纵向重新分布, 器件的耗尽区向衬底拓展. 因此, 由 C-LDMOS 纵向只有 D1 结耐压变为 FB-LDMOS 的 D1 和 D2 结同时耐压, 在降低每个结的峰值电场的同时提高了器件的击穿电压.

3 结果与讨论

图 3 为漂移区长度 L_d 和厚度 T_s 分别为 50 和 $2\mu\text{m}$ 时的电场分布图. 图 3(a)为 FB-LDMOS 和 C-LDMOS 在表面 ($y=0$) 处的横向电场分布图. 图中的 3 条曲线分别是 C-LDMOS 击穿电压 585.8V 时 (E_A), FB-LDMOS 在漏电极接 585.8V (E_B) 和击穿电压 886.9V (E_C) 时的横向电场分布. 比较曲线 E_A 和 E_B 可看出, 当 C-LDMOS 和 FB-LDMOS 漏电极均接 585.8V 时,

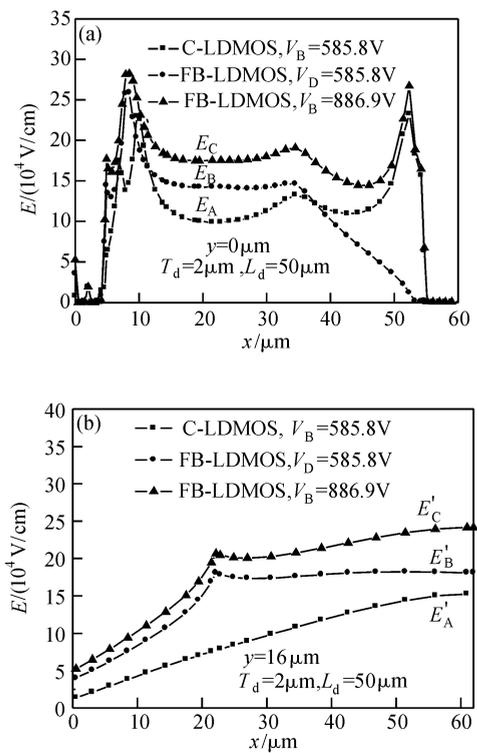


图 3 (a)C-LDMOS 和 FB-LDMOS 在 p^- 衬底/n 漂移区结处的横向电场分布;(b)C-LDMOS 和 FB-LDMOS 在 p^- 衬底/ n^- 埋层结处的横向电场分布

Fig. 3 (a) Horizontal field at p^- -sub/n-drift junction; (b) Horizontal field at p^- -sub/ n^- -bury junction

FB-LDMOS 漏端电场降低, 但源侧和中间电场增加. 而 E_C 在整个漂移区其电场都比 E_A 高, 所以击穿电压提高. 而从图 3(b)C-LDMOS 和 FB-LDMOS 在 p^- 衬底/ n^- 埋层结 ($y=16\mu\text{m}$) 处的横向电场分布图可以看出 $E'_C > E'_B > E'_A$. C-LDMOS 的最大电场在漏端下方 p^- 衬底/ n^- 漂移区结处, 而 FB-LDMOS 将最大电场转移到 p^- 衬底/ n^- 埋层结处. 因此, FB-LDMOS 中 n 型埋层产生的大电场 E'_C 调制并大大加强了漂移区电场(图 3(a)中的 E_C).

图 4(a)为 C-LDMOS 和 FB-LDMOS 在漏端 ($x=50\mu\text{m}$) 的纵向电场分布. C-LDMOS 的纵向电场峰值出现在漂移区的漏端. 而 FB-LDMOS 的纵向电场出现了两个电场峰值, 其一为传统的图 1 中的 D1 处, 其二为 D2 处. 且 C-LDMOS 的电场峰值比 FB-LDMOS 的大, 所以 C-LDMOS 比 FB-LDMOS 提前达到临界电场, 击穿电压下降. 从该图还可以看出, E'_C 调制还使得器件的纵向耗尽区边界由 C-LDMOS 的 $58\mu\text{m}$ 扩展到 FB-LDMOS 的 $78\mu\text{m}$. 图 4(b)为 FB-LDMOS 漏端电压为 585.8V 时在不同 x 位置处 ($E_H: x=0, E_I: x=24\mu\text{m}$ 以及 $E_J: x=L_d=50\mu\text{m}$) 的纵向电场分布. 由于图 3(b)中 E'_C 电场的调制作用, 还使得在漏端 p 外延/n 漂移区界面上 (E_J) 电场降低的同时, 漂移区的源侧 (E_H) 和中部 (E_I) 电场提高. 因此, 在相同的器件面积情况下, FB-LDMOS (耐压为 886.9V) 比 C-LDMOS (耐压为 585.8V) 提高了 51.4%.

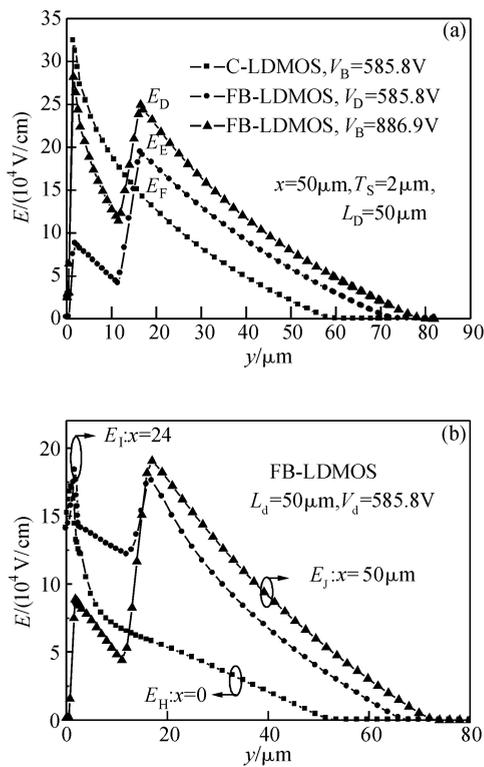


图 4 (a) C-LDMOS 和 FB-LDMOS 在 n⁻ 漂移区/n⁺ 漏结处的纵向电场分布; (b) FB-LDMOS 漏端电压为 585.8V 时不同横向位置处的纵向电场
Fig.4 (a) Vertical field at n⁻-drift/n⁺-drain junction; (b) Vertical fields at different x position

图 5 为在不同的漂移区掺杂浓度 N_d 下击穿电压与 n 埋层长度 L_{nb} 关系图. N_d 为 $5 \times 10^{15} \text{ cm}^{-3}$ 时 FB-LDMOS 的耐压最大, N_d 为 $6 \times 10^{15} \text{ cm}^{-3}$ 时器件的耐压最小. 随着 N_d 的增加, 器件的最大耐压略有下降. 从图中还可以看出: 不同 N_d 器件最优 L_{nb} 不同; 且随着 N_d 的增加, 最优的 L_{nb} 减小.

此时, 不仅要求 n 漂移区以及 n 埋层的浓度和厚度满足 RESURF 条件, 还要求 n 漂移区以及 n 埋层的浓度和厚度同时满足 REBULF 条件:

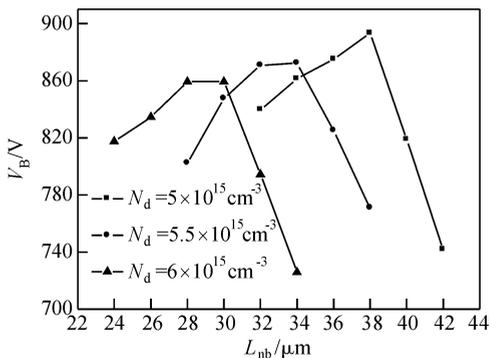


图 5 FB-LDMOS 在不同的漂移区掺杂浓度 N_d 下击穿电压与 n 埋层长度 L_{nb} 关系图
Fig.5 Breakdown voltage of FB-LDMOS versus the length of n-buried layer L_{nb} under different drift region doping concentration N_d

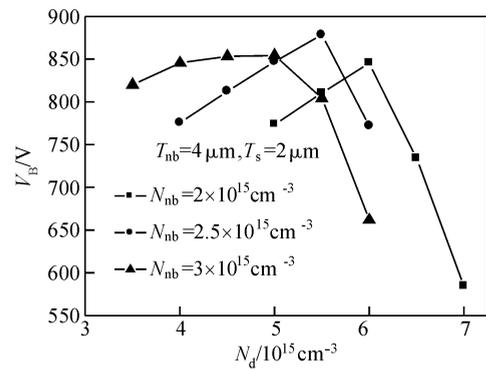


图 6 FB-LDMOS 在不同 n 埋层掺杂浓度 N_{nb} 下击穿电压和漂移区掺杂浓度 N_d 之间的关系
Fig.6 Breakdown voltage of FB-LDMOS versus the drift region doping N_d under different n-type buried layer doping concentration N_{nb}

$$N_d T_d + N_{nb} T_{nb} \frac{L_{nb}}{L_d} = \text{const} \quad (1)$$

由(1)式可知, N_d , N_{nb} , 和 L_{nb} 之间存在相关联的优化关系. 因此, 可以通过调整全耗尽 n 埋层的浓度来提高器件耐压和导通电阻之间的折中.

图 6 为 FB-LDMOS 在不同 n 埋层掺杂浓度 N_{nb} 下击穿电压和漂移区掺杂浓度 N_d 之间的关系曲线图. 从该图可以看出: 当 $N_{nb} = 2.5 \times 10^{15} \text{ cm}^{-3}$ 时, 器件的耐压最大; 当 $N_{nb} = 3 \times 10^{15} \text{ cm}^{-3}$ 时, 器件的耐压较小, 但漂移区的掺杂浓度 N_d 的容差范围最大. 当 n 埋层的掺杂浓度高时, p⁻ 衬底/n 埋层结处电场峰值增高, 使得器件耐压对漂移区浓度的变化不敏感, 所以此时 N_d 容差范围最大. 从该图还可以看出, 当 N_d 大于优值时, 器件的耐压下降得很快, 这是由于此时电力线在漂移区沟道端集中, 漂移区不能全部耗尽, 器件过早的被击穿. 所以在设计器件的时候, 存在耐压和漂移区的掺杂浓度 N_d 的容差之间的折中.

不同 n 型埋层厚度 T_{nb} 条件下 FB-LDMOS 的击穿电压 V_B 与埋层浓度 N_{nb} 之间的关系示于图 7. 器件的最大击穿电压随着 n 型埋层宽度的增加而增大. 这是由于埋层宽度增加器件纵向耗尽区边界进一步向衬底拓

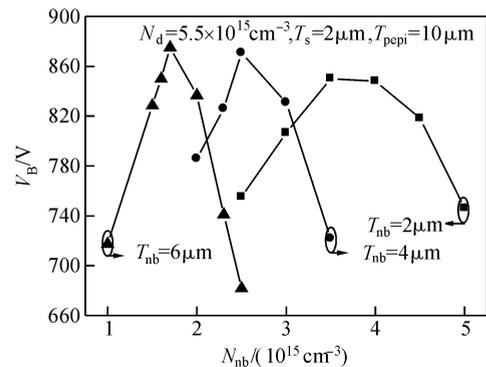


图 7 FB-LDMOS 在不同 n 埋层厚度下击穿电压和埋层浓度之间的关系
Fig.7 Breakdown voltage of FB-LDMOS versus n-type buried layer concentration under different thicknesses

展,使得器件的耐压增大.但从该图也可以看出:埋层厚度为 $6\mu\text{m}$ 时的埋层浓度的容差比 $2\mu\text{m}$ 时要小得多.

4 结论

为了适应薄外延智能功率集成电路技术和片上系统的发展,提高薄外延横向功率器件的击穿电压,本文提出一种新的具有全耗尽部分 n 型浮空埋层的 LD-MOS 结构.该结构在降低漏侧 p^- 衬底/ n^- 漂移区结处电场峰值的同时,提高了漂移区源侧和中部的电场,并且在衬底里引入另一电场峰值,提高了衬底的电场,从而提高了器件的击穿电压.利用器件仿真软件 MEDICI 所得的结果表明:新结构的反向耐压比传统 LDMOS 提高了 51.4%.

参考文献

- [1] Appels J A, Vaes H M J. High voltages thin layer devices (RESURF devices). IEEE International Electron Devices Meeting Digest, 1979: 238
- [2] Adler M S, Temple V A K, Ferro A P, et al. Theory and breakdown voltage for planar devices with a single field limiting ring. IEEE Trans Electron Devices, 1977, 24(2): 313
- [3] He Jin, Huang Ru, Zhang Xing, et al. Analytical model of three-dimensional effect on voltage and edge peak field distributions and optimal space for planar junction with a single field limiting ring. Solid-State Electron, 2001, 45(1): 79
- [4] Stengl R, Gosele U. Variation of lateral doping - a new concept to avoid high voltage breakdown of planar junctions. IEEE International Electron Devices Meeting Digest, 1985: 154
- [5] Lai T M L, Sin J K O, Wang M, et al. Implementation of linear doping profile for high voltage thin-film SOI device. Proceeding 7th International Symposium Power Semiconductor Devices and ICs, 1995: 315
- [6] De Souza M M, Narayanan E M S. Double RESURF technology for HVICs. Electron Lett, 1996, 32(12): 1092
- [7] Hossain Z, Imam M, Fulton J, et al. Double-RESURF 700V n-channel LDMOS with best-in-class on-resistance. Proceeding 14th International Symposium Power Semiconductor Devices and ICs, 2002: 137
- [8] Zhang Bo, Duan Baoxing, Li Zhaoji. Breakdown voltage analysis of a REBULF LDMOS structure with an n^+ -floating layer. Chinese Journal of Semiconductors, 2006, 27(4): 730

Breakdown Voltage Characteristics of LDMOS with a Full Depletion Floating Buried Layer*

Cheng Jianbing[†], Zhang Bo, and Li Zhaoji

(IC Design Center, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A new LDMOS with a full depletion floating buried layer is proposed. Because of the buried layer, a new electric field peak is induced and this new field modulates the field in the drift region. The modulation reduces the field of the drain side, and meanwhile, the fields of the source side and the middle of the drift are improved (the REBULF effect). The influence of the doping, thickness, and length of bury on the breakdown voltage is discussed. 2D numerical simulations using MEDICI show that the breakdown voltage increases from 585.8 to 886.9V.

Key words: LDMOS; full depletion floating buried layer; RESURF; REBULF; breakdown voltage

EEACC: 2156R; 2560B

Article ID: 0253-4177(2008)02-0344-04

* Project supported by the Foundation of the National Key Laboratory of Analog IC (No. 9140C0903010604) and the National Natural Science Foundation of China (No. 60576052)

[†] Corresponding author. Email: tony74021600@sina.com

Received 30 July 2007, revised manuscript received 18 September 2007