

基于 $0.8\mu\text{m}$ BCD 工艺的 $20\text{W}\times 2$ 集成 D 类音频功放设计*

刘帘曦^{1,2,†} 朱樟明^{1,2} 杨银堂^{1,2} 过伟¹ 史斌¹

(1 西安电子科技大学微电子学院, 西安 710071)

(2 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

摘要: 基于 $0.8\mu\text{m}$ BCD 工艺完成了一种具有高转换效率的 $20\text{W}\times 2$ 立体声集成音频功率放大器. 该放大器可在 18V 电源电压下以全桥输出的方式向 8Ω 负载提供超过 20W 的功率, 其转换效率可达 85% 以上. 介绍了功率输出级、过流保护电路以及高性能轨-轨比较器的设计, 并基于横向双扩散 MOSFET 器件结构讨论了功率输出器件寄生效应对输出电压波形失真的影响. 最后给出了所设计的 D 类音频功率放大器的测试结果.

关键词: D 类功率放大器; 全桥; 过流保护; 轨-轨比较器

EEACC: 2570

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2008)05-0988-05

1 引言

在多通道数字音源时代, 采用 D 类功率放大器取代传统的线性(如 AB 类)功率放大器以简化前级线路, 提高功放效率从而降低对电源及散热的要求, 已是一种必然趋势. D 类放大器的最大优势在于其极高的转换效率, 众多资料表明 D 类放大器产生的热量仅约为线性放大器的一半^[1]. 随着输出功率增加, D 类放大器可迅速达到约 80% 以上的转换效率, 而线性放大器的转换效率随输出功率增加的速度则相当缓慢. 在平板电视等消费电子领域, D 类放大器的效率约比传统的线性功放效率高了近 4 倍^[1,2]. 因此, 深入研究大功率输出的高效 D 类功率放大器具有重要的理论价值和实用意义.

2 电路的整体结构和工作原理

2.1 整体结构

D 类功率放大器是一种脉宽调制(PWM)的开关功放: 首先将弱音频信号通过高增益前置放大器放大, 放大后的音频信号进而与内部三角波相比较进行采样, 从而将音频信号的幅度信息转化成控制信号脉冲宽度的变化, 然后将变换得到的 PWM 波经过整形、延时后用电平转换电路(level shifter)再次放大, 最后利用这个放大的信号驱动功率 MOSFET, 输出的电流信号通过 LC 低通滤波器还原成放大的音频信号. 由于功率 MOSFET 工作在开关状态, 且导通电阻很小, 因此, D 类功放具有很高的转换效率^[2].

D 类功率放大器的电路原理结构如图 1 所示(一个通道). 其中 V_{inp} 和 V_{inn} 是互补的全差分信号, 为了提高输出功率, 功率器件使用了 LDMOSFET, 输出级采用了 H 全桥的拓扑结构. 为了防止在大输出功率情况下外围电路的非正常状态对芯片产生损坏, 内部在输出级集成了过流保护电路(OCP)和过热保护电路(OTP). 为了避免 H 桥输出结构中从电源到地的“穿通”, 必须给控制信号加入死区时间(dead-time), 使相应的开关在对应开关有效关断之后再导通^[3]. 由于在死区时间内, H 桥上的功率器件均处于关断状态, 因此, 死区时间实际上给输出波形带来了极大的失真. 死区时间的大小主要由功率开关栅极的寄生电容决定, 因此功率开关除了导通电阻要尽可能小以外, 其栅极寄生电容也应当尽可能小^[3].

2.2 适合 D 类功放的 BCD 工艺

传统的高压 CMOS 器件虽然可以通过并联大数量

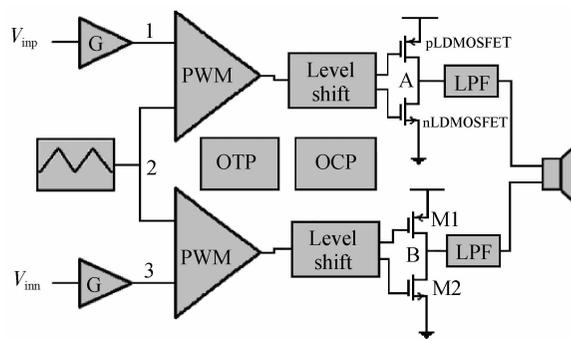


图 1 D 类功率放大器的电路结构框图

Fig. 1 Diagram of the circuit of class-D power amplifier

* 国家自然科学基金(批准号:60476046,60676009)、教育部博士点基金(批准号:20050701015)和国家杰出青年科学基金(批准号:60725415)资助项目

† 通信作者. Email: lxliu@mail.xidian.edu.cn

2007-08-03 收到, 2007-12-14 定稿

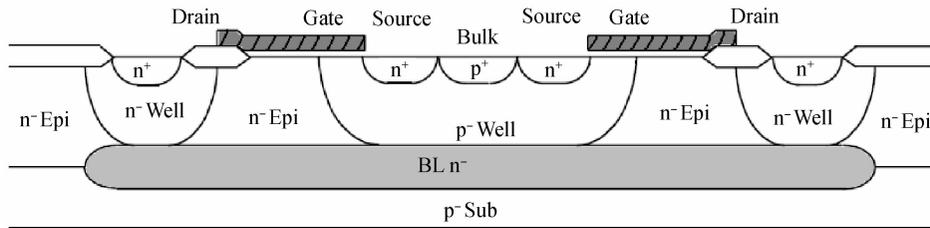


图2 nLDMOSFET的纵向结构示意图
Fig.2 Cross section of an nLDMOSFET

的MOSFET来实现较小的导通电阻,但是并联的MOSFET数量越大,其栅极的绝对面积也越大,从而栅极的交叠寄生电容也越大.这显然不符合D类放大器对输出功率器件的要求,为了实现最小的 $R_{\text{DS(on)}} \times \text{Area}$,本文作者提出的设计采用了横向双扩散(lateral double-diffused)MOSFET作为输出功率开关.

图2是n型LDMOSFET的纵向结构示意图,采用了源漏非对称结构.利用低浓度掺杂的n阱和n外延形成延伸漏(extended drain)的结构,大大提高了栅漏、漏源之间的击穿电压.靠近源区的薄栅氧化层使器件有较高的跨导值和较低的阈值.该工艺中的LDMOSFET最高漏源击穿电压可达40V,埋层的隔离能有效降低控制电路中的噪声通过衬底注入到输出级,并且,可以利用埋层制造高 β 值的pnp管作为温度传感器,用之设计高性能的过热保护电路^[4].

与普通工艺中高压MOSFET相比,该工艺中的LDMOSFET由于源端具有几乎与低压亚微米CMOS器件相同的栅氧化层厚度,因此,其导通电阻比普通工艺中的高压MOSFET的导通电阻小很多^[4].而且相同程度耐压条件下,栅面积可以做得更小.所以,此种制程能更好满足D类功放输出功率器件最小的 $R_{\text{DS(on)}} \times \text{Area}$ 的要求^[5].

当D类音频功率放大器正常工作时,图1中功率开关pLDMOS管和nLDMOS管都工作在深线性区,其导通电阻分别为

$$R_{\text{op}} = \frac{1}{\mu_{\text{p}} C_{\text{ox}} \frac{W}{L} (|V_{\text{GSP}}| - |V_{\text{THP}}|)}$$

$$R_{\text{on}} = \frac{1}{\mu_{\text{n}} C_{\text{ox}} \frac{W}{L} (V_{\text{GSN}} - V_{\text{THN}})} \quad (1)$$

输出功率管采用级联复合结构实现,根据0.8μm BCD的工艺参数,计算得到pLDMOS的导通电阻约为0.075Ω,nLDMOS的导通电阻约为0.076Ω,具有良好的匹配度.

2.3 高性能 rail-to-rail 比较器电路设计

输出功率开关的驱动信号是由音频信号与采样信号相与得到的,由于功率开关始终工作在导通、截止这样两个状态,因此驱动信号对整个D类功放的性能起着至关重要的决定作用^[6].PWM信号产生的核心器件是一个比较器,一端输入三角波信号,另一端输入模拟

信号,输出就是一个脉宽被调制的矩形波.

为提高比较器精度和增益,PWM比较器电路选择了两级开环比较器结构.同时由于比较器实际运用于音频电路中,工作在噪声环境下,并且在阈值点检测信号变化,使得一般的单限比较器难免在输出存在噪声,因此在设计中加入了滞回结构^[6,7].图3中的M5、M13、M6、M10、M7、M11和M8、M16组成相应的滞回电路,以此来提高比较器的抗干扰能力.

作为D类音频运放中的比较器,其输出的调制波经过一系列的数字逻辑变化用来控制功率开关,要使其能够正常工作,最优选择就是使比较器共模输出为 $V_{\text{SS}} - V_{\text{DD}}$,即满量程输出,因此须采用轨-轨(rail-to-rail)结构为比较器的输入级结构.图3中,nMOS管M3、M4和pMOS管M1、M2共同组成了比较器的输入结构.对于pMOS差分对其共模输入范围为 $V_{\text{SS}} < V_{\text{CM}} < V_{\text{DD}} - |V_{\text{GS}}| - |V_{\text{DS}}|$,同样对于nMOS差分对其共模输入为 $V_{\text{SS}} + V_{\text{GS}} + V_{\text{DS}} < V_{\text{CM}} < V_{\text{DD}}$,将两者并联起来,得到共模输入范围为 $V_{\text{SS}} < V_{\text{CM}} < V_{\text{DD}}$.

从图3中不难看到,其共模输入范围内可划分为3个工作区:在较低的 V_{CM} 时,M1、M2导通M3、M4截止,偏置电流由 I_{bias1} 提供;在较高的 V_{CM} 时,M3、M4导通M1、M2截止,偏置电流由 I_{bias2} 提供;当 V_{CM} 在中间范围时,M1、M2、M3、M4都导通,偏置电流由上、下尾电流提供,此时偏置电流的和为 $I_{\text{bias1}} + I_{\text{bias2}}$.rail-to-rail结构输入级的总跨导:

$$I_{\text{D}} = \frac{1}{2} \mu C_{\text{ox}} \left(\frac{W}{L} \right) (V_{\text{GS}} - V_{\text{TH}})^2 (1 + \lambda V_{\text{DS}}) \quad (2)$$

忽略器件的沟道调制效应($\lambda = 0$),经过求导换算得出总跨导为:

$$g_{\text{m,total}} = \sqrt{\mu_{\text{n}} C_{\text{ox}} \left(\frac{W}{L} \right)_{\text{n}} I_{\text{bias2}}} + \sqrt{\mu_{\text{p}} C_{\text{ox}} \left(\frac{W}{L} \right)_{\text{p}} I_{\text{bias1}}} \quad (3)$$

由(3)式可知,rail-to-rail电路是通过调节输入级的总偏置电流大小来实现电路总跨导的恒定,从而提高了比较器的性能.

比较器的输出级采用不带恒流源的基本差分结构,M19、M20构成差分对输入,M18、M17构成镜像负载,M20、M17构成典型的AB类输出结构,从而实现输出轨对轨电压.对输出级电路进行小信号分析可得其增益为:

$$A_{\text{v}} = g_{\text{m19,20}} (r_{\text{M19,20}} \cdot r_{\text{M17,18}}) \quad (4)$$

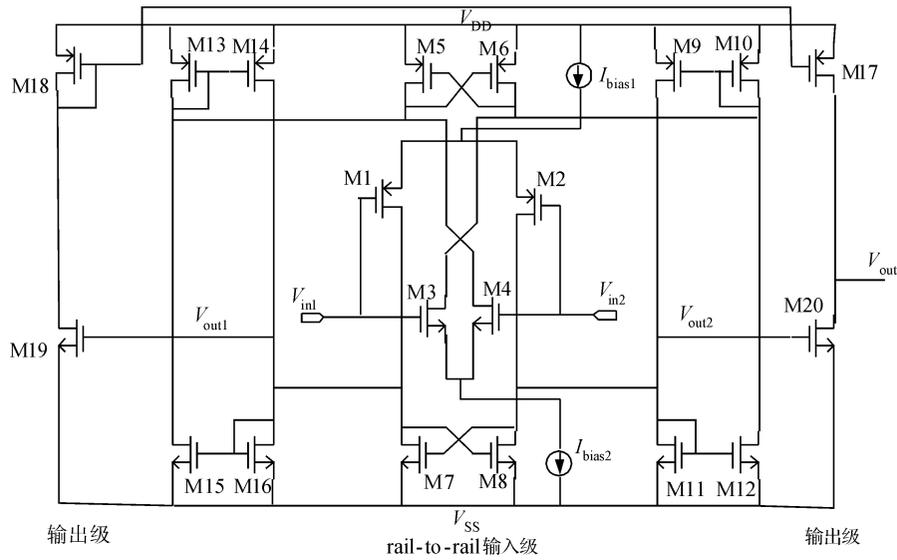


图 3 Rail-to-rail 比较器示意图
Fig. 3 Schematic of the rail-to-rail comparator

2.4 输出级过流保护电路设计

图 4 为针对 D 类音频放大器应用的过流保护电路, 其中电路 M3 和 M4 的栅控制信号 enp 和 enn, 分别与图 1 中的 M1 (pLDMOS) 和 M2 (nLDMOS) 的栅控制信号相同, 所以 M1 和 M3 构成了 p 型电流镜, M2 和 M4 构成了 n 型电流镜. M1 和 M2 的源漏电流大小分别为:

$$I_{M1} = \frac{W_1/L_1}{W_3/L_3} \times \frac{N_1}{N_3} I_{M3}, I_{M2} = \frac{W_2/L_2}{W_4/L_4} \times \frac{N_2}{N_4} I_{M4} \quad (5)$$

式中 N 为器件的并联个数.

图 4 中的比较器 1 和比较器 2 都是失调比较器, 即输入级采用不对称差分对结构, 引入失调电压, 以满足设计的要求.

当输出意外与地短接时, 过流保护电路的工作过程主要针对图 3 中上半部分的电路, 即比较器 1 对过流情况进行监测. 其主要的工作原理即检测 R_2 上的压降, 当该压降超过比较器失调电压的时候, 比较器 1 输出为 0, 所以 out1 输出为 1, 就可以关断整个系统电路. R_2 两端的压降为:

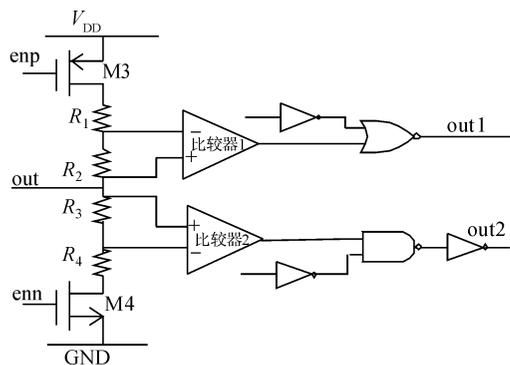


图 4 整体过流保护电路
Fig. 4 Schematic of the OCP

$$V_{R_2} = \frac{V_{DD} - V_{out}}{R_1 + R_2} R_2 \quad (6)$$

图 5 是比较器 1 内部电路, 是一个带有输出级和内部迟滞的完整比较器. 根据 MOS 管子尺寸, $(W/L)_{M13}/(W/L)_{M11} < 1$, 所以比较器 1 左边不产生迟滞, 而 $(W/L)_{M14}/(W/L)_{M15} > 1$, 在右边会产生迟滞. 下面是对转折点的计算过程, 其中假设 V_{out} 从正电压向零电压减小.

$$I_{M8} = \frac{(W/L)_{M8}}{(W/L)_{M6}} I_{M6} \quad (7)$$

$$I_{M14} = \frac{(W/L)_{M14}}{(W/L)_{M15}} I_{M15} \quad (8)$$

$$I_{M15} = \frac{I_{M8}}{1 + [(W/L)_{M14}/(W/L)_{M15}]} = I_{M10} \quad (9)$$

$$I_{M9} = I_{M8} - I_{M10} \quad (10)$$

$$V_{GS(M9)} = \left(\frac{2I_{M9}L_{M9}}{\mu_n C_{ox} W_{M9}} \right)^{1/2} + V_{TH(M9)} \quad (11)$$

$$V_{GS(M10)} = \left(\frac{2I_{M10}L_{M10}}{\mu_n C_{ox} W_{M10}} \right)^{1/2} + V_{TH(M10)} \quad (12)$$

$$V_{TNP} = V_{GS(M10)} - V_{GS(M9)} \quad (13)$$

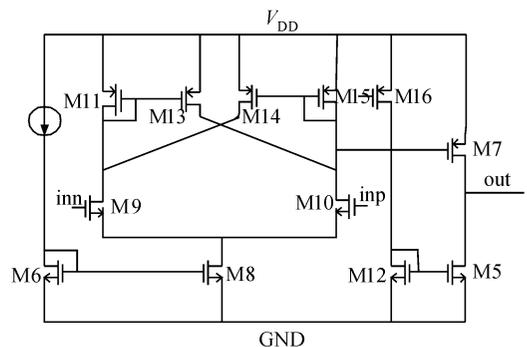


图 5 比较器 1 的内部电路
Fig. 5 Schematic of the comparator1

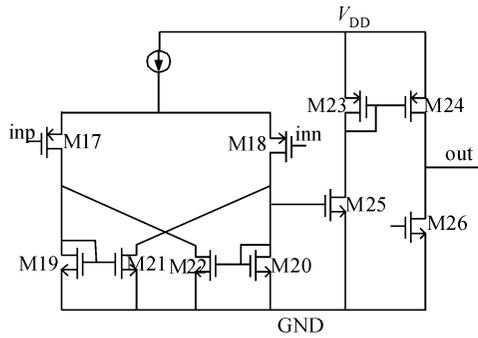


图 6 比较器 2 的内部电路
Fig.6 Schematic of the comparator2

当 $V_{inp} - V_{inn} = V_{THP}$ 的时候, 比较器 1 的输出开始翻转. 对于输出接低阻抗 (或者两个差分输出端短接) 这种情况, 其保护原理和接地是一样的.

对于输出短接电源的情况, 即输出短接到一个高压, 工作过程主要针对图 4 中下半部分的电路, 即图 4 中比较器 2 对过流情况进行监测, 当比较器 2 输出为 1 的时候, 整个电路关断. 图 6 是比较器 2 的内部电路, 其工作原理和比较器 1 类似.

3 电路仿真及测试结果

用 Hspice 仿真器及 0.8 μm BCD 工艺库提供的器件 Model 对整个电路 (一个通道) 进行了仿真, 所加输入信号频率为 1kHz, 幅度为 100mV 的正弦波, 在闭环情况下, 对不同电源电压和不同负载的情况进行了仿真. 图 7 是在电源电压为 18V 时, 输入信号经前置放大器放大后与三角波在 rail-to-rail 比较器中比较产生 PWM 控制波形, 内部三角波频率为 350kHz, 各节点位置如图 1 所示. 节点 1, 3 是经前置放大器放大之后的差分音频信号, 节点 2 是内部产生的三角波信号, 其振荡频率为 350kHz, 节点 A, B 则分别是 H 桥两臂的输出波形.

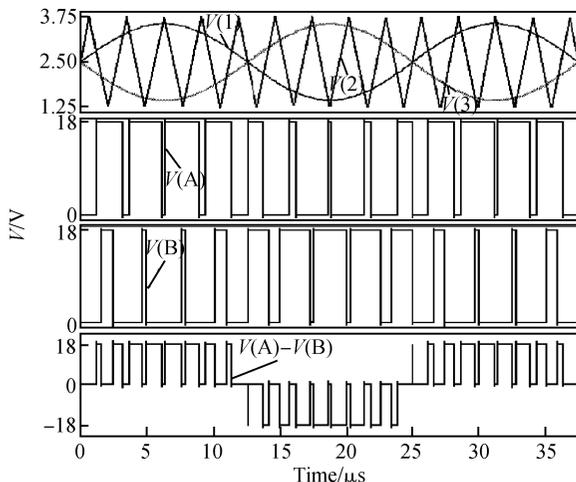


图 7 整体电路的仿真波形
Fig.7 Simulation wave of the whole circuit

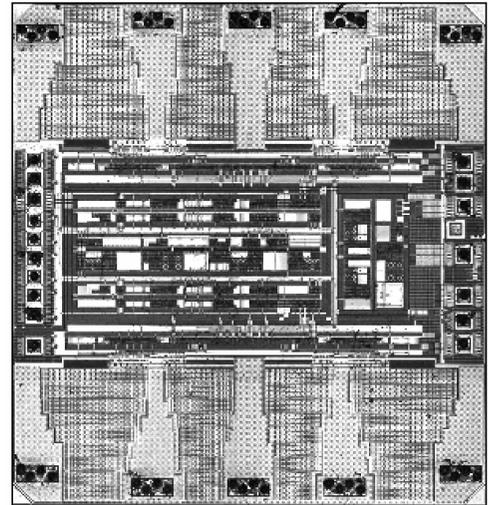


图 8 20W \times 2 D 类音频功放芯片照片
Fig.8 Photo of the whole die

整个 20W \times 2 的 D 类音频功放由两个完全对称的通道组成, 在版图布局时为了保证两个通道的一致性, 两部分的版图需要完全对称. 为了防止通道之间的互扰, 在对称的基础上还要对各自电路进行隔离. 由于输出功率较大, 因此 8 个功率管的面积几乎占了整个芯片面积的三分之二. 为了减小封装寄生电阻, 提高电流能力和转换效率, 功率管的源 (漏) 采用 4 根金丝压焊. 图 8 是整块芯片的照片, 芯片尺寸约为 3.4mm \times 3.6mm. 表 1 给出输入信号频率为 1kHz 的正弦波, 负载为 8 Ω 电阻时的部分参数测试结果.

表 1 部分参数测试结果

Table 1 Measured results of the chip parameter

$T_a = 25^\circ\text{C}$, 输入信号频率为 1kHz, 幅度 100mV 的正弦波, 负载 8 Ω		
参数	测试条件	测试结果
电压增益 A_v/dB	$V_{DD} = 12\text{V}$	31
	$V_{DD} = 18\text{V}$	42
静态电流 I_{DD}/mA	$V_{DD} = 12\text{V}$, 无负载	14
待机电流 $I_{DD0}/\mu\text{A}$	$V_{DD} = 12\text{V}$, 无负载, 待机模式	300
死区时间 T_D/ns	输入短接	30
效率 $\text{Eff}/\%$	$V_{DD} = 12\text{V}$, 输出功率 8W	90
输出噪声 $V_N/\mu\text{V}$	$V_{DD} = 18\text{V}$	100
保护电流 I_P/A	$V_{DD} = 18\text{V}$	4.2

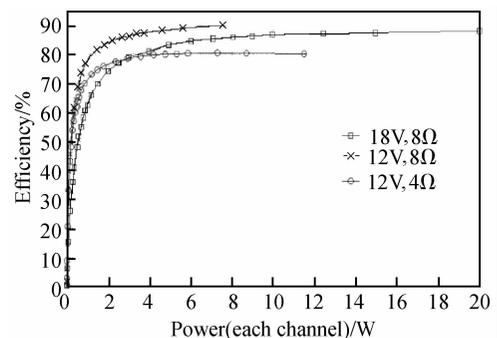


图 9 不同电源电压和不同负载情况下输出功率与转换效率的关系
Fig.9 Conversion efficiency versus output power at different supply voltages and loads

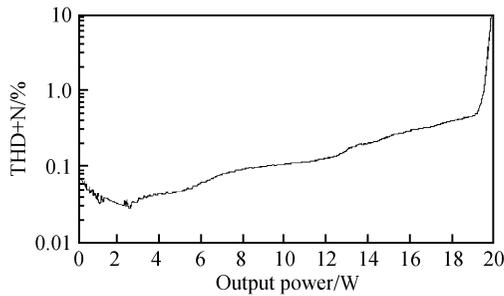


图 10 输出功率与 THD+N 的关系

Fig.10 THD + N versus output power

图 9 是测量的功放效率与输出功率之间的关系图, 改变电源电压和负载电阻, 得到 3 条不同的曲线. 从图中可以看出, 提高工作电压或者减小负载电阻可以提高 D 类功放的最大效率, 但是对一额定的输出功率而言, 降低电源电压或者增大负载电阻反而可以提高该输出功率下的效率.

图 10 给出了当电源电压为 18V, 负载为 8Ω, 输入信号为频率 1kHz 的正弦波时, 该 D 类功放的总谐波失真与噪声之和随输出功率变化的关系. 从图中可以看出, 随着输出功率的增大, 整个功放的总谐波失真与噪声之和有逐渐增大的趋势, 当输出功率接近功放的最大额定输出功率时, THD + N 的值急剧上升. 功放的 THD + N 的最大值不超过 10%, 而且, 即使在输出功率高达 18W 的情况下, 整个功放的 THD + N 的值仍能保持在 1% 以下.

4 结论

本文提出了一种基于 0.8μm BCD 工艺的 D 类立体声音频功率放大器的设计, 并重点介绍了输出级的过

流保护电路和产生 PWM 的轨-轨比较器电路. 对整个功放的仿真及实验结果表明, 在 18V 电源电压下, 该功放可驱动 8Ω 的负载电阻达到最大 20W 的功率, 当输出功率大于 4W 时, 整个功放的效率大于 85%. 功放工作时的 THD + N 不大于 10%, 当输出功率小于 18W 时, THD + N 值可控制在 1% 以下. 本文提出的 D 类立体声音频功率放大器因其高转换效率和低失真度在平板电视等消费电子领域完全可以替换传统的线性音频放大器.

致谢 本论文得到了西安民展微电子有限公司员工郑浩、雷晗等人的支持, 在此特别感谢.

参考文献

- [1] Morrow P, Gaalaas E, McCarthy O. A 20-W stereo class-D audio output power stage in 0.6μm BCD MOS technology. *IEEE J Solid-State Circuits*, 2004, 39(11): 1948
- [2] Adduci P, Botti E, Dallago E, et al. PWM power audio amplifier with voltage/current mixed feedback for high-efficiency speakers. *IEEE Trans Industrial Electronics*, 2007, 54(2): 1141
- [3] Berkhout M. Integrated overcurrent protection system for class-D audio power amplifiers. *IEEE J Solid-State Circuits*, 2005, 40(11): 2237
- [4] Berkhout M. An integrated 200W class-D audio amplifier. *IEEE J Solid-State Circuits*, 2003, 38(7): 1198
- [5] Nyboe F, Risbo L, Andreani P. Determination of over current protection thresholds for class D audio amplifier. *Norchip Conf*, 2005: 125
- [6] Sakurai S, Ismail M. Robust design of rail-to-rail CMOS operational amplifiers for a low power supply voltage. *IEEE J Solid-State Circuits*, 1996, 31(2): 146
- [7] Cao Zhengxin, Xiong Shaozhen. A new structure for a CMOS audio power AMP with extremely low THD and low power consumption. *Chinese Journal of Semiconductors*, 2006, 27(9): 1552

Design of an Integrated 20W×2 Class-D Audio Power Amplifier in 0.8μm BCD Technology*

Liu Lianxi^{1,2,†}, Zhu Zhangming^{1,2}, Yang Yintang^{1,2}, Guo Wei¹ and Shi Bin¹

(1 Microelectronics Institute, Xidian University, Xi'an 710071, China)

(2 Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Xi'an 710071, China)

Abstract: This paper presents a 20W×2 class-D audio power amplifier with high efficiency in a 0.8μm BCD MOS process. The amplifier is capable of driving 2×8Ω loads from a 18V power supply at more than 85% power efficiency, and its maximum output power is more than 20W×2. The circuit detail of the output stage, over-current protection, and rail-to-rail comparator are also presented. Through analysis of the LD MOSFET cross section, the impact of the parasitical effect on the distortion of the output is discussed. Finally, the experimental results of this work are presented.

Key words: class-D power amplifier; full-bridge; over-current protection; rail-to-rail comparator

EEACC: 2570

Article ID: 0253-4177(2008)05-0988-05

* Project supported by the National Natural Science Foundation of China (Nos. 60476046, 60676009, 60725415) and the Doctoral Program of the Chinese Ministry of Education (No. 20050701015)

† Corresponding author. Email: lxliu@mail.xidian.edu.cn

Received 3 August 2007, revised manuscript received 14 December 2007