

一种 1.8V 10 位 120MS/s CMOS 电流舵 D/A 转换器 IP 核*

朱樟明[†] 李亚妮 杨银堂

(西安电子科技大学微电子研究所, 西安 710071)

摘要: 采用低摆幅低交叉点的高速 CMOS 电流开关驱动器结构和中心对称 Q^2 随机游动对策拓扑方式的 pMOS 电流源阵列版图布局方式, 基于 TSMC 0.18 μm CMOS 工艺实现了一种 1.8V 10 位 120MS/s 分段温度计译码电流舵 CMOS 电流舵 D/A 转换器 IP 核. 当电源电压为 1.8V 时, D/A 转换器的微分非线性误差和积分非线性误差分别为 0.25LSB 和 0.45LSB, 当采样频率为 120MHz, 输出频率为 24.225MHz 时的 SFDR 为 64.9dB. 10 位 D/A 转换器的有效版图面积为 0.43mm \times 0.52mm, 符合 SOC 的嵌入式设计要求.

关键词: 数字模拟转换器; CMOS; 电流开关驱动器; 匹配误差; 电流源阵列

EEACC: 2570; 1280

中图分类号: TN402

文献标识码: A

文章编号: 0253-4177(2008)03-0588-05

1 引言

无线局域网(WLAN)技术和移动通信技术的不断发展,促使超大规模集成电路设计人员致力于片上系统(system on chip, SOC)的研究和设计,其中基于 SOC 的嵌入式 CMOS 数据转换器 IP 核是最具挑战性的课题之一. WLAN, HDTV, GSM, CDMA 及 XDSL 等领域中需要大量应用高速 D/A 转换器,虽然各应用领域对 D/A 转换器的性能要求有所不同,但是低电源电压、低功耗设计是 CMOS D/A 转换器设计的趋势^[1~6],以满足 SOC 芯片及电子系统的低功耗需求及系统的数模电源电压的一致性要求.

在各种高速 CMOS D/A 转换器结构中,电流舵 CMOS D/A 转换器是实现高速数模转换的理想结构,其转换速度也是所有 D/A 转换器中最快的.对于电流舵 CMOS D/A 转换器的设计,不同分辨率在电路实现或系统结构上存在差异,对于分辨率小于 12 位的 D/A 转换器,其设计的难点是电流源阵列匹配性设计和电流开关驱动器设计^[1~4],而对于分辨率大于 12 位的 D/A 转换器,则其设计的难点为电流源阵列匹配性设计、电流开关驱动器设计和电流源自校正电路设计^[5].如果要想实现低电源电压的 D/A 转换器设计,则低压 CMOS 模拟电路也将成为设计的难点^[6].

本文采用温度计译码的分段电流舵结构,提出了一种低交叉点的高速 CMOS 电流开关驱动器,并采用中心对称 Q^2 随机游动对策拓扑方式的电流源阵列版图布局,基于 TSMC 0.18 μm CMOS 工艺,设计实现了一种 1.8V 10 位 120MS/s CMOS 电流舵 D/A 转换器 IP 核,

实验结果表明满足设计要求.

2 高速 D/A 转换器结构

10 位 D/A 转换器的功能框图如图 1 所示,其中数字电路主要包括分段温度计译码器及边沿触发器;模拟电路主要包括 pMOS 电流源阵列、电流开关驱动器.输入数据先到上升沿触发的主 D 触发器寄存.6 位 MSB 经过 6-63 温度计译码器产生 63 位输出,4 位 LSB 经过 4-16 译码电路产生 16 位输出,解码产生的 79 位输出经过由时钟控制的同步锁存器,再经两级同步反向器直接驱动电流舵(current steering)同步开关驱动器,通过 pMOS 差分开关输出差分电流.通过同步锁存器对电流源开关的及时更新,使 Glitch 谐波最小,并通过同步锁存器设计保证 Q 和 Q₋的传播时间相等,减小输出频谱的失调.为了验证 pMOS 电流源阵列的版图布局,电流源的偏置电流由 I_{bias} 提供,偏置电流值为 240 μA .

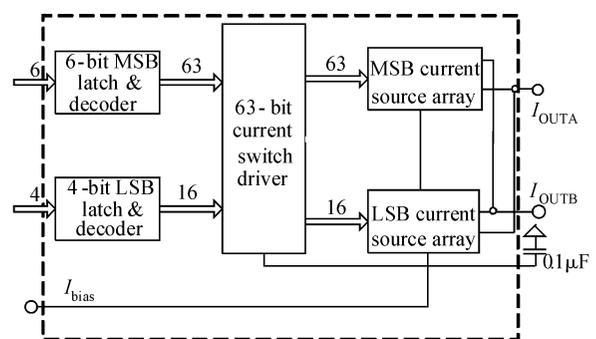


图 1 10 位 120MS/s D/A 转换器的功能框图

Fig. 1 10-bit 120MS/s D/A converter functional block diagram

* 国家自然科学基金(批准号:60476046,60676009),教育部博士点基金(批准号:20050701015)和国家杰出青年基金(批准号:60725415)资助项目

[†] 通信作者. Email: zmyh@263.net

2007-08-07 收到,2007-11-08 定稿

6 位 MSB 控制的每个单元由 16 个电流值为 I_{unit} 组成的单位电流源并联构成, 4 位 LSB 控制的每个单元由 1 个电流值为 I_{unit} 组成, 10 位 D/A 转换器的输出电流值可表示为

$$I_{OUT} = 16I_{unit} \sum_{k=9}^6 b_k 2^{k-6} + I_{unit} \sum_{k=3}^0 b_k 2^k \quad (1)$$

3 pMOS 电流源电路及版图布局设计

3.1 电流开关驱动器设计

设计电流开关驱动器首先要保证驱动信号的同步, 同步锁存设计方法能有效解决同步问题. 同步锁存设计方法就是在相反的控制信号下引入采样时钟开关, 保证所有控制信号的同步, 在相反的控制信号之间引入两个反相器, 形成锁存回路, 但没有形成控制信号的门延迟, 从而不影响 D/A 转换器的转换速率. 驱动信号馈通效应会随着采样频率的增加而增加, 而降低驱动信号电压摆幅能有效减小馈通效应. 在电流开关驱动器中引入电源耦合电容能合理降低驱动器的摆幅. 有限的摆幅有助于防止同步锁存器输出信号与电流开关驱动器输出间的电容耦合, 使驱动器的输出瞬态行为更加稳定^[7].

然而有限的摆幅并不能充分保证高速 D/A 转换器具有良好的动态性能. 如果电流开关 pMOS 管不能够正确地导通和关闭, 则显著的电压摆动仍能够在电流源的输出处产生. 如果电流开关所导通的 pMOS 管与所对应关闭的 pMOS 管之间存在一定延迟, 则通过电流开关的电流将会减小并且电流源的输出极电压将会增加, 从而引起输出误差. 由于电流源一般由饱和的 pMOS 管构成, 所以饱和度的变化会使电流再次达到正确值所需的时间可能会很长, 而降低驱动信号的交叉点就能有效地抑制这种现象的发生. 降低驱动信号会导致差分 pMOS 开关管在转换期间保持短时间的一致, 不会引起 pMOS 电流源饱和度的变化. 驱动信号交叉点的降低能通过驱动信号的上升或下降沿减慢来实现, 然而这就意味着驱动信号的转换是非对称的, 从而可能导致电流源输出的非对称, 这也就引起了输出失真. 降低驱动信号交叉点的一个较好的办法就是在电流开关驱动器中引入晶体管延迟, 即合理调整电流开关驱动器的晶体管尺寸. 基于以上的电流开关驱动器设计方法, 所设计的高速电流开关驱动器电路如图 2 所示.

在图 2 所示的高速电流开关驱动器电路中, clk 为 D/A 转换器的采样时钟信号, 控制 M1 和 M2 同步开关, 使 D/A 转换器中所有的控制信号同步; 反相器 INV1 和 INV2 形成同步锁存器; pMOS 管 P1, P2 与 nMOS 管 N1~N4 为低交叉点电路, 降低 M3 和 M4 驱动信号的交叉点, 避免电流开关的同时关断; 电容 C 为外接电容, 电容值为 $0.1\mu\text{F}$ (如图 1 所示), 其作用为调整驱动信号的降低摆幅, 并较好地避免了数字开关噪声. I_{DS} 为 pMOS 电流源, M3 和 M4 为电流开关. 基于图 2 所示的电流开关驱动器电路, 采用 TSMC $0.18\mu\text{m}$

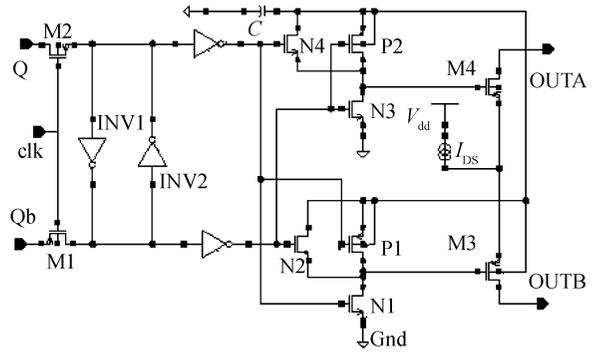


图 2 高速电流开关驱动器电路

Fig.2 High speed current switch driver

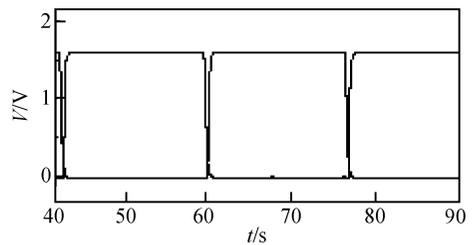


图 3 电流开关驱动信号仿真波形

Fig.3 Current switch driver output voltage wave

CMOS 工艺的 BSIM3V3 模型, 采用 Hspice 进行了仿真, 其驱动信号如图 3 所示, 其交叉点明显低于正常交叉点, 驱动信号高电平幅度为 1.60V .

3.2 pMOS 电流源单元的匹配误差分析及误差消除策略

图 4 为本文所设计的单位电流源电路, 即级联 pMOS 电流源, 其中 M1 为电流源, M2 为 Cascode 晶体管, 用于增加单位电流源的输出阻抗. 假设 pMOS M1 的宽长比为 W/L , V_{G1} 和 V_{G2} 为偏置电压, 则 M1 所产生的饱和电流(单位电流源电流)为

$$I_u = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{SG} - |V_T|)^2 \quad (2)$$

其中 V_T 为阈值电压; μ_0 为空穴迁移率; C_{ox} 为

$$C_{ox} = \epsilon_{ox} / t_{ox} \quad (3)$$

假设 $\beta_u = \mu_0 C_{ox} W/L$, 根据梯度模型, 可得

$$\begin{aligned} \Delta I_u &= \Delta \beta_u \frac{\partial I_u}{\partial \beta_u} + \Delta V_{GS} \frac{\partial I_u}{\partial V_{GS}} + \Delta V_T \frac{\partial I_u}{\partial |V_T|} \\ &= \Delta \beta_u \frac{I_u}{\beta_u} + (\Delta V_{GS} - \Delta V_T) \frac{2I_u}{V_{SG} - |V_T|} \end{aligned} \quad (4)$$

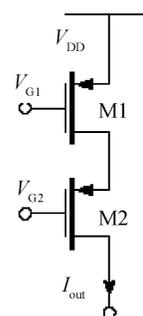


图 4 级联 pMOS 电流源

Fig.4 Cascode pMOS current source

将(4)式代入(2)式,得

$$\frac{\Delta I_u}{I_u} = \frac{\Delta \beta_u}{\beta_u} + 2 \frac{\Delta V_{SG} - \Delta |V_T|}{V_{SG} - |V_T|} \quad (5)$$

由于随机相对匹配误差变量可以采用面积来表征,即

$$\begin{aligned} \sigma^2 \left(\frac{\Delta I_u}{I_u} \right) &\approx \frac{A_\beta}{\beta_u} + \frac{4}{(V_{SG} - |V_T|)^2} \times \frac{A_{V_T}}{WL} \\ &= \frac{1}{WL} \left[A_\beta + \frac{4A_{V_T}}{V_{SG} - |V_T|} \right]^2 = \frac{\alpha_r}{WL} \end{aligned} \quad (6)$$

其中 A_β 与 A_{V_T} 为工艺相关常数.

绝对匹配误差变量为

$$\begin{aligned} \sigma^2(\Delta I_u) &\approx \frac{A_\beta}{WL} I_u + \frac{4}{(V_{SG} - |V_T|)^2} \times \frac{A_{V_T}}{WL} I_u^2 \\ &= \frac{A_\beta}{WL} I_u^2 + \frac{A_{V_T}}{WL} \beta_u^2 \\ &= \frac{\beta_u^2}{WL} \left[\frac{A_\beta}{4} (V_{SG} - |V_T|)^2 + A_{V_T} \right] = \frac{\beta_u}{WL} \alpha_a \end{aligned} \quad (7)$$

基于单位电流源设计方法,假设 M 个单位电流源组成电流源,则 $\beta_M = M\beta_u$,根据(7)式,则相对匹配误差为

$$\sigma^2 \left(\frac{\Delta I_M}{I_M} \right) = \frac{1}{WLM} \alpha_r = \frac{\sigma^2(\Delta I_u / I_u)}{M} \quad (8)$$

根据(7)式,则绝对匹配误差为

$$\sigma^2(\Delta I_M) = \frac{\beta_M^2}{WLM} \alpha_a = \frac{M\beta_u^2}{WL} \alpha_r = M\sigma^2(\Delta I_u) \quad (9)$$

假设随机匹配误差 $\Delta I_{u,m}$ 是独立变量,则

$$E \left\{ \left(\sum_{m=1}^M \Delta I_{u,m} \right)^2 \right\} = \sum_{m=1}^M E \{ \Delta I_{u,m}^2 \} = M\sigma^2(\Delta I_u) \quad (10)$$

根据(9)和(10)式,得到单位电流源设计方法不会因为随机误差而增加匹配误差,所以只需要考虑梯度误差,如果采用共心分布、中心双对称、 Q^2 随机游动对策等 pMOS 电流源阵列版图布局方法,则能有效地减小电流源匹配误差.

为了减小系统误差,电流源阵列版图与电流开关驱动电路的版图分开,且电流源阵列版图采用中心对称 Q^2 随机游动对策的拓扑方式布局,并利用伪电流源以减小边界效应及单位电流源之间的不匹配.对于 10 位 6-4 分段结构的 D/A 转换器,其电流源布局设计是针对 6 位 MSB 所实现的,所以也只需要对 MSB 的电流源阵列进行布局设计,因为 LSB 的电流源阵列可以进行类似的布局设计.图 5 为 6 位 MSB 单位电流源的布局示意图,采用中心对称 Q^2 随机游动对策单位电流源布局布线,每个 MSB 单位电流源的最大电流值为 $240\mu\text{A}$,每个 MSB 单位电流源由 16 个电流值为 $15\mu\text{A}$ 的单位电流源 I_{unit} 并联组成,其中第 64 个单位电流源为偏置参考电流源 I_{bias} .由于采用中心对称 Q^2 随机游动对策的电流源布局结构,基本消除了 x 方向和 y 方向的线性梯度误差,可以将梯度误差控制在 10^{-6} 以内,梯度误差对 D/A 转换器性能的影响可以近似不计,但是对于消除随机匹配误差,中心对称 Q^2 随机游动对策也是各种布局结构中性能最佳的.

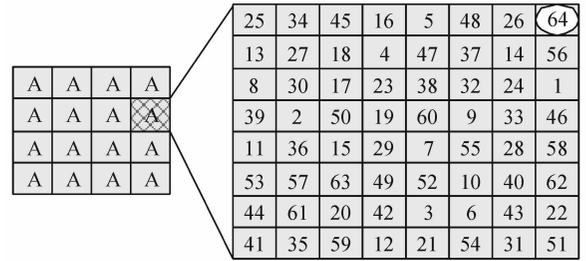


图 5 6 位 MSB 单位电流源阵列布局

Fig.5 Proposed unit current source switch sequence for 6-bit MSB

4 设计结果与讨论

基于 TSMC $0.18\mu\text{m}$ CMOS 工艺的 BSIM3V3 模型,采用 TSMC 的 MPW 计划对图 1 所示的 10 位高速 D/A 转换器电路完成了流片验证.在电源电压为 1.80V ,负载电阻为 50Ω ,输出电流为 5mA 时,10 位 CMOS D/A 转换器的微分非线性误差(DNL)和积分非线性误差(INL)的测试结果采用 Matlab 软件进行了系统分析,最大值分别为 0.25LSB 和 0.45LSB .证明了中心对称 Q^2 随机游动对策的开关序列单位电流源版图布局 and 新型电流源结构能使工艺对 INL 和 DNL 的影响达到最小化.图 6 为无杂波动态范围(SFDR)的测试结果,当采样频率为 120MHz ,输出频率为 24.225MHz 时,SFDR 的测试结果为 64.9dB .图 7 为 10 位 CMOS D/A 转换器的双音测试结果,输出频率分别为 23.355 和 24.555MHz 时,双音失调互调(IMD)约为 64.2dB .图 8 为基于 TSMC $0.18\mu\text{m}$ CMOS 工艺的 D/A 转换器版图,有效版图面积为 $0.43\text{mm} \times 0.52\text{mm}$,符合 SOC 的嵌入式设计要求.

文献[8]在 $0.18\mu\text{m}$ CMOS 工艺条件下所实现的 1.8V 10 位 D/A 转换器的微分非线性误差和积分非线性误差最大值分别为 0.7LSB 和 0.8LSB ,所以本文的设计结果优于文献[8]的结果.文献[9]基于 $0.35\mu\text{m}$

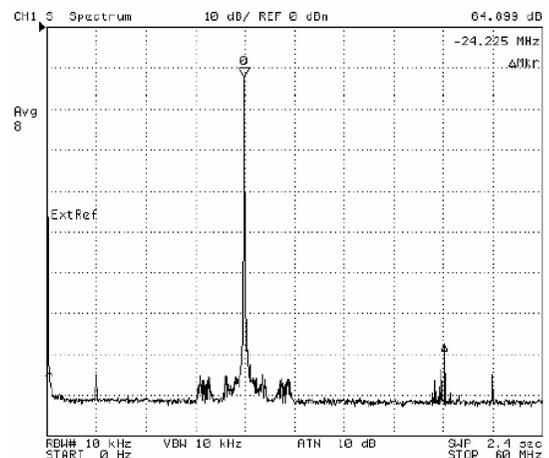


图 6 10 位 CMOS D/A 转换器的无杂波动态范围的测试结果 (24.225MHz@120MHz)

Fig.6 Measured SFDR (24.225MHz@120MHz)

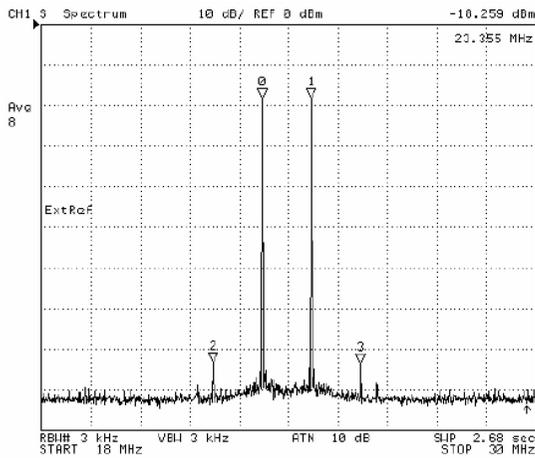


图7 10 位 CMOS D/A 转换器的双音测试结果 (23.355MHz, 24.555MHz@120MHz)

Fig. 7 Measured two tone frequency characteristic (23.355MHz, 24.555MHz@120MHz)

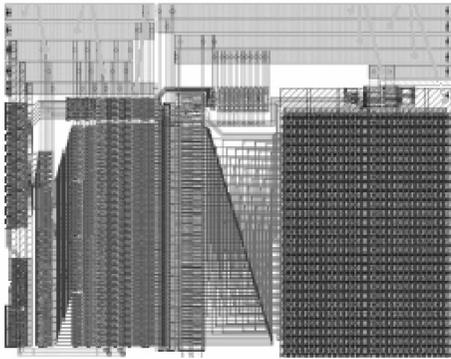


图8 10 位 CMOS D/A 转换器版图

Fig. 8 10-bit 120MS/s D/A converter layout

CMOS 工艺条件下所实现的 3.0V 10 位 D/A 转换器的微分非线性误差和积分非线性误差最大值分别为 0.5LSB 和 0.5LSB, 当采样频率为 100MHz, 输出频率为 8MHz 时, SFDR 的测试结果为 65dB, 所以本文的设计结果也优于文献[9]的结果。

5 结论

在分析电流开关驱动器的驱动信号馈通效应、有限摆幅和交叉点的基础上, 提出了一种低摆幅低交叉点的

高速 CMOS 电流开关驱动器结构. 在分析单位电流源设计方法的电流源匹配误差的基础上, 给出了一种中心对称 Q^2 随机游动对策拓扑方式的 pMOS 电流源阵列版图布局, 以保证 D/A 转换器的静态和动态特性参数. 采用 6-4 温度计译码的分段电流舵结构, 基于 TSMC 0.18 μ m CMOS 工艺, 设计实现了一种 1.8V 10 位 120MS/s CMOS 电流舵 D/A 转换器 IP 核. D/A 转换器的微分非线性误差和积分非线性误差分别为 0.25LSB 和 0.45LSB, 当采样频率为 120MHz, 输出频率为 24.225MHz 时的 SFDR 为 64.9dB. 10 位 D/A 转换器的有效版图面积为 0.43mm \times 0.52mm, 符合 SOC 的嵌入式设计要求, 在无线通信 SOC 及数字合成 SOC 设计中具有广泛的应用前景.

参考文献

- [1] O'Sullivan K, Gorman C. A 12-bit 320-MSample/s current-steering CMOS D/A converter in 0.44mm². *IEEE J Solid-State Circuits*, 2004, 39(7):1064
- [2] Ueno T, Yamaji T, Itakura T. A 1.2-V, 12-bit, 200MSample/s current-steering D/A converter in 90-nm CMOS. *IEICE Trans Fundamen Electron, Commun Comput Sci*, 2007, E90-A(2):365
- [3] Yuan Ling, Ni Weining, Shi Yin. A 10-bit 2GHz current-steering CMOS D/A converter. *IEEE Int Sym Circuits and Systems*, 2007: 737
- [4] Deveugele J, Steyaert M. A 10-bit 250-MS/s binary-weighted current-steering DAC. *IEEE J Solid-State Circuits*, 2006, 41(2):320
- [5] Chen H, Lee J, Weiner J, et al. A 14-bit 150MS/s CMOS DAC with digital background calibration. *2006 Symp VLSI Circuits Dig Tech Papers*, 2006
- [6] Zhu Zhangming, Yang Yintang. A 1.5-V, 8-bit 100MS/s current-steering D/A converter. *Solid-State Electronics Research and Progress*, 2006, 26(3):394 (in Chinese) [朱樟明, 杨银堂. 一种 1.5V 8 位 100MS/s 电流舵 D/A 转换器. *固体电子学研究进展*, 2006, 26(3):394]
- [7] Zhu Zhangming, Yang Yintang. Current switch drivers based on high-speed current-steering digital-to-analog converter dynamic performance. *Journal of Xidian University*, 2004, 31(5):701 (in Chinese) [朱樟明, 杨银堂. 基于高速电流舵数模转换器动态性能的电流开关驱动器. *西安电子科技大学学报*, 2004, 31(5):701]
- [8] Greenley B, Veith R, Chang D Y. A low-voltage 10-bit CMOS DAC in 0.01-mm² die area. *IEEE Trans Circuits Syst II*, 2005, 52(5):246
- [9] Song M, Lee H, Song W. A fully integrated current-steering 10-bit CMOS D/A converter with a self-calibrated current bias circuit. *Analog Integrated Circuits and Signal Processing*, 2005, 44:251

An Embedded 1.8V 10bit 120MS/s CMOS Current Steering Digital-to-Analog Converter IP Core*

Zhu Zhangming[†], Li Yani, and Yang Yintang

(*Institute of Microelectronics, Xidian University, Xi'an 710071, China*)

Abstract: Based on a low swing, low crossing point current switch driver and central symmetry Q^2 random walk pMOS current source layout routing methods, a 1.8V 10bit 120MS/s CMOS current-steering digital-to-analog converter IP core is implemented in a TSMC 0.18 μ m CMOS process. With a supply of 1.8V, the integral and differential nonlinearity are measured to be less than 0.45LSB and 0.25LSB, respectively. When the output signal frequency is 24.225MHz at 120MHz sampling rate, the SFDR is measured to be 64.9dB. The die area is about 0.43mm \times 0.52mm.

Key words: digital-to-analog converter; CMOS; current switch driver; mismatch error; current source array

EEACC: 2570; 1280

Article ID: 0253-4177(2008)03-0588-05

* Project supported by the National Natural Science Foundation of China (Nos. 60476046, 60676009), the Doctor Foundation of Ministry of Education (No. 20050701015), and the National Outstanding Young Scientist Foundation of China (No. 60725415)

[†] Corresponding author. Email: zmyh@263.net

Received 7 August 2007, revised manuscript received 8 November 2007

©2008 Chinese Institute of Electronics