

频率综合器中低功耗高速多模分频器设计的 “时间借用”方法

袁 泉^{1,2} 杨海钢^{1,†} 董方源^{1,2} 钟伦贵^{1,2}

(1 中国科学院电子学研究所, 北京 100190)

(2 中国科学院研究生院, 北京 100049)

摘要: 提出一种基于“时间借用”方法的相位切换型多模高速分频器, 新型的相位切换控制策略有效地减少相位切换控制环路的延时, 使得多模分频器在较低的电源电压下仍能在较高的输入频率下工作, 同时获得最大可分频模数. 本文设计的多模分频器采用 0.35 μm 标准 CMOS 工艺流片. 测试结果表明, 该多模分频器能够在 2.5V 电源电压下对 2.4GHz 输入信号进行 48 到 64 分频, 所消耗的最大功耗仅为 4.85mW, 与近来报道的 CMOS 多模分频器相比, 进一步降低了功耗速度比.

关键词: 多模分频器; 相位切换; 低功耗; 时间借用

EEACC: 1265B

中图分类号: TN433

文献标识码: A

文章编号: 0253-4177(2008)04-0794-06

1 引言

相比传统的手持移动通信等无线应用领域, 无线传感器网络系统对功耗的要求更为苛刻^[1,2]. 超低功耗的 CMOS 单芯片射频收发电路设计, 是当前无线传感器网络实用化的瓶颈. 由于频率综合器是整个射频收发电路消耗功耗的主要部分, 因此设计超低功耗的频率综合器显得尤为重要. 压控振荡器 (VCO) 和高速多模分频器 (multi-modulus divider) 是频率综合器中直接工作在射频频率下的两个模块, 这两种器件的功耗占整个频率综合器功耗的 50% 以上. 在标准 CMOS 工艺下, 虽然已有关于低功耗 VCO 的报道^[3,4], 可是, 低功耗高速多模分频器的设计却较难实现.

传统的多模分频器多采用几个双模同步分频器级联的方式构成^[5,6], 整个多模分频器的分频模数通过选择每个双模同步分频器的分频模数来完成. 双模同步分频器中包含多个全功能的 D 触发器, 级联中的第一个双模同步分频器的所有 D 触发器都直接工作在射频频率下, 因此消耗功耗较大, 这是传统方案的主要问题. 而采用相位切换技术^[7]实现的双模异步分频器包含两个级联的 2 分频触发器, 仅第一个触发器工作在最高输入频率下, 第二个主从触发器工作在 1/2 输入频率, 并产生 4 个在相位上相互间隔 90° 的正交信号. 在时间上, 这 4 个信号每一个都落后于另一个信号一个射频信号 (F_{in}) 周期. 在任意时刻, 4 个信号中仅有一个信号通过相位选择器 (phase-selector) 连接到信号 F4, 如图 1 所示. 在图 1 中, 通过相位切换控制信号 (CON) 来控制相位选择器是否对信号 F4 进行相位切换. 如果保持 F4 连接的相位信号不变, 分频比为 4; 如果将 F4 逆时针地从一个相位切换到另一个相位, 相当于将瞬时的分频比加

1, 分频比由 4 变成 5. 这种方法的主要缺点是在相位切换时可能会产生毛刺. 图 2 给出了正确的 (情况 1) 和错误的 (情况 2) 相位切换时序图. 如果在点 a 将 F4 从 Φ_1 切换到 Φ_2 , 这里 Φ_1 和 Φ_2 有相同的电平 (情况 1), 那么瞬时的分频比由 4 增加到 5. 如果在点 b 将 F4 从 Φ_1 切换到 Φ_2 , 这里 Φ_1 和 Φ_2 电平不同 (见情况 2), 输出将会产生毛刺.

参考文献 [8] 提出一种“重定时”电路来同步相位切换的输入信号, 但这种方法增加了电路的复杂性和功耗, 限制了相位切换技术的应用. 参考文献 [9] 通过改变相位切换的方向, 将 F4 顺时针地 (如图 3 所示) 从一个相位切换到另一个相位, 相当于将瞬时的分频比减 1, 分频比由 4 变成 3, 这样可以消除相位切换时的毛刺. 虽然这种顺时针相位切换方法结构简单, 也不引入额外的功耗, 但它增加了进行相位连续切换的难度. 因为顺时针切换时 F4 的周期为 3 个射频信号周期, 而逆时针切换时 F4 的周期为 5 个射频信号周期. 要进行连续的相位切换, 采用顺时针相位切换方法, 就要求相位切换控制环路在较短的时间间隔内准备好相位切换的控制信号, 并通过相位选择器选择一个正确的相位信号输出到 F4. 针对这个问题, 本文提出一种基于“时间借用”方法的相位切换控制策略, 它能显著地减少相位切换控制环路的延时, 使得采用顺时针相位切换方法也可以进行连续的相位切换操作, 进而实现最大可分频模数的多模分频器. 减少相位切换控制环路延时的另一重要意义是, 可以降低多模分频器的工作电压, 进而降低整个多模分频器的功耗. 因为相位切换控制环路的延时是限制相位切换型多模分频器工作频率的主要原因, 减少了相位切换控制环路的延时, 就可以使得多模分频器在相同频率条件下工作在较低的电源电压下, 或者使得多模分频器在同样的电源电压下工作在更高的频率上.

† 通信作者. Email: yanghg@mail.ic.ac.cn

2007-09-11 收到

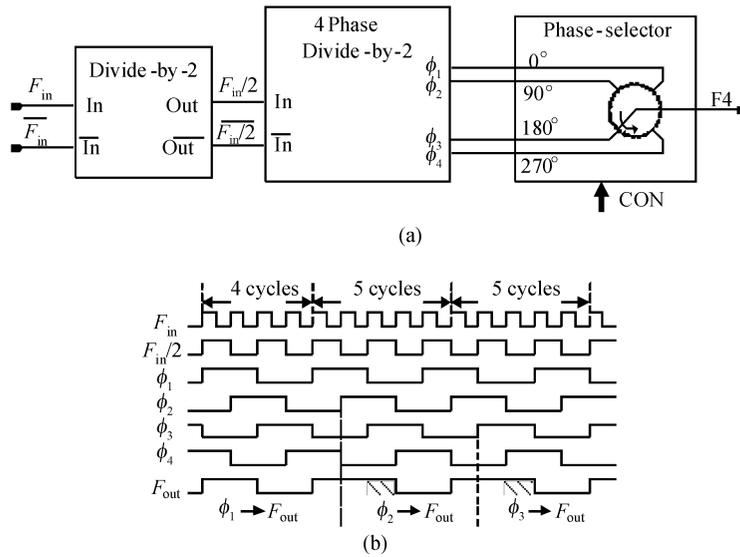


图 1 逆时针相位切换的分频器 (a) 4/5 分频结构图; (b) 波形(这里给出的是连续进行两次相位切换的情况)
 Fig.1 Prescaler with anticlockwise phase-switching (a) Divide-by-4/5 structure; (b) Waveforms (an example for two consecutive phase-switching operations)

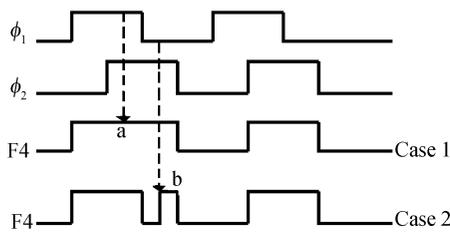


图 2 逆时针相位切换分频器可能产生切换毛刺
 Fig.2 Glitch for anticlockwise phase-switching prescaler

2 基于“时间借用”方法的连续相位切换多模分频器

本文提出的基于“时间借用”方法的连续相位切换

多模分频器,如图 4 所示。“时间借用”方法的基本思想是通过改变电路结构,再利用相位切换操作输出信号(F_4)的低电平时间段,使相位切换控制环路中的一些中间信号能提前准备好,以减少控制环路的延时。

相位切换控制环路由 3 部分组成,相位选择器(phase-selector)、4 个级联的 2 分频电路(four divide-by-2 stages in cascade)以及相位切换控制逻辑(phase-switching control logic, PSCL)。如果在此多模分频器输出信号(F_{out})的一个周期内按顺时针方向进行多次相位切换操作,就可以对输入信号(F_{in})进行 $64-t$ 分频,这里 t 是相位切换的次数。因为相位选择器后有 4 个 2 分频电路级联,所以 t 的最大值为 $2^4 = 16$ 。

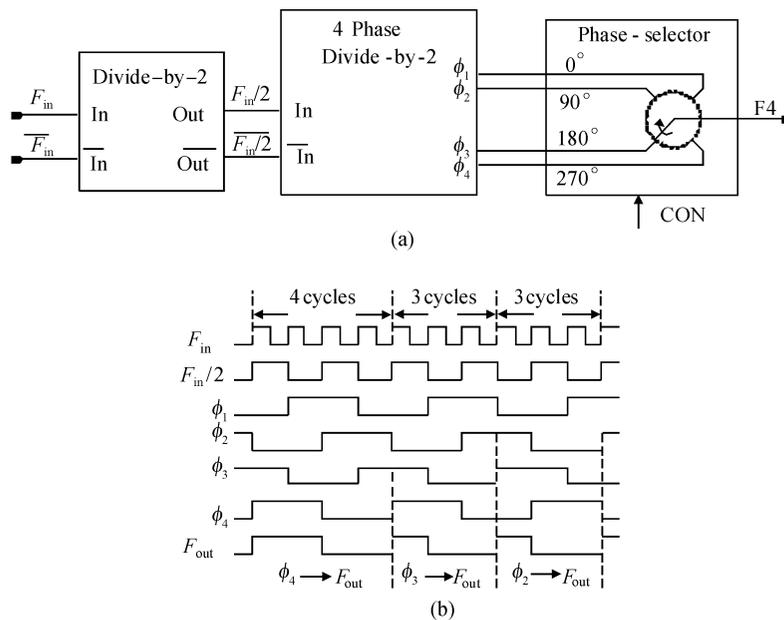


图 3 顺时针相位切换的分频器 (a) 4/3 分频结构图; (b) 波形(这里给出的是连续进行两次相位切换的情况)
 Fig.3 Prescaler with clockwise phase-switching (a) Divide-by-4/3 structure; (b) Waveforms (an example for two consecutive phase-switching operations)

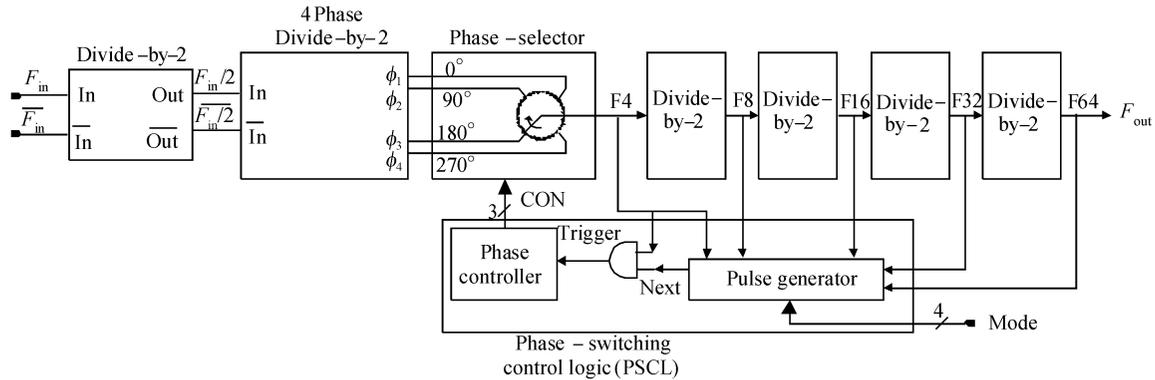


图 4 本文提出的连续相位切换多模分频器

Fig.4 Proposed continuous phase-switching multi-modulus divider

相位切换控制逻辑包括脉冲发生器 (pulse-generator)、一个简单的与门 (AND) 和相位控制器 (phase-controller) 共 3 部分. 脉冲发生器的输入信号包括相位选择器的输出信号 (F4)、4 个级联 2 分频电路的输出信号 (F8, F16, F32 和 F64) 以及 n_t ($n_t = \log_2^4$) 位的外部输入分频模数控制信号 (Mode). 信号 Mode 控制多模分频器的实际分频模数, 在本文设计的小型频率综合器中, 采用 Σ - Δ 调制器的输出信号作为分频模数的控制信号 Mode, 以减小小数分频“毛刺”. 基于这些输入信号, 脉冲发生器在它的输出端输出一系列脉冲 (Next), 如图 5(a) 所示. 每个脉冲的宽度等于信号 F4 低电平的宽度. 脉冲的个数由信号 Mode 的状态决定, 脉冲的个数与需要进行相位切换的次数相同. 这些脉冲在信号 F4 的下降沿后产生, 与 F4 下降沿的延时间隔是脉冲发生器的传播延时. 脉冲发生器的输出信号 Next 再和 F4 进行逻辑与操作, 与门的输出信号 (trigger) 是一系列的窄脉冲, 每个窄脉冲的宽度恰好等于脉冲发生器的传播延时. 相位控制器每收到一个窄脉冲就改变一次信号 CON 的状态, 相位选择器根据信号 CON 的状态, 将 F4 顺时针地从一个相位切换到另一个相位. 这就是图 5(a) 中箭头和圆圈所表示的进行一次相位切换的整个过程. 在这个过程中, 信号 Next 和 F4 进行逻辑与操作的原因是为了保证当前的相位切换控制信号 (CON) 必须在前一次的相位切换完成后, 也就是在 F4 的上升沿后产生, 否则逻辑上将出现错误. 图 5(a) 中给出的是多模分频器在输出信号 (F_{out}) 的一个周期内, 按顺时针方向连续进行 15 次相位切换的仿真波形, 这是多模分频器工作中的一个例子, 实际工作中的相位切换次数由图 4 中分频模数控制信号 Mode 的状态决定.

从上面的分析知道, 从 F4 上升沿到相邻的 trigger 上升沿的延时时间, 仅仅是一个与门的传播延时 (ΔT_{AND}), 如图 5(b) 所示. 接着, 从 trigger 上升沿到相邻的相位切换控制信号 CON 状态变化的延时时间是相位控制器的传播延时 (ΔT_{con}). 然后, 从 CON 状态变化到相邻的 F4 下降沿的延时时间是相位选择器的传播延时 (ΔT_{sel}). 经过这个过程, 信号 F4 已经从一个相位切换到另一个相位. 因此, 整个相位切换控制环路的延时

时间 $\Delta T_{loop} = \Delta T_{AND} + \Delta T_{con} + \Delta T_{sel}$. 前面讲过, 脉冲发生器和 4 个级联的 2 分频电路也是相位切换控制环路的一部分, 但是它们的传播延时没有出现在 ΔT_{loop} 中. 这是因为我们使用了 F4 的低电平时间段来产生信号 Next, 使信号 Next 在 F4 上升沿之前就准备好了, 所以整个相位切换控制环路的延时时间 ΔT_{loop} 中就不再包

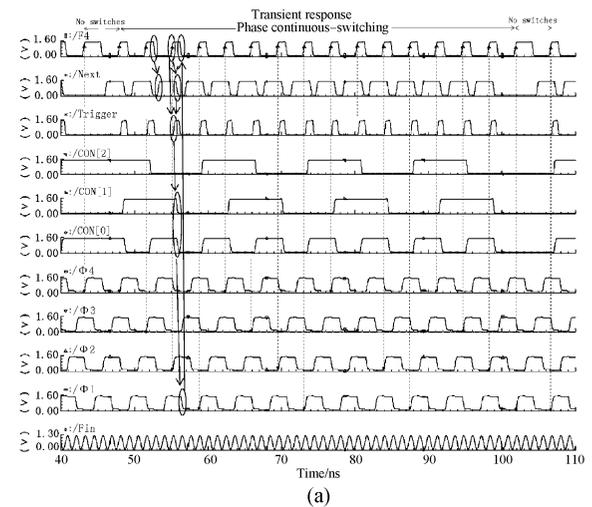


图 5 所提出的多模分频器波形 (a) 仿真波形 (图中的箭头和圆圈表示将 F4 顺时针地从一个相位切换到另一个相位的完整过程); (b) 相位切换控制环路延时波形

Fig.5 Waveforms for proposed multi-modulus divider (a) Simulation waveforms (arrows and circles in the figure mark an entire process where the signal F4 is switching from one phase to another); (b) Delay in the phase-switching control loop

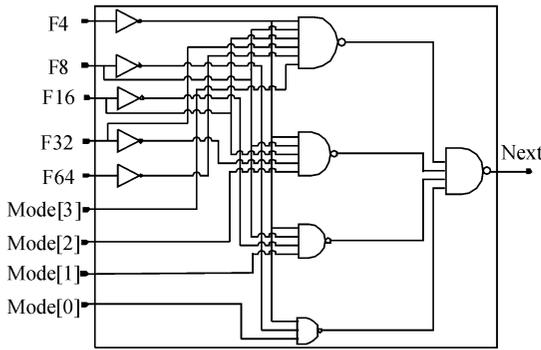


图 6 脉冲发生器电路
Fig. 6 Pulse-generator circuit

括脉冲发生器和 4 个级联的 2 分频电路的传播延时了。尽管信号 F4 是相位切换操作的输出信号,这里我们再利用 F4 的低电平时间段来产生信号 Next,并使用 F4 的上升沿来使能它.采用这种方法,可以显著地减少二个相邻相位切换控制信号产生的间隔时间,使得整个相位切换控制环路的延时也相应降低.这样在低电源电压下,采用顺时针相位切换方法也可以进行连续的相位切换操作,进而实现最大可分频模数的多模分频器.我们称这种相位切换控制策略为“时间借用”方法.

脉冲发生器的电路结构如图 6 所示^[10].它根据外部输入的分频模数控制信号 Mode 的状态,以及信号 F4 和 4 个级联 2 分频电路的输出信号,在输出端产生一系列脉冲 Next.相位选择器的电路结构如图 7 所示.这种电路的优点是,从 $\phi_1 \sim \phi_4$ 中选择一个相位信号传送到 F4 的延时时间(也就是 ΔT_{sel})仅为两个与非门的传播延时,这可以使 ΔT_{loop} 变得更小.例如,当 CON[0] 选择 P.I 传送到 F4,利用这段时间,可使 CON[1] 选择 ϕ_3 或 ϕ_1 传送到 P.Q;同理,利用 P.Q 到 F4 这段延时时间,CON[2] 选择 ϕ_4 或 ϕ_2 传送到 P.I.相位切换控制信号 CON[2],CON[1],CON[0] 以及相应的相位选择器的输出信号(F4)的状态表和状态图如图 8 所示.根据这个状态表和状态图,可以得到如图 9 所示的相位控制器的电路结构.这个电路的优点是,它不需要外部的上电复位信号.无论上电时 CON[2],CON[1] 和 CON[0] 的初始状态如何,它都可以回到状态图中 4 个正确状态中的一个,进入正确的循环轨道.

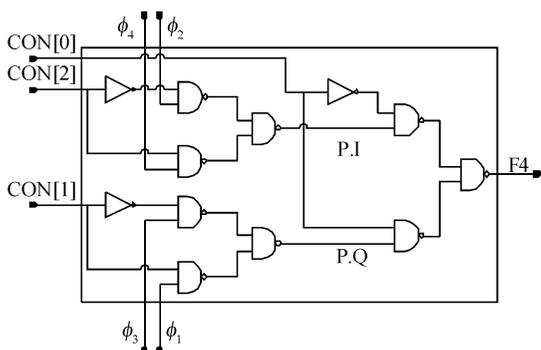
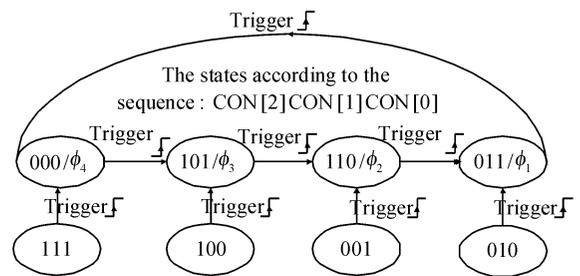


图 7 相位选择器电路
Fig. 7 Phase-selector circuit

CON[2]	CON[1]	CON[0]	F4
0	0	0	ϕ_4
1	0	1	ϕ_3
1	1	0	ϕ_2
0	1	1	ϕ_1
0	0	0	ϕ_4

(a)



(b)

图 8 相位控制器特性 (a) 状态表; (b) 状态图

Fig. 8 Phase-controller characteristics (a) State table; (b) State diagram

3 测试结果

为了验证本文提出的“时间借用”方法的有效性,采用这种方法实现的可连续相位切换的多模分频器在 Chartered 0.35 μ m 标准 CMOS 工艺线上流片.同时包含这个多模分频器模块的整个小数型 Σ - Δ 频率综合器也在这个芯片中进行了流片验证.芯片的显微照片如图 10 所示.单独的多模分频器模块在芯片的左下角,整个频率综合器位于芯片上部.

测试结果显示,本文设计的多模分频器能够在 2.5V 电源电压下对 2.4GHz 输入信号进行 48 到 64 分频,在 48 分频时所消耗的功耗最大,为 4.85mW;随着分频模数的增加,功耗呈现下降趋势,但变换较为缓慢,在 64 分频时功耗为 4.6mW,与 48 分频时相比,功耗变化 5.3%.当改变电源电压时,其最大可工作频率以及功耗也相应变化,如图 11 所示.在 3.0V 电源电压下,它可对 3.1GHz 输入信号进行正确的分频操作,消耗的

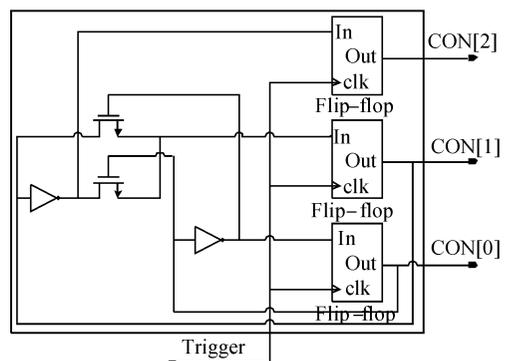


图 9 相位控制器电路
Fig. 9 Phase-controller circuit

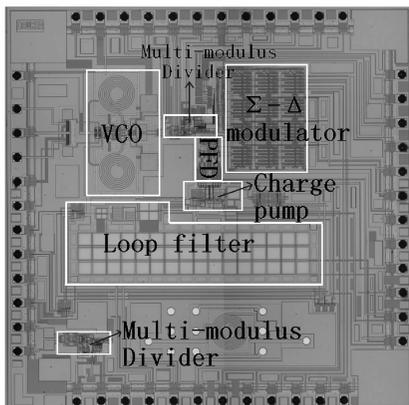


图 10 采用“时间借用”方法的多模分频器和包含该分频器的整个频率综合器芯片显微照片

Fig.10 Microphotograph of the “time reuse” multi-modulus divider and the whole frequency synthesizer containing such a divider

最大功耗为 7.9mW. 在 1.6V 电源电压下, 其最大可工作频率为 0.75GHz, 最大功耗为 1.8mW. 当电源电压低于 1.6V, 整个相位切换控制环路的延时 ΔT_{loop} 变得过大, 使得连续的相位切换操作不能正确完成. 图 11 中的曲线可以分成 A, B, C 3 个区域: 在 A 区, 多模分频器的最大工作频率随电源电压的增加以较快的速度增长, 但多模分频器的最大功耗增加较慢; 在 B 区, 最大工作频率和最大功耗的增加速度接近; 在 C 区, 多模分频器的最大工作频率随电源电压的增加以较快的速度增长, 但最大工作频率增加较慢.

本文设计的多模分频器与近来文献中报道的多模分频器的比较列于表 1. 相对其他采用 CMOS 工艺设计的多模分频器, 本文设计的多模分频器具有最小的功耗速度比 (power-to-speed ratio). 它的功耗速度比与文献 [11] 中报道的采用 60GHz 截至频率的 BiCMOS 工艺实现的多模分频器相当.

包含这个多模分频器模块的整个小数值 Σ - Δ 频率综合器也进行了测试. 多模分频器的分频模数控制信号 Mode 来自 Σ - Δ 调制器的输出. 在测试中, 通过 Σ - Δ 调制器来控制多模分频器的分频模数, 进而改变频率综合

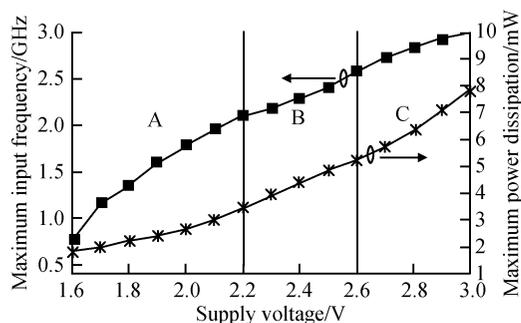


图 11 多模分频器的电源电压与最大工作频率和最大功耗的关系曲线
Fig.11 Maximum speed and power consumption versus supply voltage of the multi-modulus divider

器的输出频率. 当频率综合器的输出频率由 900MHz 跳变到 950MHz 时, 测试得到的压控振荡器的控制电压波形如图 12 所示. 在此图中, 频率综合器从一个频率切换到另一个频率的稳定时间小于 $50\mu\text{s}$. 频率综合器工作频率在 904.5MHz 时, 输出信号的频谱如图 13 所示. 在测量频谱时, 频谱分析仪 (HP8590E 型) 的分辨率带宽 (RBW) 设置为 100kHz, 通过“相位噪声 = 载频功率 - 噪声功率 - $10 \times \log(\text{分辨率带宽})$ ”的计算方法得到偏移载频 1MHz 处的相位噪声为 $-112.9\text{dBc}/\text{Hz}$.

表 1 与近来报道的多模分频器的对比

Table 1 Comparison with other multi-modulus dividers

作者	工艺尺寸	功耗 /mW	速度 /GHz	功耗速度比 / (mW/GHz)
Theil ^[6]	0.25 μm CMOS	15	2.41	6.22
Krishnapura ^[8]	0.25 μm CMOS	59	5.35	10.73
Wafa ^[11]	0.35 μm SiGe 60GHz- f_t BiCMOS	6.0	3.0	2.0
本文	0.35 μm CMOS	4.85	2.4	2.02

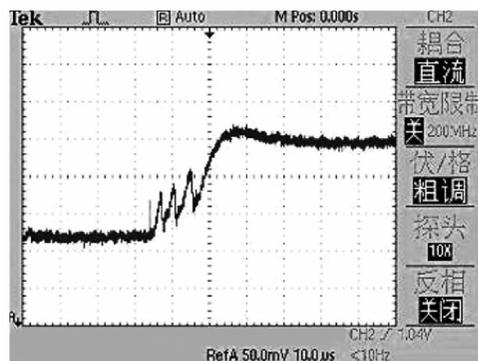


图 12 频率改变时压控振荡器控制电压波形 (横轴刻度是 $10\mu\text{s}/\text{div}$, 纵轴刻度是 $50\text{mV}/\text{div}$)

Fig.12 Waveform of the control voltage when changing the output frequency (Horizontal scale is $10\mu\text{s}/\text{div}$ and vertical scale is $50\text{mV}/\text{div}$)

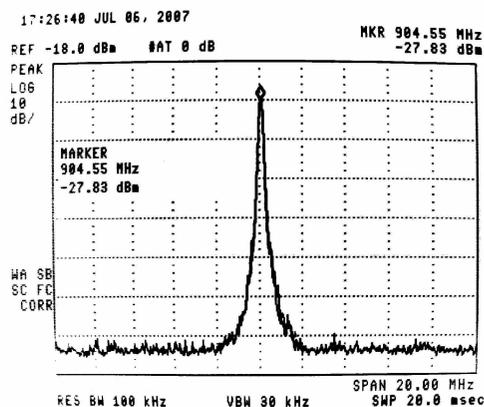


图 13 频率综合器输出信号频谱测试 (横轴刻度是 $2\text{MHz}/\text{div}$, 纵轴刻度是 $10\text{dB}/\text{div}$)

Fig.13 Measured frequency synthesizer output signal spectrum (Horizontal scale is $2\text{MHz}/\text{div}$ and vertical scale is $10\text{dB}/\text{div}$)

4 结论

本文提出了一种基于“时间借用”方法的可进行连续相位切换操作的多模分频器. 它通过再利用相位切换操作的输出信号将一些中间信号提前准备好, 使得相位切换控制环路的延时显著减少. 采用这种方法实现的多模分频器可以在较低的电源电压下实现连续相位切换操作, 并获得最大的可分频模数. 根据测试结果可知, 它能够在 2.5V 电源电压下对 2.4GHz 输入信号进行 48 到 64 分频, 所消耗的最大功耗仅为 4.85mW. 相对已报道的其他采用 CMOS 工艺设计的多模分频器, 本文设计的多模分频器显著改善了功耗速度比.

参考文献

- [1] Pottie G J, Kaiser W J. Wireless integrated network sensors. *Commun ACM*, 2000; 51
- [2] Lin T H, Kaiser W J, Pottie G J. Integrated low-power communication system design for wireless sensor networks. *IEEE Communications Magazine*, 2004; 142
- [3] Fang S J, Bellaouar A, Lee S T, et al. An image-rejection down-converter for low-IF receivers. *IEEE Trans Microw Theory Tech*, 2005, 53(2): 478
- [4] Ravi A, Banerjee G, Bishop R E, et al. 10GHz, 20mW, fast locking, adaptive gain PLLs with on-chip frequency calibration for agile frequency synthesizer in a 0.18 μ m digital CMOS process. *Symposium on VLSI Circuits*, 2003; 181
- [5] Lam C, Razavi B. A 2.6-GHz/5.2-GHz frequency synthesizer in 0.4- μ m CMOS technology. *IEEE J Solid-State Circuits*, 2000, 35: 788
- [6] Theil D, Durdodt C, Hanke A, et al. A fully integrated CMOS frequency synthesizer for Bluetooth. *Proc IEEE Radio Frequency Integrated Circuits Symp*, 2001; 103
- [7] Craninckx J, Steyaert M. A 1.75GHz/3V dual-modulus divide-by-128/129 prescaler in 0.7 μ m CMOS. *IEEE J Solid-State Circuits*, 1996, 31: 890
- [8] Krishnapura N, Kinget P R. A 5.3-GHz programmable divider for HiPerLAN in 0.25- μ m CMOS. *IEEE J Solid-State Circuits*, 2000, 35: 1019
- [9] Shu K, Sánchez-Sinencio E, Silva-Martínez J, et al. A 2.4GHz monolithic fractional-N frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier. *IEEE J Solid-State Circuits*, 2003, 38: 866
- [10] Craninckx J, Steyaert M. *Wireless CMOS frequency synthesizer design*. Boston: Kluwer Academic Publishers, 1998
- [11] Wafa A, Ahmed A. High-speed RF multi-modulus prescaler architecture for Σ - Δ fractional-N PLL frequency synthesizers. 2004 IEEE International Symposium on Circuits and Systems (ISCAS 2004), 2004, 4: 241

A “Time Reuse” Technique for Design of a Low-Power, High-Speed Multi-Modulus Divider in a Frequency Synthesizer

Yuan Quan^{1,2}, Yang Haigang^{1,†}, Dong Fangyuan^{1,2}, and Zhong Lungui^{1,2}

(1 *Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China*)

(2 *Graduate University of the Chinese Academy of Sciences, Beijing 100049, China*)

Abstract: A low power, continuous phase-switching multi-modulus divider is proposed based on the “time reuse” method. The novel phase-switching control strategy significantly reduces the delay of the phase-switching control loop so that the multi-modulus divider can work with higher input frequency and obtain the maximum modulus for a low power supply. According to the measurement results, this multi-modulus divider can divide the 2.4GHz input frequency by 48 up to 64 for a minimum power supply voltage of 2.5V in a 0.35 μ m CMOS process. The maximum power dissipation is only 4.85mW. Compared with other CMOS multi-modulus dividers reported recently, our design demonstrates a considerable improvement in the power-to-speed ratio.

Key words: multi-modulus divider; phase-switching; low power; time reuse

EEACC: 1265B

Article ID: 0253-4177(2008)04-0794-06

† Corresponding author. Email: yanghg@mail.ie.ac.cn

Received 11 September 2007